

**FORSCHUNGSZENTRUM
ROSSENDORF e.V.**

FZR

Archiv-Ex.:

FZR-160

November 1996

**Bericht der Herbsttagung
der Studiengruppe für
Elektronische Instrumentierung
vom 30. September bis 2. Oktober 1996
in Zeuthen**

**S
E
I**

Forschungszentrum Rossendorf e.V.

**Postfach 51 01 19 · D-01314 Dresden
Bundesrepublik Deutschland**

Telefon (0351) 260 3109

Telefax (0351) 260 3110

E-Mail breitens@fz-rossendorf.de

Bericht der Herbsttagung
der Studiengruppe für Elektronische Instrumentierung
vom 30. September bis 2. Oktober 1996 in Zeuthen

Inhalt:

Teilnehmerliste

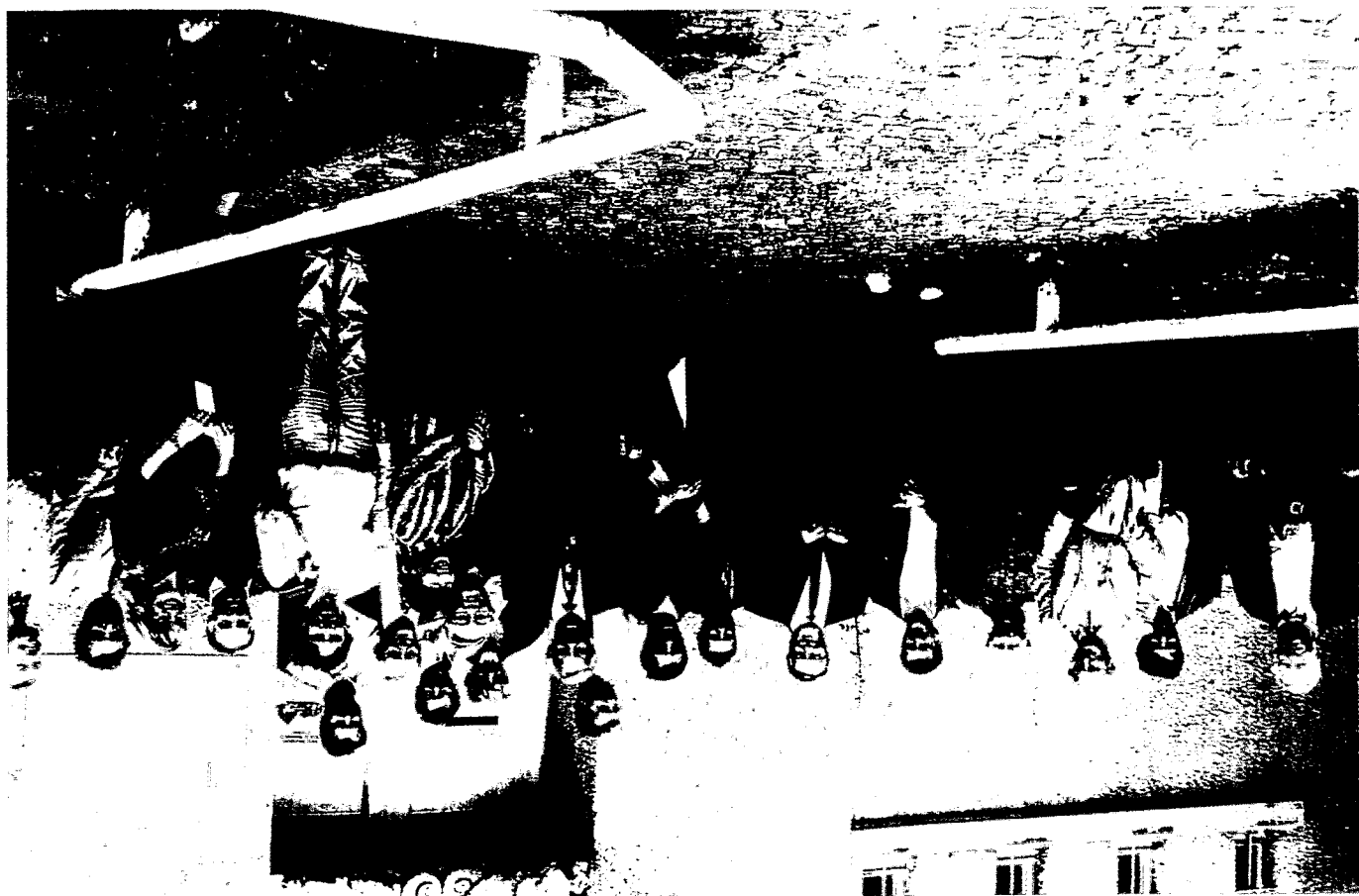
Kurzfassung der Vorträge

Dr. Frank Gabriel

Forschungszentrum Rossendorf e.V.
Forschungs- und Informationstechnik
Postfach 510119, 01314 Dresden

Tel.: 0351 / 260 - 3109
Fax: 0351 / 260 - 3110
E-mail: za-fwf@fz-rossendorf.de

Teilnehmer der Herbstagung
der Studiengruppe für Elektronische Instrumentierung
im Herbst 1996 in Zeuthen



Teilnehmerliste in Zeuthen 1996

Albrecht, Hans-Helge	PTB Berlin
Andert, Karl	INBITEC Berlin
Becker, H.	HMI Berlin
Borutta, Hans	Ing.-Büro Wächter
Commichau, Volker	III. Phys. Inst. Aachen
Deutsch, Werner	Max-Planck-Inst.
Dippel, R.	IfH Zeuthen
Fellmann, Siegfried	FH Emden
Gabriel, Frank	FZ Rossendorf
Gemmeke, Hartmut	FZ Karlsruhe
Gruner, Werner	Ing.-Büro Wächter
Hess, Jürgen	PTB Berlin
Ihlenfeld, Albrecht	PTB Berlin
Kennepohl, Klemens	FZ Jülich
Kramer, Martin	ILL Grenoble
Landrock, K.	Münchener Apparatebau, Dresden
Lange, W.	IfH Zeuthen
Leopold, Hans	TU Graz
Matsumura, Hajime	DESY Hamburg
Meisel, Ulrich	HMI Berlin
Meyer, Ullrich	DESY, Zeuthen
Mihlan, Heinz, F.	PTB Braunschweig
Mikolajski, T.	IfH Zeuthen
Moebius, Walter	Uni Konstanz
Möller, U.	IfH Zeuthen
Möller, Ulrich	HMI Berlin
Namaschk, Bernhard	HMI Berlin
Notz, Dieter	DESY, Hamburg
Nowack, Gerd	Ruhr Uni, Bochum
Petschke, Frank	PTB Berlin
Plein, Manfred	W-IE-NE-R Burscheid
Pohl, M.	IfH Zeuthen
Raidt, Uwe	Uni Tübingen
Ruben, A.	W-IE-NE-R Burscheid
Rüschmann, Gustav	Uni Frankfurt/M.
Schumann, Klaus	PTB Berlin
Schwendicke, U.	IfH Zeuthen
Söding, P.	IfH Zeuthen
Spiering, Ch.	IfH Zeuthen
Stephan, Gerrit	Inst. f. Kernphysik Mainz
Stolper, Matthias	DESY Hamburg
Thielmann, Richard	Uni Marburg
Tonisch, F.	IfH Zeuthen
Weiß, Dieter	IABW Berlin
Wulf, Friedrich	HMI Berlin

Verzeichnis der Vorträge

	Seite
- Elektronikentwicklung im Institut für Hochenergiephysik <i>U. Schwendicke IfH Zeuthen</i>	1
- Analog Optical Transmission of Fast Photomultiplier Pulses Over Distances of 2 km <i>T. Mikolajski IfH Zeuthen</i>	4
- Modellierung von Höchsfrequenzbauelementen für Mikrowellenschaltungen <i>U. Möller HMI Berlin</i>	10
- Halbleiterdetektortechnologie <i>W. Lange IfH Zeuthen</i>	16
- Auslese des Silicon Microstrip Detectors beim L3-Experiment <i>F. Tonisch IfH Zeuthen</i>	24
- Driver-Development & Controlling of 100 PowerPC's <i>R. Dippel IfH Zeuthen</i>	31
- Strukturplan und neue Aufgabenfelder für ZEL <i>K. Kennepohl FZJülich</i>	34
- ASD - 8 chip <i>M. Pohl IfH Zeuthen</i>	41
- Digitales, stochastisches Thermometer <i>G. Nowack Ruhr-Uni Bochum</i>	43
- Referenz-EKG-Aufnahmegerät mit PC-Kopplung <i>A. Ihlenfeld Phys.-techn. Bundesanstalt Berlin</i>	48
- Überwachungselektronik für ein Hochenergiephysikexperiment im Weltraum <i>V. Commichau RWTH Aachen</i>	55
- Elektronik für die Teilchenankunftszeit-Messung mit dem Zentraldetektor des Karlsruher Luftschauerexperiment KASCADE <i>U. Raidt Uni Tübingen</i>	64
- NOVEL DIGITAL NEURAL HARDWARE FOR TRIGGER APPLICATIONS IN PARTICLE PHYSICS <i>H. Gemmeke FZKarlsruhe</i>	70
- Datentransfer von VME über FDDI <i>D. Notz DESY Hamburg</i>	74
- Der CAN-Bus und seine Anwendung in der Crateüberwachung <i>M. Plein W-IE-NE-R Burscheid</i>	78
- Das Graphisch Interaktive Projektier System - GRIPS zur Programmierung von Prozeßsteuerungen <i>Gruner Ingenieurbüro Wächter, Sömmerda</i>	90
- DSP Entwicklungsd-Bord mit dem TM320C30 <i>H. Becker HMI Berlin</i>	95

Elektronikentwicklung im Institut für Hochenergiephysik

DESY-IfH-Zeuthen

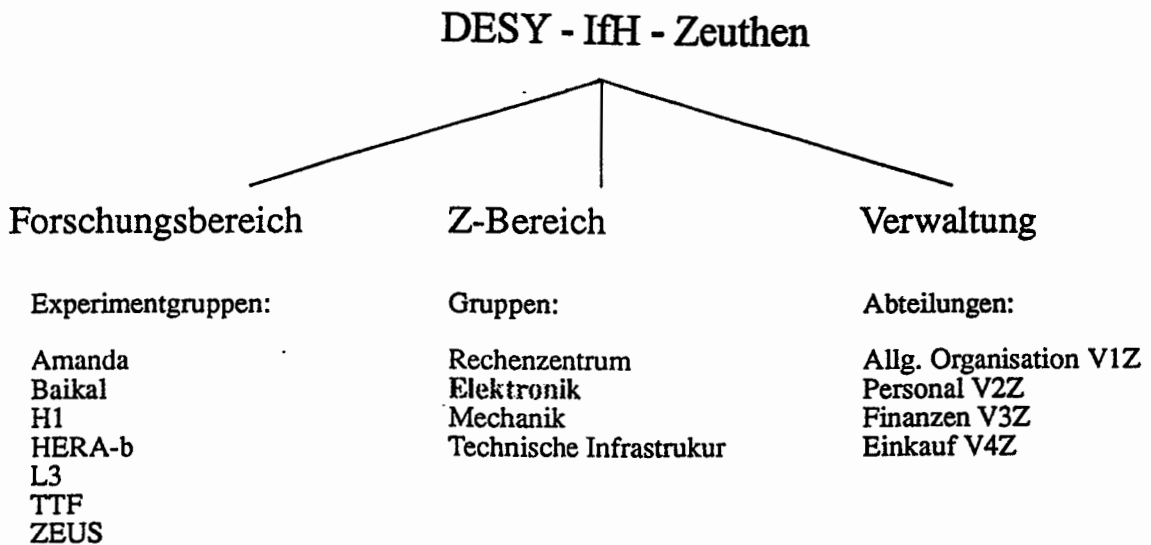
Platanenallee 6

15738 Zeuthen

U. Schwendicke / Elektronikgruppe

Tel: 033762 / 77 322 Fax: / 77330

email: ulrich@ifh.de



Aufgaben der Elektronik - Gruppe:

- Entwicklung von Datenauslese- und Triggerelektronik für die Experimente (vom Readout-board über DAQ-Komponenten bis zum Trigger und Event-Builder)
- Betreuung der Baugruppen bei Inbetriebnahme / Unterstützung der Experimentatoren
- Erstellen von Testprogrammen, Driver-Software usw.
- Fertigung / Test / Reparatur von Baugruppen (PCB, Hybride, Detektoren)

Schwerpunkte in den letzten Jahren:

- Entwicklung von DAQ-Baugruppen auf Transputerbasis für den Einsatz in den Experimenten Cascade (am KfK Karlsruhe) und Baikal
- Entwicklung der Auslese- und Triggerelektronik für den H1-BST (Siliziumsubdetektor im H1-Detektor des HERA-Beschleunigers im DESY Hamburg)
- Entwicklung, Produktion und Inbetriebnahme von Auslese- und Vorverstärker-Karten für die HERMES-Driftkammern (DESY Hamburg)
- Entwicklung der Ausleseelektronik für den Silizium Streifendetektor beim Experiment L3 (CERN)
- Entwicklung einer Supernova- und Monopol-Triggerelektronik für die Experimente Baikal und Amanda (Südpol)

aktuelle Aufgaben:

- Überarbeitung und Weiterentwicklung H1-BST
- Entwicklung von Komponenten für eine Prozessorfarm für die Datenselektion und das Event-Building am HERA-B-Experiment in Hamburg (DS [IEEE-1355] - PCI Interface, DS - Switch, Sharc - DS board)
- Entwicklung von Readout-Elektronik für die äußeren Spurkammern (Honigwabenkammern) von HERA-B
- Entwicklung der Elektronik für Strahllagemonitore bei TTF (Vorarbeiten für einen neuen Beschleuniger bei DESY -> Linearbeschleuniger)

weitere interne Aufgaben:

- Pflege der CAD-Software und der dazugehörigen Bibliotheken
- Leiterplatten-Layout
- Betreuung Hybrid-Labor (Bonden, Kleben usw.)

CAD-Werkzeuge

Basis: Powerview (Viewlogic) & Visula Lite (Zuken Redac)

Stand September 1996

	Analoge Schaltungen	Digitale Schaltungen	FPGA	PLD
Eingabetool / -sprache	Viewdraw PCAD	Viewdraw	Viewdraw ABEL VHDL (LOGIC)	PALASM ABEL (LOGIC)
Simulation	HSPICE	Viewsim	Viewsim	Viewsim (LOGIC)
Layout	Visula PCAD	Visula	XACT	-
Programmierung			SPRINT PCDown- loadCable	SPRINT PCDown- loadCable
Fertigung PCB	extern	extern	-	-

Plattform:

- Cluster von SUN-WS mit X-Terminals an den Arbeitsplätzen
-> CAD, Dokumentation, Mail, ...
- PCs mit Netzwerkanschluß und PLD-Programmer
-> PLD-Programmierungl, div. Tests
- Windows-NT-Server über X-Terminal zugreifbar (WIN-Center)
-> Dokumentation, Tabellenkalkulation, ...

Analog Optical Transmission of Fast Photomultiplier Pulses Over Distances of 2 km

A. Karle, T. Mikolajski, S. Cichos, S. Hundertmark, D. Pandel,
C. Spiering, O. Streicher, T. Thon, C. Wiebusch,
R. Wischniewski

*DESY, Institute for High Energy Physics, Platanenallee 6, D 15738 Zeuthen,
Germany, E-mail: Karle@ifh.de*

New LED-transmitters have been used to develop a new method of fast analog transmission of PMT pulses over large distances. The transmitters, consisting basically of InGaAsP LEDs with the maximum emission of light at 1300 nm, allow the transmission of fast photomultiplier pulses over distances of more than 2 km. The shape of the photomultiplier pulses is maintained, with an attenuation less than 1 dB/km. Typical applications of analog optical signal transmission are surface air shower detectors and underwater/ice neutrino experiments, which measure fast Cherenkov or scintillator pulses at large detector distances to the central DAQ system.

1 Introduction

Cosmic ray surface air shower experiments consist of hundreds to thousands of detector stations spread over distances of 100 m to several km [1,2]. Underwater/ice neutrino detectors, such as AMANDA, transmit photomultiplier pulses over a distance of 2 km to a surface or shore station [3]. In such experiments fast signals are transmitted to a central data acquisition system. Until now, experimentalists usually had the choice between digital data transmission or analog transmission with the use of electrical cables. In this contribution we present an alternative method to transmit fast analog data via optical fibers. We started this development for the transmission of PMT pulses in the AMANDA experiment. In this case, the required distance is about 2 km.

Contribution to the First International Conference on New Developments in Photodetection, Beaune 96, June 1996, to appear in Proc. Suppl. Nucl. Inst. and Meth., Section A

Table 1

Typical characteristics of coaxial cables and multimode optical fibers

Type of cable	Coaxial Cable (RG 58 C/U)	Optical multimode @ 1300 nm (62.5/125 μ m)
Attenuation	174 dB/km @ 100 MHz	10%/km @ 500 MHz
Weight	36 kg/km	1-8 kg/km *
Diameter	4.95 mm	0.25 mm **
Cross talk	possible	none

* Typical values. The weight depends on the mechanical construction and on the number of fibers used in one bundle.

** The diameter of the bare fiber. Typical jackets are 0.9 mm, and an outer jacket is typically 2.5 mm.

Table 1 summarizes important properties of coaxial cables and typical optical multimode fibers. It is obvious that the transmission properties of optical fibers are far superior to those of electrical cables. However, only recently has a new type of inexpensive and fast transmitters become available. The new LED-transmitters and PIN-photodiodes operating at a wavelength of 1300 nm allow for a straight forward and robust method of analog transmission.

2 The Set-up of the Analog Optical Transmission

In figure 1 the general set-up of the analog optical fiber transmission of PMT pulses is shown.

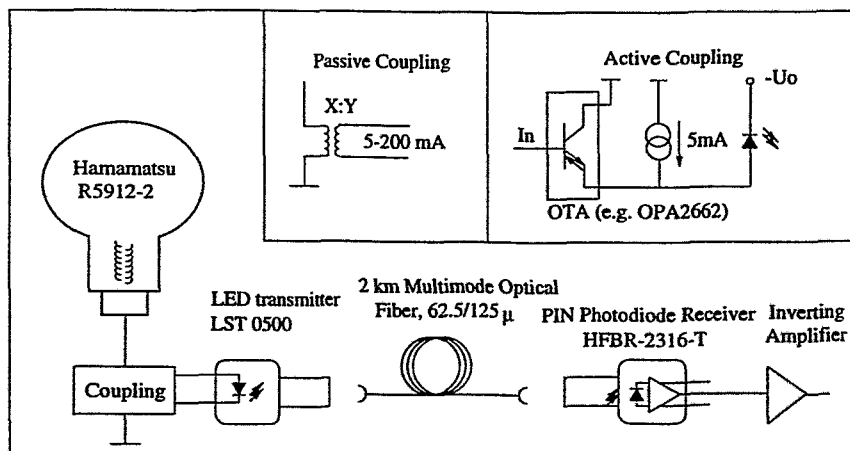


Fig. 1. Scheme for the analog pulse transmission with optical fibers.

A current pulse injected into an LED-transmitter is converted into a 1300 nm light pulse. The transmitter is an InGaAsP LED (LST-0500, Hewlett Packard) designed for fiber applications. The bandwidth of the transmitter is 255 MBd. The transmitter is connected to the receiver by a multimode optical fiber (62.5/125 μm) with a length of 2 km. The receiver is an InGaAs PIN photodiode (HFBR-2316T) with an integrated low-noise transimpedance preamplifier. Both operate at a wavelength of 1300 nm in the lower dispersion and attenuation region of standard fibers. The risetime and the FWHM of a short nsec pulse is 4 nsec after transmission over 2 km, which is consistent with the bandwidth of the receiver (125 MBd).

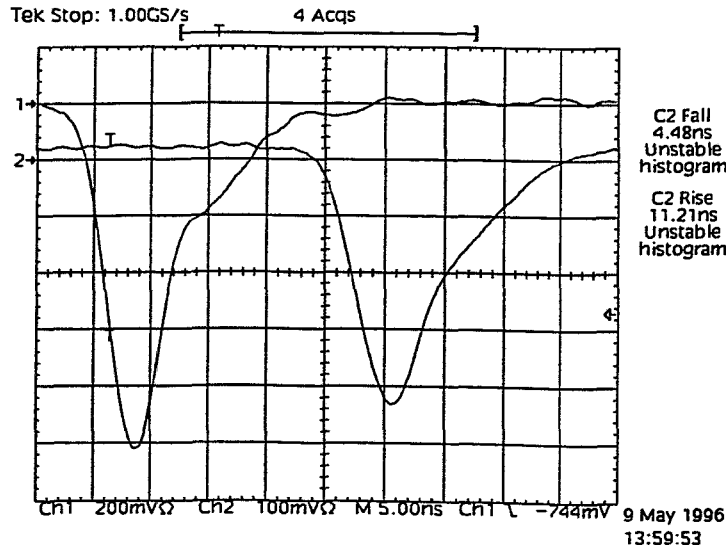


Fig. 2. An oscilloscope hard-copy of a single photoelectron PMT-pulse (left) and the same pulse after transmission over 2 km multimode fiber (right). The full range of the display corresponds to 50 nsecs.

The LED-transmitter shows linear light output from about 1 mA to 150 mA. Many photomultipliers produce current pulses in the range of a few mA to more than 100 mA. In our case, where the gain of the R5912-2 photomultiplier can be as high as 10^9 , a single PE pulse is amplified to a peak current of 20 mA. Therefore, amplifiers are not necessarily required for the coupling of photomultiplier pulses to the LED-transmitter. We tested two methods of coupling a PMT pulse into the LED-transmitter (see figure 1). In one case the PMT-current is coupled directly to the LED. A transformer can be used to modify the pulse height. With this method transformer is used as a passive current amplifier. In the case that the PMT cathode is at ground the transformer may also be useful to separate the LED circuit from the high tension of the PMT at the anode level.

However, to obtain a high dynamic range and a good pedestal calibration it is necessary to operate the LED with a current bias of at least 1 mA. The LED should be biased since the light output of the LED becomes nonlinear if the

current drops below 1 mA. Therefore, the dynamic range of the system can be improved significantly by using active coupling with a current bias in the range of 3 to 10 mA. The following measurements were done with an active coupling and a current bias of 10 mA. In an experimental environment this allows also the monitoring of the DC optical power with a conventional optical power meter.

3 Measurements

Figure 2 shows a single photoelectron pulse of the 14-stage photomultiplier Hamamatsu R5912-2 before and after transmission. The transmitted pulse shape is essentially identical to the original pulse shape. The achievable dynamic range in this configuration is ultimately limited by the maximum pulse height of the transmitter and the receiver (2 V), and the noise level of the receiver amplifier (1-2 mV in case of the HFBR-2316T).

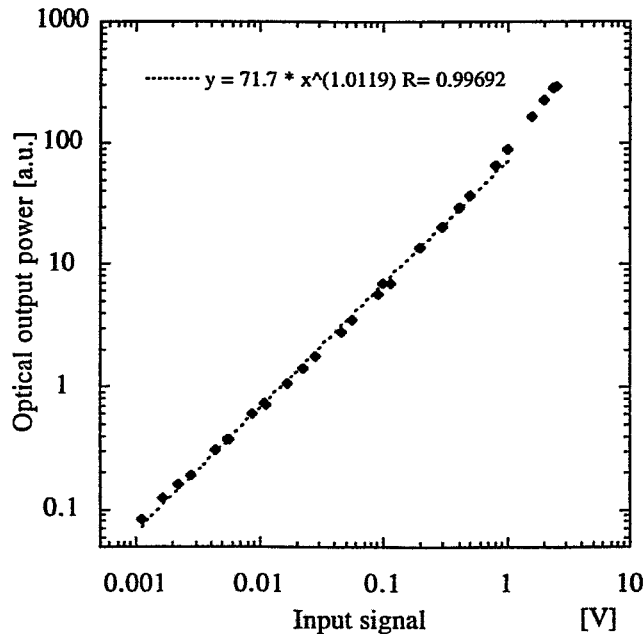


Fig. 3. Linearity of the LED-transmitter operated with active coupling and biased with 10 mA. A power law fit shows good linearity from 1 to 1000 mV.

Figure 3 shows the linearity of the LED optical output power. An input pulse of 1 mV corresponds to an LED current of approximately 130 μ A. The LED-transmitter shows very good linearity over about 3 orders of magnitude. Only when pulses are larger than 1 V, does the light output deviate slightly from linearity. The maximum current through the LED corresponds to 250 mA. It should also be mentioned, that for large pulses the used receiver amplifier

shows nonlinear behavior. To measure the maximum linearity over the full dynamic range, we split the optical pulse and attenuated one channel.

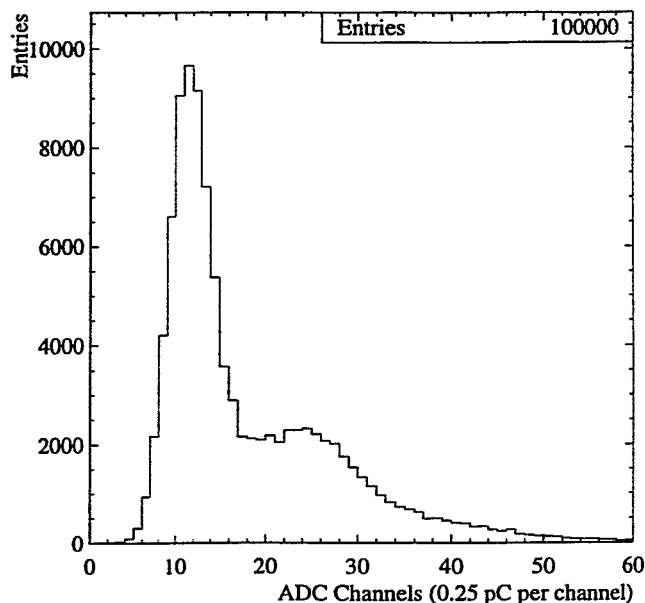


Fig. 4. Single photoelectron spectrum measured with a charge sensitive ADC. The PMT-pulses were attenuated electrically by 30 dB.

If single photoelectron resolution is required, we define the dynamic range by the maximum measurable number of photoelectrons generated by a light pulse of a duration which is shorter than 1 nsec. In this case, the smallest signal to resolve is a single photoelectron pulse. In figure 4 the charge distribution of single photoelectron pulses is shown after 2 km fiber transmission. The PMT signal was attenuated by 30 dB. From this we conclude that the achievable linear dynamic range is at least 32 photoelectrons. We expect that values larger than 100 photoelectrons can be achieved.

4 Applications in Cosmic Ray Experiments

This technology could be applied to several types of cosmic ray experiments, in which fast analog data must be transmitted to a central DAQ station. There the signal processing and triggering can be accomplished with standard electronics used in high energy physics. Possible applications are:

- Underwater/ice neutrino experiments: In the case of AMANDA [3,4] the photomultipliers are located about 2 km below the ice surface. It is planned to test this technology in a prototype optical module in the AMANDA experiment.

- Imaging Cherenkov telescopes [5,2]: The analog signals of imaging cameras of more than 500 pixels can be transmitted without losses in bandwidth or amplitude, and without crosstalk to a nearby laboratory. The low weight of the fiber bundle would not disturb the camera assembly.
- Surface Cosmic Ray Experiments [1,2]: Scintillator arrays, as well as wide angle Cherenkov detectors, such as AIROBICC [6], transmit analog pulses over distances larger than 100 m. Future km-scale detectors could avoid a complete digitization at the local detector station.

Due to its importance for communication networks, the technology of optical fiber transmission at the wavelength of 1300 nm is rapidly developing. New components, which should improve the dynamic range, the linearity, and the bandwidth of this technology are already being offered.

References

- [1] J.W.Cronin, K.G.Gibbs and T.C.Weekes, *Annu. Rev. Nucl. Part.Sci.* 43 (1993) 883 and references therein.
- [2] E. Lorenz, *Nucl.Phys. B (Proc.Suppl.)* 33A,B (1993) 93
- [3] P.Askjeber et al., *Science* 267 (1995) 1147.
- [4] AMANDA Collaboration, *Proc.24rd ICRC, (Rome 1995), Vol.1, 758, 777, 816, 1009, 1011, 1039*
- [5] R.C.Lamb et al., *Proc. of 1994 Snowmass Summer Study, 295-311, and references therein, ed. E.W.Kolb, R.D.Peccei, World Scientific 1995*
- [6] A. Karle et al., *Astroparticle Physics* 3, 321-347 (1995).

Modellierung von Höchsthfrequenzbauelementen für Mikrowellenschaltungen

Ulrich Möller, Hahn-Meitner-Institut Berlin GmbH, Abt. DH, Glienicker Str. 100,
14109 Berlin; Tel.: +49(30) 8062-2374; Fax: +49(30) 8062-2991

Am Beispiel einer schnellen Transistorverstärkerstufe wird der Einfluß parasitärer Elemente auf Schaltungseigenschaften gezeigt. Für einen HEMT-Transistor, der im mm-Wellenbereich betrieben werden soll, wird die Vorgehensweise bei der Entwicklung einer Kleinsignalersatzschaltung dargestellt. Besondere Aufmerksamkeit erfährt hierbei die korrekte Ermittlung der parasitären Elemente des Bauteils. Dazu wird ein elektromagnetischer Feldsimulator eingesetzt, um die Wirkung der das Bauteil umgebenden Metallstruktur als verteilte Leitung zu bestimmen. Die Elemente des inneren Transistors können aus den von parasitären Einflüssen befreiten Messungen gewonnen werden. Es wird auf die Problematik des Deembedding sowie dazu benutzter Optimierungsverfahren eingegangen. Die Werte aus dem verwendeten Modellierungsprozeß werden mit Daten, die mit aus der Literatur bekannten Verfahren ermittelt wurden, verglichen und diskutiert.

1. Ein Beispiel aus Praxis

Ein Arbeitsgebiet der Elektronikentwicklung am Hahn-Meitner-Institut ist die Entwicklung schneller pulsoptimierter Verstärker. Dies erfordert den Einsatz von CAD-Werkzeugen. Dabei kommen die Simulationsprogramme Super Compact, MMICAD und MDS zum Einsatz. In der Vergangenheit wurde Erfahrung [1] im Umgang mit diesen Simulationswerkzeugen gewonnen. Der Einfluß ungenauer Modellierung auf die Übertragungseigenschaften der tatsächlich gebauten Schaltung wird am Beispiel des HMI Impulsverstärkers IV72 gezeigt. In **Bild 1** ist der Schaltplan dargestellt. Die Substratdurchführung am Emitter des ersten Transistors muß bei der Simulation der Schaltung als Induktivität berücksichtigt werden. Durch den Aufbau mit mehreren Durchkontaktierungen möglichst dicht an den Emitteranschlüssen ist es gelungen, den Einfluß dieser Serieninduktivität zu minimieren. Das zeigen die in **Bild 1** dargestellten simulierten Frequenzverläufe von S_{21} im Vergleich zu dem gemessenen Frequenzgang.

2. Modellierung für MMIC Entwurf

Um weitere Verbesserungen bei den breitbandigen Verstärkern zu erreichen, wird am HMI zusammen mit der Firma SHFdesign ein Wanderwellenverstärker als monolithisch integriertes Mikrowellen IC (MMIC) entworfen. Das endgültige Layout wird von einem amerikanischen Halbleiterhersteller als GaAs-MMIC gefertigt. Zur Schaltungsentwicklung lieferte der Hersteller Kleinsignalmodelle der aktiven Strukturen. Aufgrund erkannter Unzulänglichkeiten entschlossen wir uns, die HEMT-Transistoren für die Kleinsignalanwendung selbst zu modellieren. Für Messungen liegen uns Teststrukturen mit vorgegebener Metallisierungsgeometrie vor, wie in **Bild 2** dargestellt. Grundlage für die Charakterisierung sind mit koplanaren Waferproben gemessene S-Parameter im Frequenzbereich von 50MHz bis 50GHz. Der Transistor wurde bei den Messungen einerseits aktiv betrieben ("Hot-Fet"), andererseits auch mit abgeschnürtem Kanal ("Cold-Fet") gemessen. DC-Messungen der Gatediode dienen der Ermittlung der Kontaktwiderstände.

Für den Entwurf der integrierten Schaltung sind die Daten des inneren Transistors von Bedeutung, da die Umgebung, entsprechend den Anforderungen des gesamten Schaltungsentwurfs, angepaßt wird. Dabei kann die Zuleitungsgeometrie und die Gatebreite verändert werden. Um ein skalierbares Modell zu gewinnen, müssen die passiven Übertragungseigenschaften der den HEMT-Transistor umgebenden -

Metallgeometrie aus den Meßdaten extrahiert werden.

2.1 Bestimmung der diskreten parasitären Elemente

In **Bild 3** ist das gewählte Ersatzschaltbild skizziert. Die Elemente L_g , L_s , L_d , C_{pd} , C_{pg} , R_s , R_g , R_d bilden die parasitären Elemente um den inneren FET. Aus der "Cold-Fet" Messung mit gesperrtem Gate sowie einer "Cold-Fet" Messung mit in Flußrichtung betriebener Gatediode werden die Werte des äußeren Ersatzschaltbildes bestimmt. Dabei kommen die in der Literatur beschriebenen Verfahren [2],[3] und [4] zur Anwendung. Die Ergebnisse sind in Tabelle 1 aufgeführt.

2.2 Bestimmung der äußeren Übertragungscharakteristik als verteilte Leitungsstruktur

Der Einsatz im Mikrowellenbereich macht die Berücksichtigung verteilter Leitungsstrukturen notwendig. Mit den Metallflächen rechts und links der mittleren Zuleitungen wird eine koplanare Leitung gebildet. Deren Wellenwiderstand läßt sich aufgrund der sich entlang der Ausbreitungsrichtung verändernden Geometrie nur schwer bestimmen. Außerdem bilden die mittleren Metallflächen zusammen mit der darunterliegenden Massefläche einen Microstripwellenleiter, dessen Wellenwiderstand kleiner als der der Koplanarleitung ist. Das begünstigt die Ausbreitung des Microstripwellentyps. Andererseits wird über die koplanaren Meßspitzen der koplanare Wellentyp angeregt. Die Überlegungen zeigen die auftretenden Schwierigkeiten, wenn eines der analytischen Leitungsmodelle, wie sie in Super Compact oder MDS enthalten sind, für die Simulation der Zuleitung ausgewählt werden soll. Die vorliegende Geometrie läßt daher den Einsatz eines elektromagnetischen Feldsimulators günstig erscheinen. In dem 2,5-dimensionalen elektromagnetischen CAD-Programm Momentum der Firma Hewlett Packard werden die S-Parameter der Metallisierungsstruktur des vorliegenden Testtransistors gemäß den in **Bild 2** angegebenen Referenzebenen berechnet. Jede Metallfläche erhält an den Referenzebenen ein Tor, womit die gesamte Anordnung ein Zehntor darstellt. Die S-Parameter werden numerisch bestimmt und als Datensatz abgelegt. Diese müssen aus den Meßwerten separiert werden, um die S-Matrix der inneren aktiven Struktur zu erhalten.

2.3 Extraktion des inneren Transistors

Durch mehrfache Umrechnung der Vierpolmessdaten in Y bzw. Z-Matrixform und der Darstellungsform entsprechende Subtraktion der jeweiligen parasitären Elemente läßt sich der Einfluß der in Abschnitt 2.1 ermittelten diskreten Schaltelemente aus den Meßdaten eliminieren. Alternativ steht dazu in Super Compact eine Systemfunktion zur Verfügung. Diese versagt allerdings bei Übertragungsmatrizen mit mehr als vier Toren, so daß sie zum "abziehen" der Zehntordaten nicht geeignet ist. In MDS findet sich dazu nur eine Funktion für Zweitore. Das führt zur Entwicklung einer Routine, die das extrahieren beliebiger Vieltore aus den Zweitore Meßdaten gestattet. Das Ablaufdiagramm der Routine zeigt **Bild 4**. Zwischen den Toren drei und vier sind die Messdaten als Referenz angeschlossen. Unter Ausnutzung der vorhandenen Optimierungsalgorithmen wird ein Kompensationsverfahren realisiert. Ein "Black-Box" Zweipol mit den S-Parametern S_x wird so bestimmt, daß bei Zusammenschaltung mit dem äußeren Netzwerk an den äußeren Anschlüssen Tor eins und zwei die Messdaten entstehen. Das Ergebnis sind die S-Parameter des "Black-Box" Elementes, die den Daten des inneren FETs entsprechen und als Datensatz abgelegt werden. Mit derselben Routine werden auch die nach [2], [3] und [4] ermittelten diskreten parasitären Elemente von den Meßdaten abgezogen. Damit entfällt die Notwendigkeit, die Übertragungscharakteristiken mehrfach in andere Vierpolmatrizen umzurechnen.

2.4 Bestimmung der Elemente des inneren Ersatzschaltbildes

Mit den Verfahren nach [5] und [6] werden aus den S-Parametern des inneren Transistors die Elementwerte sowohl für den Ansatz mit diskreten Elementen als auch mit verteilter Leitungsstruktur bestimmt. Den Verlauf der einzelnen Elementwerte über der Frequenz zeigt **Bild 5**. Daraus ergibt sich, daß der Ansatz mit verteilter Leitungsstruktur keine Verbesserung in der Frequenzkonstanz erbringt. Die Auswertung für C_{gd} erfolgt nur in einem eingeschränkten Frequenzbereich von 4GHz bis 8GHz. Das Ergebnis scheint im wesentlichen durch das unterschiedliche Phasenverhalten der beiden Ansätze entstanden zu sein.

3. Zusammenfassung

Am Eingangsbeispiel wurde die Bedeutung demonstriert, die einer exakten Modellierung zukommt. Für den rechnergestützten Entwurf integrierter Schaltungen gilt diese Aussage besonders, da an dem gefertigten MMIC nachträglich keine Veränderungen vorgenommen werden können. Zur Ermittlung eines Transistorkleinsignalmodells wurde das bekannte Ersatzschaltbild benutzt und nach den Verfahren [2],[3],[4],[5] und [6] die Elementwerte bestimmt. Obwohl durch Einbeziehung der numerischen Feldeberechnung verteilte Effekte berücksichtigt wurden, lassen sich keine genaueren Zahlenwerte gewinnen, wenn als Gütekriterium die Frequenzkonstanz der nach [5],[6] ermittelten Elementwerte herangezogen wird. Dies könnte daran liegen, daß Momentum nach [7] den Wellenwiderstand grundsätzlich zu hoch und Verluste zu niedrig berechnet. Beides führt zu verändertem Phasenverhalten bei den Übertragungseigenschaften der Leitungsgeometrie. Die ermittelten Zahlenwerte der Schaltbildelemente haben für beide Ansätze nur geringe Abweichungen voneinander. Es gelang ein allgemeines Kompensationsverfahren zu entwickeln, mit der komplexe Vieltore auf einfache Weise aus den Meßdaten separiert werden können.

Schriftum

- [1] M. Martin; *S-Parameter Measurements in the Microstrip Environment - The hard Way*; IEEE MTT/AP Chapter Workshop, 23.4.1990, Stuttgart
- [2] L. Yang, S. Long; *New Method to Measure the Source and Drain Resistance of the GaAs MESFET*; IEEE Electron Device Letters, VOL. EDL-7, No 2. February 1986
- [3] G. Dambrine, A. Cappy, F. Heliodore, E. Playez; *A New Method for Determining the FET Small-Signal Equivalent Circuit*; IEEE Transactions on Microwave Theory and Techniques, Vol 36, No 7, July 1988
- [4] P.M. White, R.M. Healy; *Improved Equivalent Circuit for Determination of MESFET and HEMT Parasitic Capacitances from "Coldfet" Measurements*; IEEE Microwave and Guided Wave Letters, Vol. 3, No 12, December 1993
- [5] M. Berroth, R. Bosch; *High-Frequency Equivalent circuit of GaAs FET's for Large-Signal-Applications*; IEEE Transactions on Microwave Theory and Techniques, Vol. 39, No 2, February 1991
- [6] M. Berroth, R. Bosch; *Broad Band Determination of the FET Small Signal Equivalent Circuit*; IEEE Transactions on Microwave Theory and Techniques, Vol. 38, No. 7, Juli 1990
- [7] N. Faché; *private Mitteilung*; HP-Momentum-Seminar, Berlin, 22. April 1996

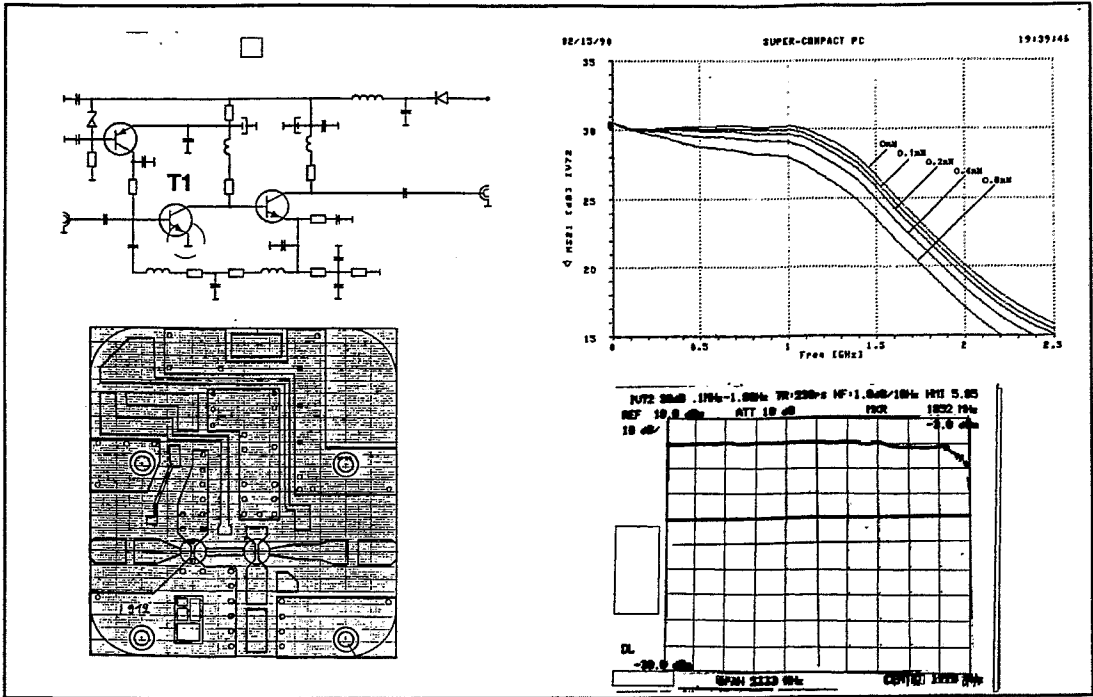


Abb. 1 IV72, Schaltplan, Frequenzgang in Abhängigkeit der Serieninduktivität bei T1, Aufbau und gemessener Frequenzgang

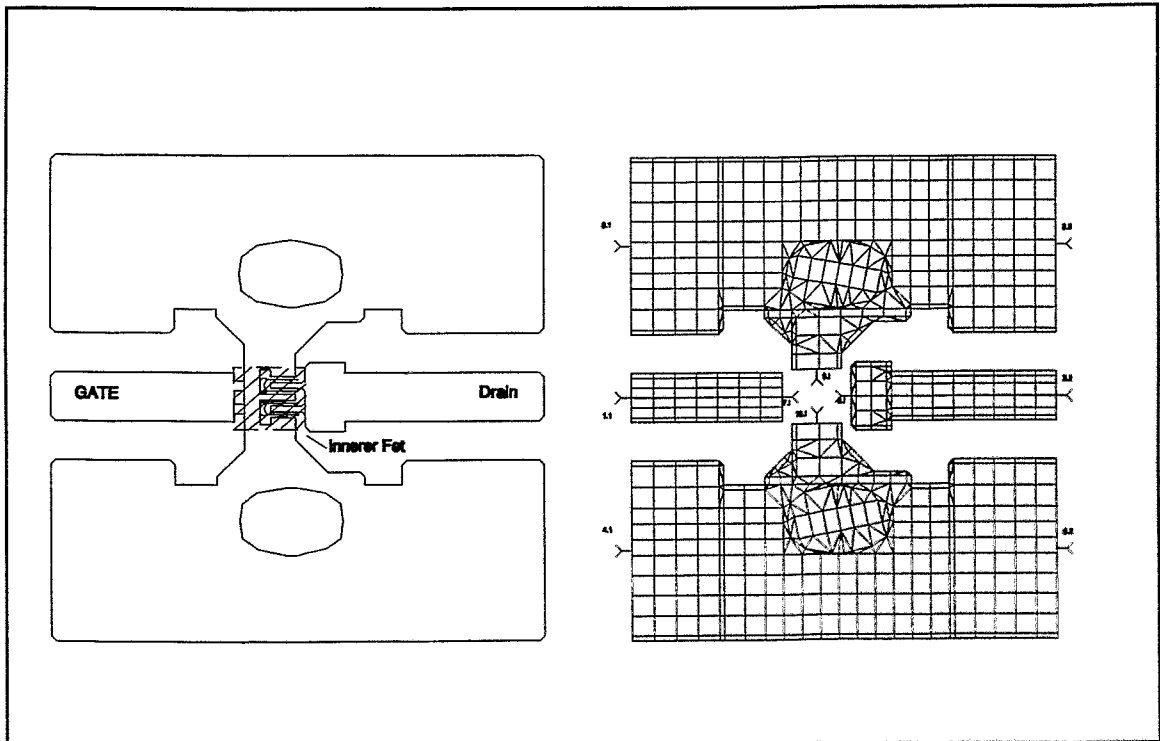


Abb. 2 Metallisierung der Teststruktur und mit Momentum berechnete Gitterstruktur

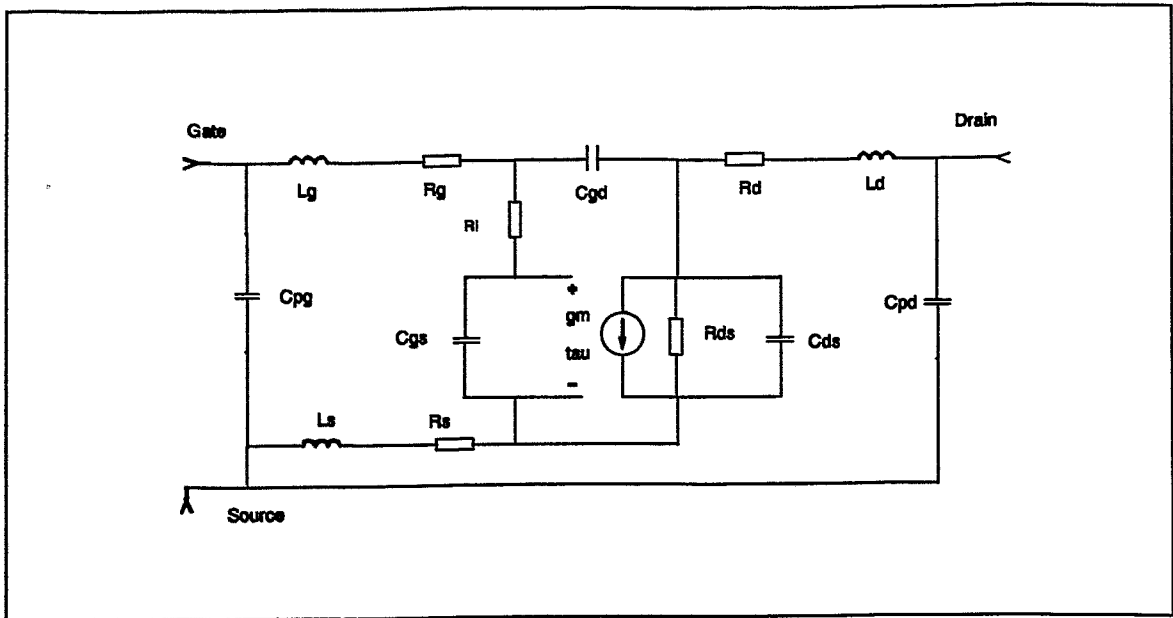


Abb. 3 HEMT Kleinsignalersatzschaltbild

Tabelle 1: Ermittelte diskrete parasitäre Ersatzschaltbildelemente

Element	Wert	Methode
L_g	48 pH	[2]
L_s	2..5 pH	[2]
L_d	100 pH	[2]
R_g	1,8..2,3 Ohm	[3]
R_s, R_d	2,9..4,5 Ohm	[2]
C_{pg}	44 fF	[4]
C_{pd}	50 fF	[4]

Tabelle 2: Ermittelte Ersatzschaltbildelemente des inneren Transistors nach [6]

Element	Wert, diskrete RLC	Wert, verteilte TRL
C_{gs}	80 fF	95 fF
C_{gd}	6,5fF	6,0fF
C_{ds}	30fF	38fF
R_i	8 Ohm	? Ohm
R_{ds}	500 Ohm	500 Ohm
g_m	38 mS	35 mS
tau	0,8 ps	1 ps

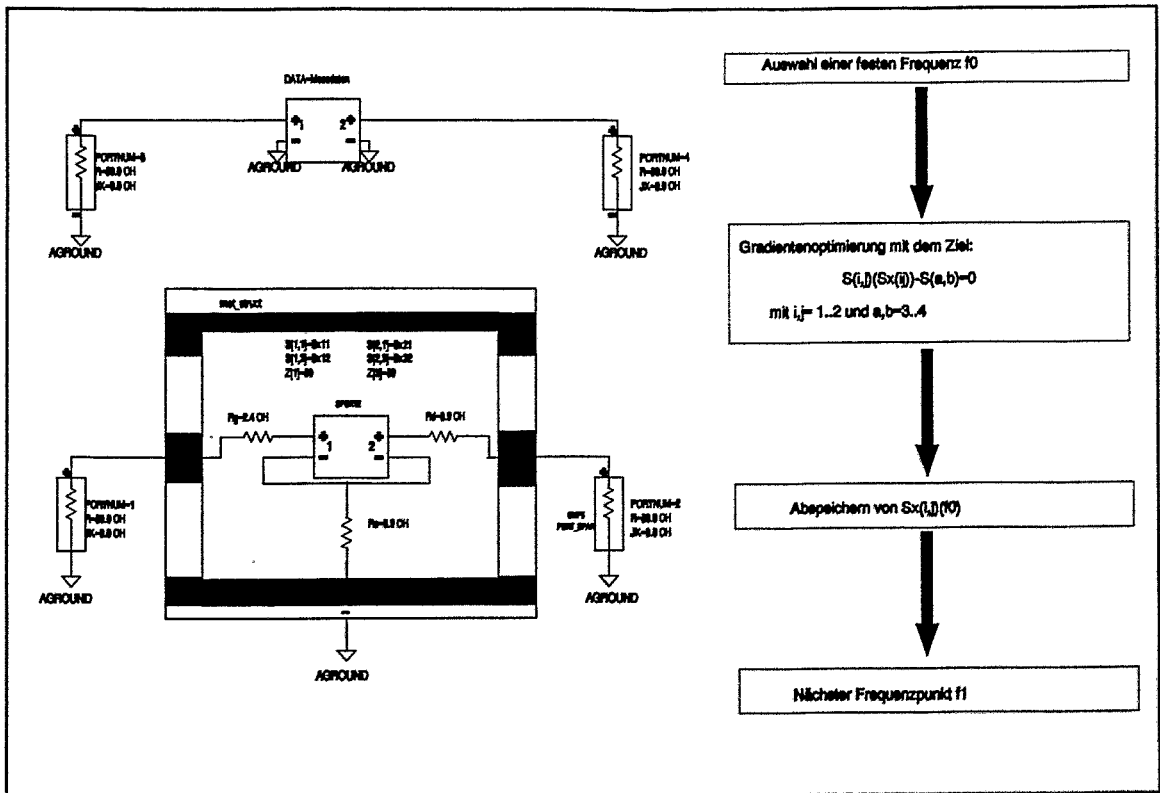


Abb. 4 Ablaufdiagramm der Kompensationsroutine

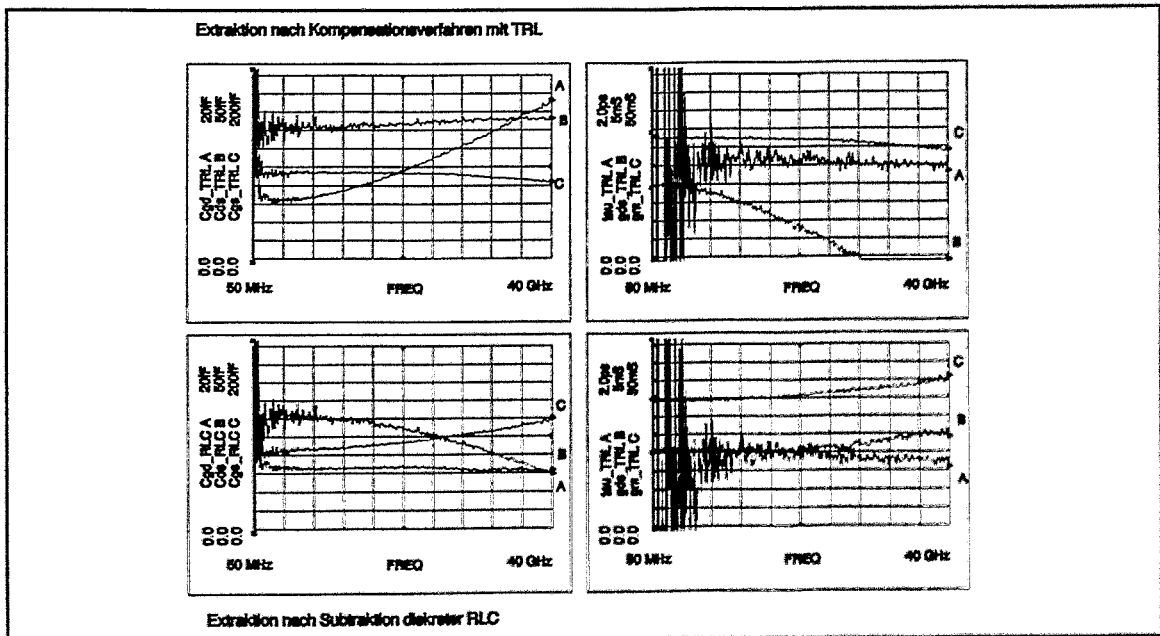


Abb. 5 Vergleich des Frequenzverlaufs der ermittelten Elementwerte für beide Ansätze der parasitären Einflüsse

Halbleiterdetektortechnologie

am Beispiel des **Backward Silicon Trackers (BST)**

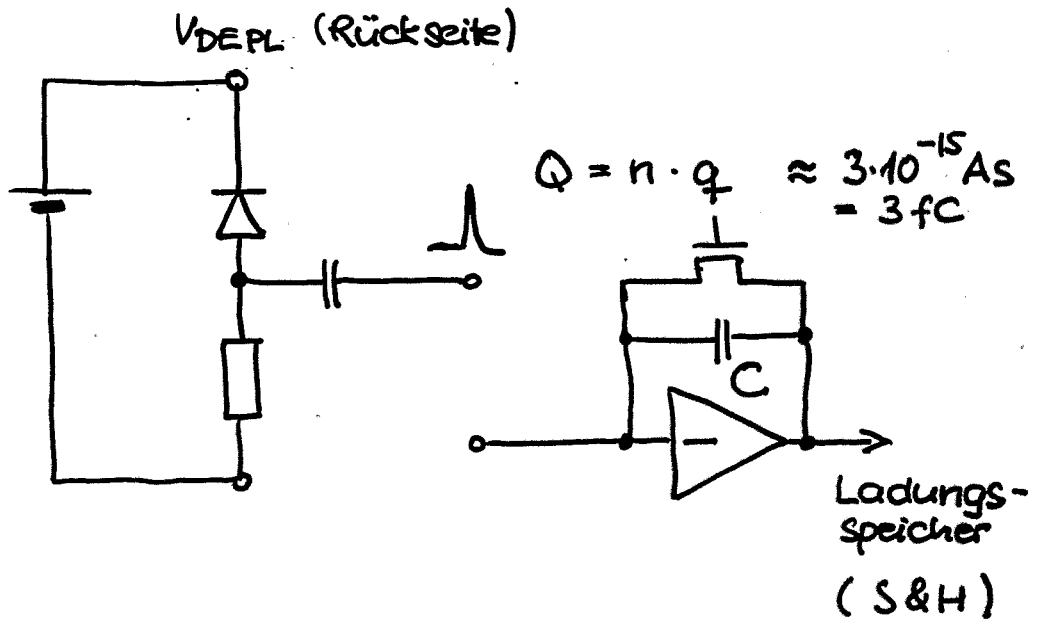
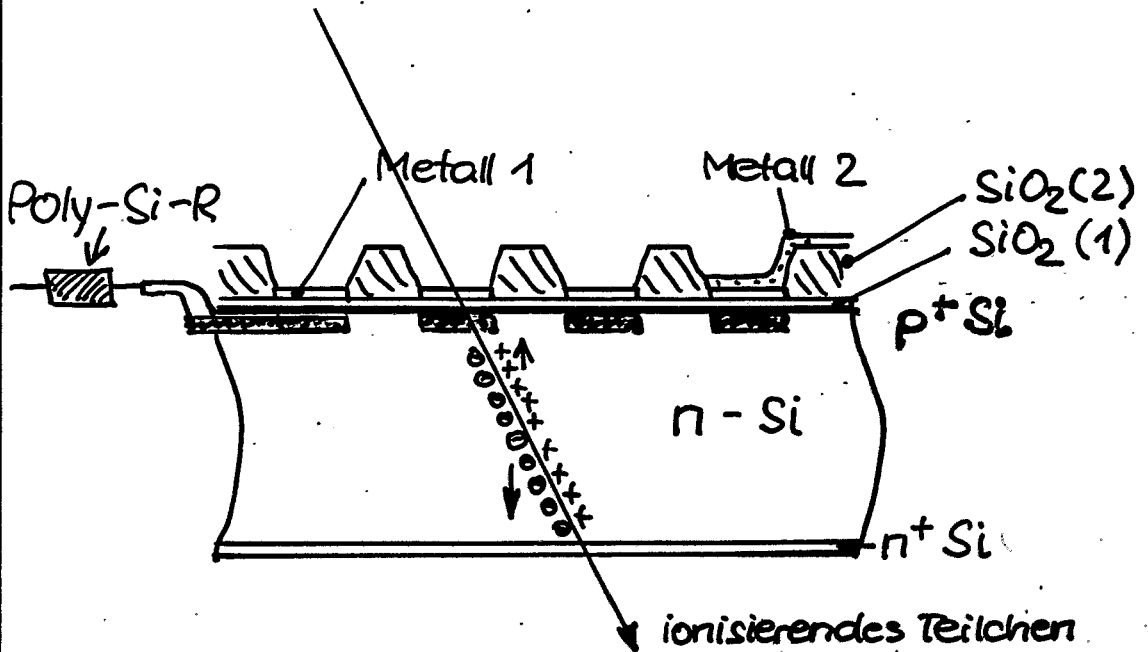
für das Experiment H1

am Beschleunigerring Hera des DESY Hamburg

1. Silizium-Planar-Detektoren in Zeuthen
2. Anforderungen des Experimentes H1
3. Detektorentwicklung
4. Ausleseelektronik
5. Ergebnisse

1. Silizium-Planar-Detektoren in Zeuthen

1.1 Funktion



Zeuthen, 30. September 1996

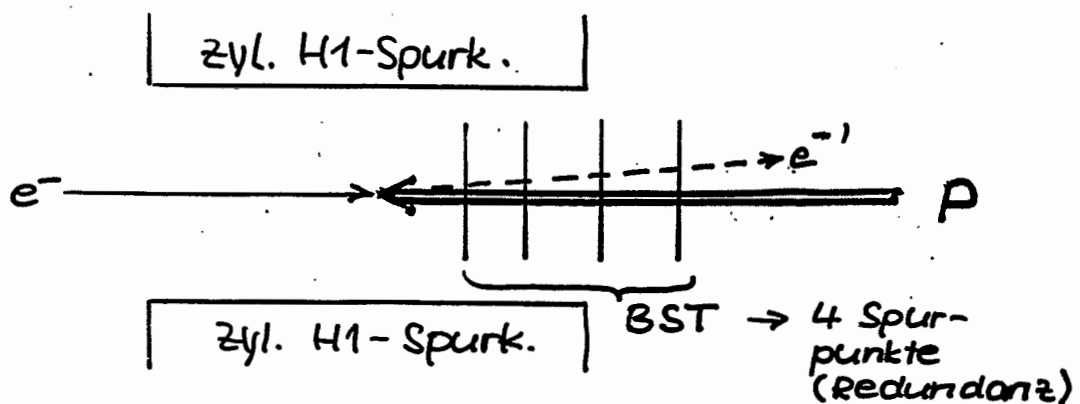
1.2. Rückblick auf die bisherige Entwicklung

- erste Streifensensoren (DC-coupled, 100 bzw. 50 μm pitch, Silizium-Planartechnologie) für methodische Untersuchungen 1987 in Zusammenarbeit mit dem Werk für Fernsehelektronik Berlin;
- erste Detektoren im Experimenteinsatz zur Kalibrierung einer Spurkammer (Sensoren wie oben, 50 μm pitch, Dickschicht-Hybridschaltung zur Montage von Sensor und hochintegrierten Ausleseschaltkreisen);
- 1989 / 90 Fertigung von Sensoren nach CERN-Vorbild (Delphi-Experiment, AC-coupled, 25 μm pitch, 50 μm readout pitch, Polysiliziumwiderstände für den DC-Pfad) im Institut für Halbleiterphysik Frankfurt / Oder, Einsatz im Experiment bis 1993;
- 1991 Beginn der Eigenentwicklung von Streifen- und Padsensoren für das H1-Experiment in Zusammenarbeit mit SINTEF (Oslo), CERN und MICRON (England), 1992 Muster verschiedener Hersteller (Frankfurt/O., Silicon Sensor, SINTEF, MICRON);
- 1993/94 in der Winterbetriebspause Einbau des ersten Detektors in das Experiment H1 (Paddetektor); Untersuchungen der Strahlungsfestigkeit etc.;
- 1994/95 und 95/96 stufenweiser Ausbau auf je 64 Pad- und 64 Streifendetektoren, die in vier Ebenen angeordnet sind.
- Weiterentwicklung der Auslesetechnologie durch Entwicklung und Anwendung von ASICs sowie spezifischer Elektronik.

Zeuthen, 30. September 1996

2. Anforderungen des Experimentes H1

- Messung tiefinelastischer Streuprozesse des Elektrons am Proton bei Proton-Elektron-Kollisionen:



- Die Messung von Spuren mit sehr kleinem Winkel gegen die Strahlachse erfordert eine Detektorgeometrie, die das Strahlrohr umschließt.
- Wegen der Unempfindlichkeit des H1-Detektors in diesem Winkelbereich ist kein Trigger möglich.

--> Aufbau des BST in zwei Subdetektoren mit gemeinsamer Mechanik:

- Paddetektor zum Triggern und
- Streifendetektor zur Koordinatenmessung.

Zeuthen, 30. September 1996

3. Detektorentwicklung

- Berücksichtigung der speziellen Geometrie;
- Detektoren technologisch so einfach wie möglich und so aufwendig wie nötig;

3.1. Pad-Detektor

- 32 pads entsprechend der Geometrie (Strahlensatz...) im Radius gestaffelt;
- AC-Kopplung und Foxfet-Bias kommen mit einer Metallisierungslage aus (zweite Verdrahtungslage liegt im p^+ des Siliziums);
- Prototypen als DC- und AC-gekoppelte Ausführungen, nach Untersuchung beider Typen Entscheidung für die (komfortablere) AC-Variante.
- Spezielle Testverfahren als "Wareneingangstest": Leckstromtest, Kapazitäts - Spannungsmessung (Verarmungsspannung), Koppelkondensatorstest.

3.2. Streifen-Detektor

- 1281 konzentrische Streifen mit 44 μm Streifenabstand und 88 μm readout pitch;
- AC-Kopplung zur ersten Metallisierungslage;
- besonders dickes Dielektrikum (3.5 μm SiO_2) zur zweiten Metallisierungslage (Übersprechen);
- Polysiliziumwiderstände zur Ableitung der Dunkelströme;
- testfreundlicher Entwurf (Teilung rechts / links)
- Spezielle Testverfahren als "Wareneingangstest": Leckstromtest, Kapazitäts - Spannungsmessung, Kurzschlußtest rechts / links, Messung des mittleren Widerstands der Polysiliziumwiderstände (vorwärts).

4. Ausleseelektronik

4.1. Pad-Detektor

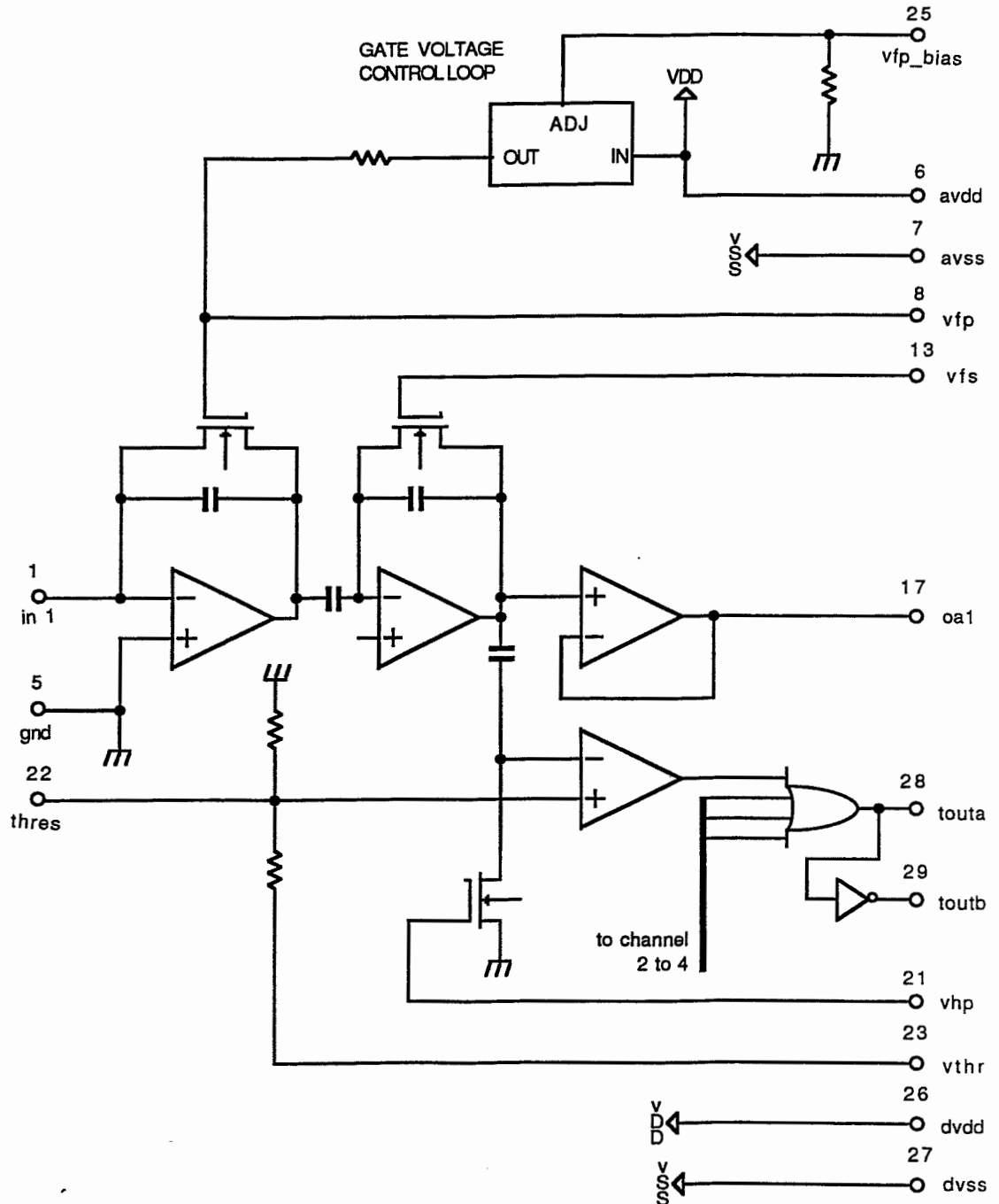
- Entwicklung eines ASIC in 1.2 μm CMOS-Technologie (4 Kanäle / Chip) mit ladungsempfindlichem Vorverstärker, Diskriminator und Oder-schaltung;
- Entwicklung einer starr-flexiblen Feinstleiterplatte als Verdrahtungsträger und Konstruktionselement;
- nachfolgende Signalverarbeitung programmierbar (XILINX).

4.2. Streifen-Detektor

- Übernahme eines ASIC in 1.0 μm CMOS-Technologie (128 Kanäle / Chip) aus dem SIN / ETH Zürich) zur Auslese (Speicherung von 32 "Zeitscheiben");
- Entwicklung einer starr-flexiblen Feinstleiterplatte als Verdrahtungsträger und Konstruktionselement;
- nachfolgende Signalverarbeitung mit einem speziellen VME-Modul, der die ausgelesenen Analogwerte mit der notwendigen Geschwindigkeit digitalisiert ($> 10 \text{ Msamples/s}$) und die Daten verdichtet (PowerPC).

Zeuthen, 30. September 1996

SCHEMATIC DRAWING OF THE PAD READOUT CHIP. ONE OUT OF FOUR CHANNELS IS SHOWN.



5. Ergebnisse

5.1. Physikalische Ergebnisse

- Beide Detektorteile haben ihre Funktion bewiesen. Der Streifendetektor erreicht bei einer Taktfrequenz von 10 MHz ein Signal-Rausch-Verhältnis von besser als 15:1. Mit dem Paddetektor wurden Spuren nachgewiesen.

5.2. Methodische Ergebnisse

- Schaffung der gesamten Infrastruktur zur Herstellung von Halbleiterdetektoren mit Silizium-Planarsensoren (die ihrerseits zugeliefert werden, kein Zyklus 1 im IfH!):

- Reinräume (ca. 40 m²) zum Messen, Lagern und Montieren;
- Werkzeuge und Vorrichtungen zum Kleben, rechnergestützten Bonden, mechanischen Ausrichten usw.;
- Meßmittel für die Charakterisierung der Sensoren.

- Erfahrungen beim Entwurf von Sensorstrukturen, herstellereigene Erfahrungen.

- Allgemeines "Halbleiter-Know-How"...



Auslese des Silicon Microstrip Detectors beim L3-Experiment

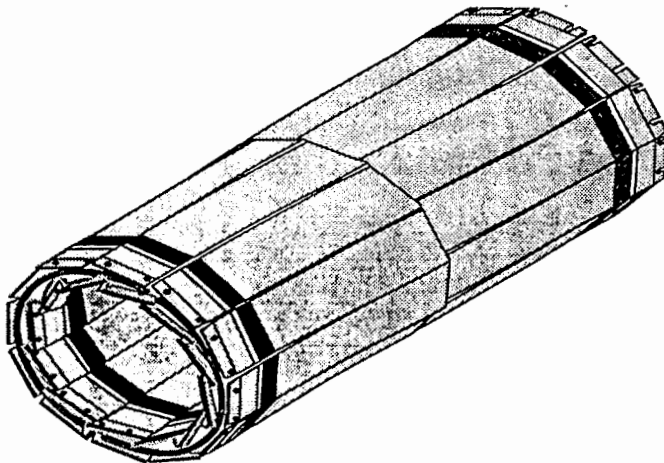
F. Tonisch
30. September 1996

DESY - Institut für Hochenergiephysik
Zeuthen



Der Detektor

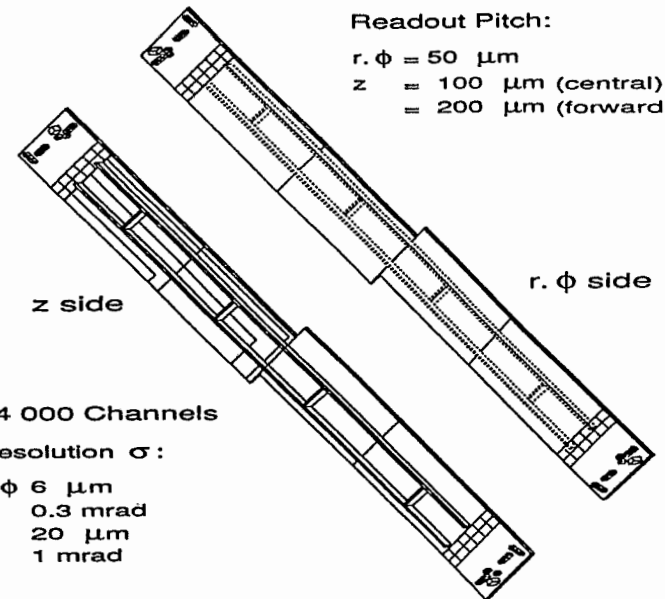
- zwei konzentrisch angeordnete Lagen mit einer Länge von 30cm (minimal messbarer Streuwinkel = 22°)
 - inner SMD bei $R=6.1$ cm
 - outer SMD bei $R=7.8$ cm
- doppelseitige Siliziumstreifendetektoren erlauben Messung von $R\Phi$ und RZ



25



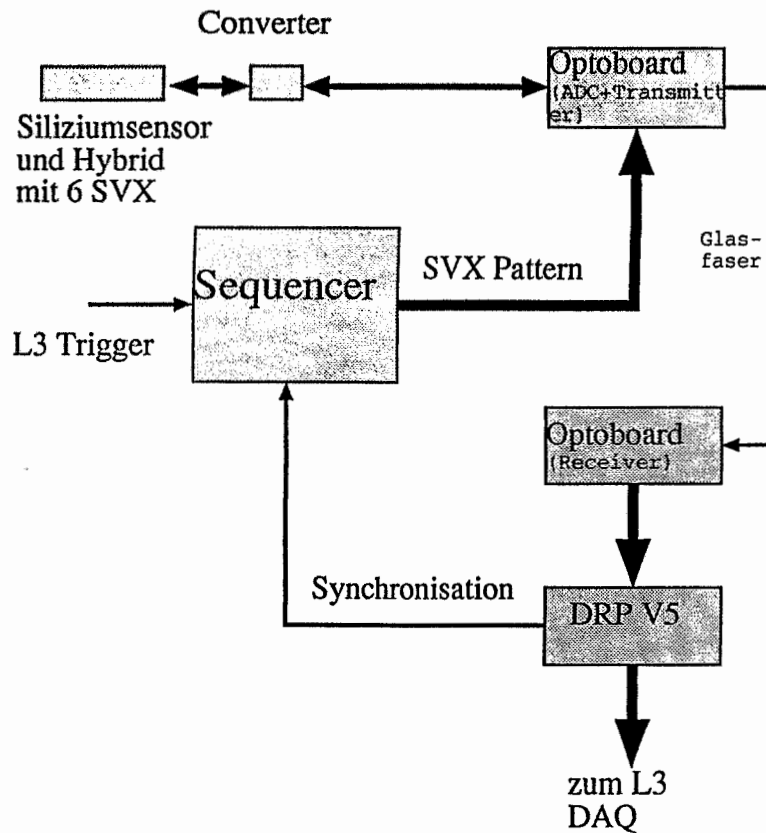
- 12 Module je Lage geteilt in 2 Hälften mit 1536 Kanälen (Elektronikkanäle gesamt: 73728)
- Auslese durch zwei identische Hybrids mit je 6 SVX





Ausleseketten

Gesamtübersicht



26



Der SVX-Chip

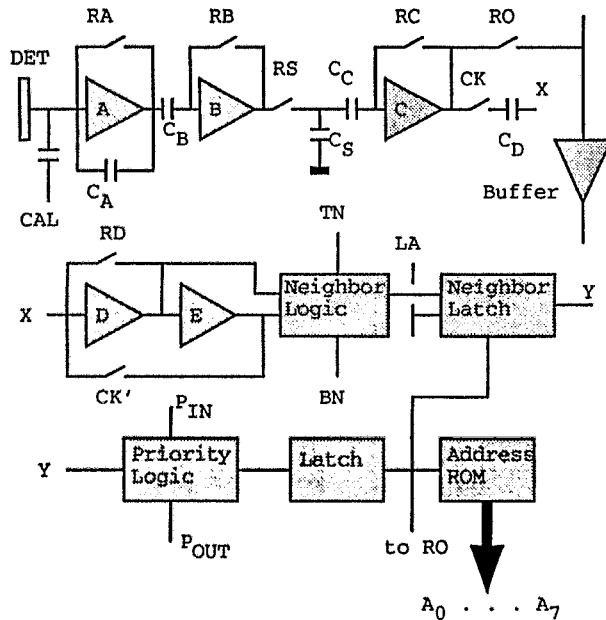
Übersicht

- entwickelt im LBL für das CDF-Experiment
- Analogteil:
 - 128 ladungsempfindliche Vorverstärker
 - Sample & Hold Stufe, Schwellwertspeicher
 - Komparator und Latch
- Digitalteil:
 - "neighbor" - Logik
 - Prioritätslogik
 - Adress - ROM
- drei Auslesemodi:
 - full readout
 - sparse readout without neighbors
 - sparse readout with neighbors
- bis zu 64 Chips kaskadierbar (6 Bit Chip-ID Register)



Der SVX-Chip

Prinzipschaltbild
(Einzelkanal)

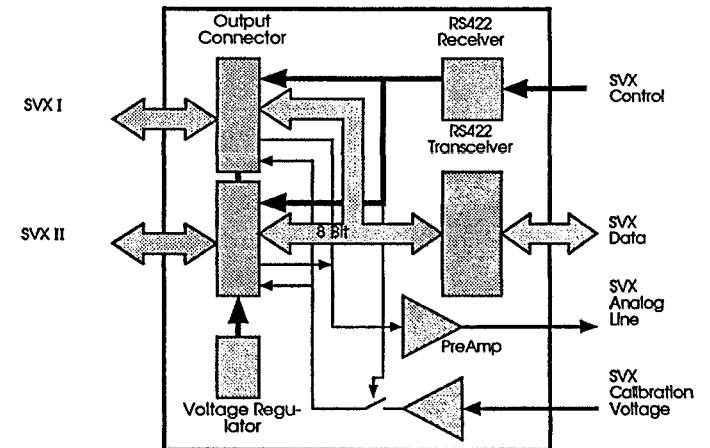


27



SVX-Converter

- Entwicklung durch INFN Perugia
- Interface zwischen SVX und Optoboard
- Verstärkung des Analogsignals des SVX
- Leitungstreiber und -empfänger für Steuer- und Datensignale
- ein Converter für Ankopplung an zwei SVX-Hybridschaltungen





Optoboards

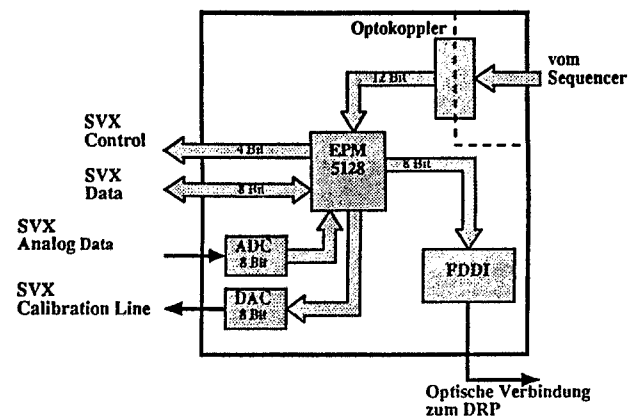
- entwickelt durch INFN Florenz und Perugia
- da sich Elektronik für die Auslese der Z-Seite auf BIAS-Potential befindet, Potentialtrennung notwendig
- AD/DA-Wandlung in der Nähe des Detektors und Übertragung rein digitaler Signale
- durch serielle Übertragung Reduzierung der Anzahl der notwendigen Kabel
- Minimierung von "ground loops"

28

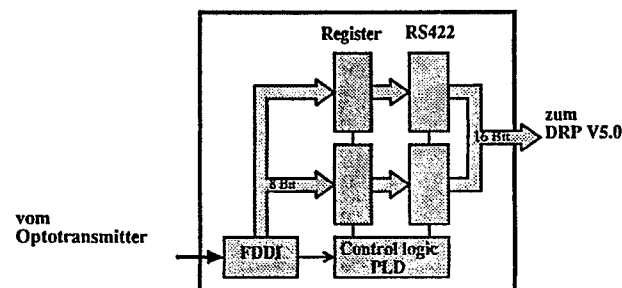


Optoboards

Optotransmitter



Optoreceiver





DRP V5.0

Hardware

- entwickelt und gebaut an der RWTH Aachen (III.Physikalisches Institut)
- 16-Bit Digital-I/O
- TMS99105 Prozessor (24MHz)
- 32kWord RAM
- 4kWord Dual Port RAM zur Kommunikation zwischen CM und DRP
- zwei Datentransfermodi
 - full mode (alle Daten werden in den Speicher kopiert)
 - reduced mode (Chip-Id und Streifennr. werden unterdrückt, ADC-Daten gepackt in 16 Bit-Word)

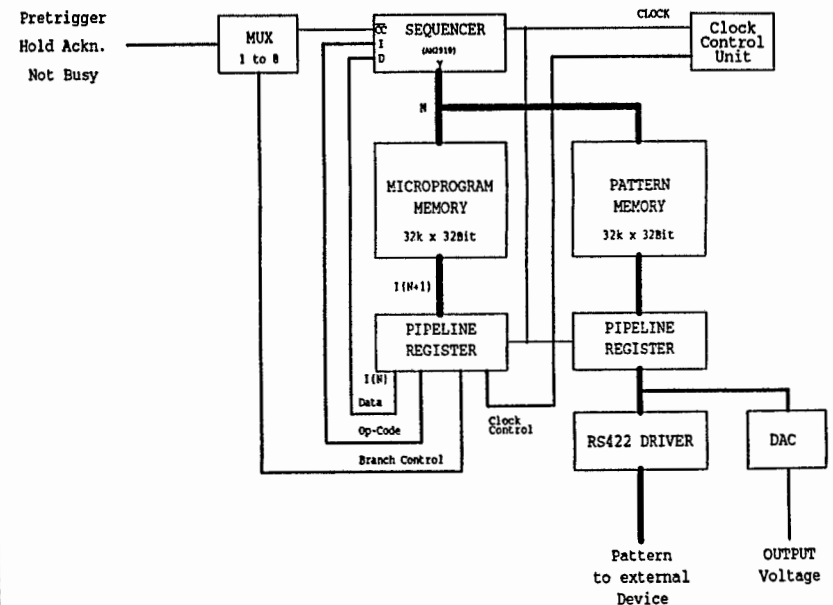
Software

- fünf Datenreduktionsalgorithmen:
 - SAD- SMD all Data
 - SAP- SMD above Pedestal
 - SAD- SMD above Pedestal - Common Mode Noise
 - SPD- SMD Pedestal Data
 - SSC - SMD Slow Control Mode



Sequencer

Architektur





Sequencer

Charakteristik

- Entwicklung im DESY-IfH
- 64-Bit Mikroprogrammwort
 - 4 Bit Instruction-Code
 - 12 Bit Adresse
 - 16 Bit interne Steuerung
 - 8 Bit DAC-Wert
 - 24 Bit Output Pattern
- 256 kByte Speicher
 - bis zu 8 Sequenzen speicherbar
(Auswahl erfolgt über VME-Statusregister)
- 24 Bit Output Pattern (RS422)
- Dauer des Mikrobefehlszyklus ist im Bereich von 100ns-320ns in Schritten von 30ns programmierbar
- 8 Bit DAC (Settling Time ca. 100ns)
 - DAC-Wert aus VME Register
 - DAC-Wert aus Sequencerspeicher --> Funktionsgenerator realisierbar

30



Sequencer

Programmierung

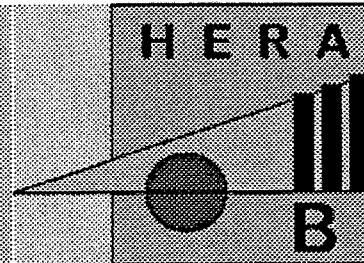
- SQA - SeQuencer Assembler in C für VMS
- Beispiel:

```

*****
;*
;*      Program Example for the Sequencer
;*
*****
;label opcode data bran cl dac dac output pattern
;          sel val
;
;          00000000 00000000 00000000
;          UUUUUUUU UUUUUUUU UUUUUUUU
;          TTTTTTTT TTTTTTTT TTTTTTTT
;          22221111 11111198 76543210
;          32109876 543210
;          -----
init:  cjp      start  flam  2 mem  128  10000000 00000000 00000000
      jmap     init   1 mem   98   01000000 00000000 00000000
start: cont    32     1 mem  255   00100000 00000000 00000000
      ldct    32     1 reg   0   00010000 00000000 00000001
      push   32     d1ld  2 mem  123  00001000 00000000 00000001
      cont   1 reg  0   00000100 00000000 00000001
      rfct   1 reg  0   00000010 00000000 00000001
      ackn   flam  8 reg  0   00000001 00000000 00000000
      ackn   d1ld  8 reg  0   00000000 10000000 00000000
      jmap   start  1 mem  123  00000000 01000000 00000000
    
```



HERA-B L3/4 FARM

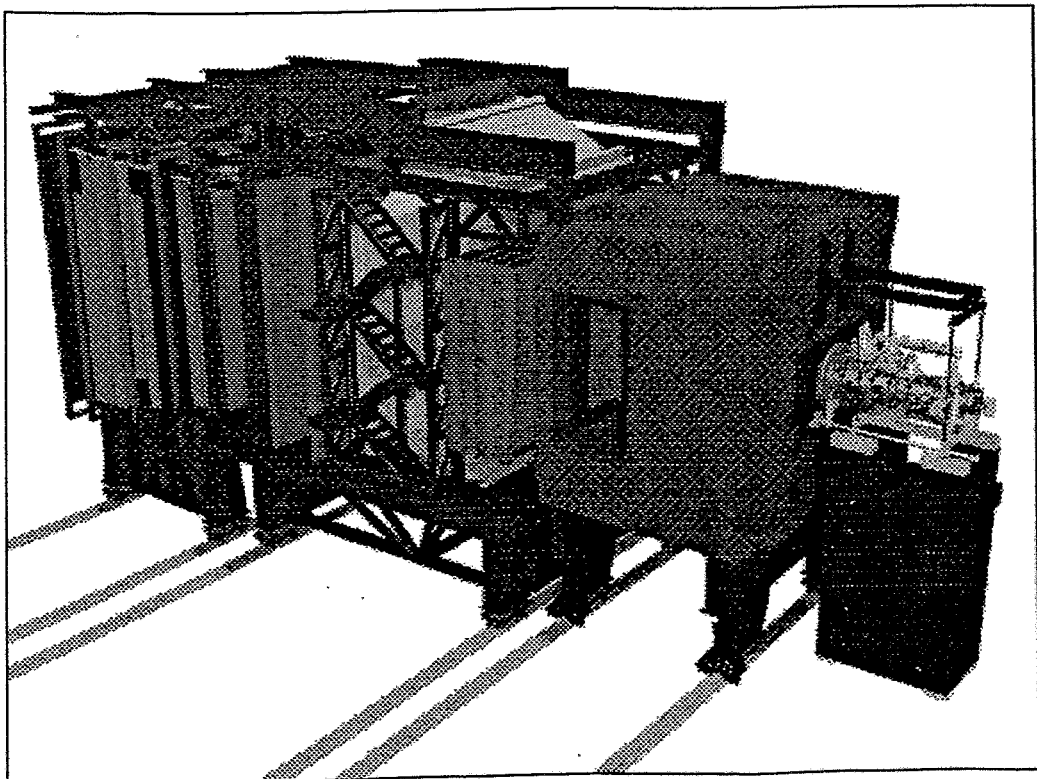


Zeuthen

R. Dippel

Z-Seminar

DRIVER-DEVELOPMENT & CONTROLLING OF 100 POWERPC'S



Inhalt

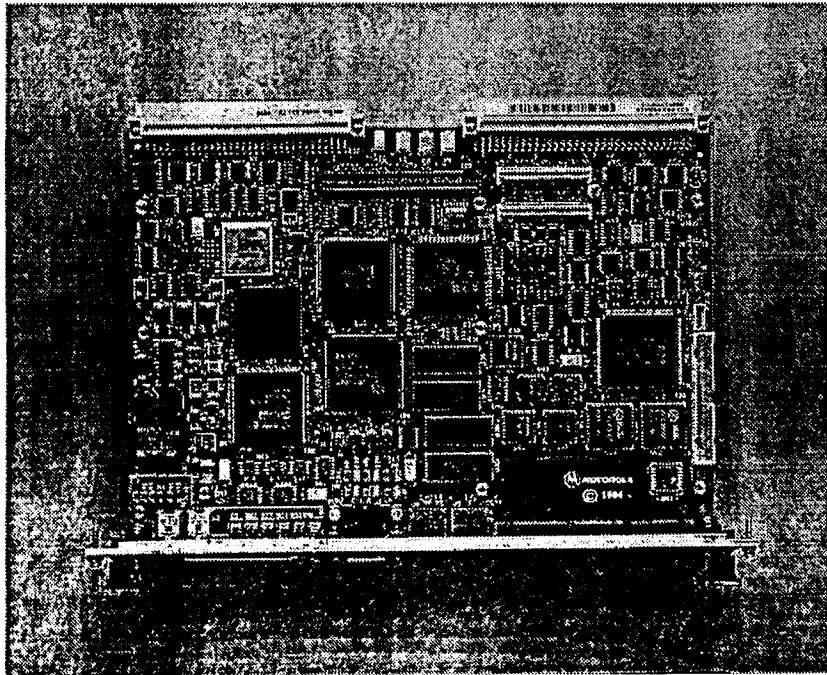
- Design Parameter für die FARM
- PowerPC-VME-Module mit *embedded AIX*
- Testfarm
 - Aufbau der Testfarm
 - PowerPC-VME-Modul mit *embedded AIX*
 - DS-Link Interface Karte
- Geräte Treiber
 - Geräte Treiber unter AIX 4.1
 - Speicheraufteilung
 - Zugriff auf die DS-Interface Karte
 - Die Kontrolle der FARM mit remote-TCL
- Bisherige Tests
- Zusammenfassung

Designparameter für die FARM

- Physik
 - 2 kHz Ereignisrate vom SLT
 - 100 Kb mittlere Ereignisgröße
 - Input = 200 Mb/s
 - Output = 5-10 Mb/s
- Software
 - C, C++, FORTRAN Compiler
 - OS für das die CERNLIB verfügbar ist
 - einfache Administration
 - Echtzeitfähiges System
- Hardware
 - hohe CPU- und IO-Leistung
 - Skalierbarkeit
 - freier PCI-Slot
 - Ethernet

PowerPC-VME-Module mit embedded AIX

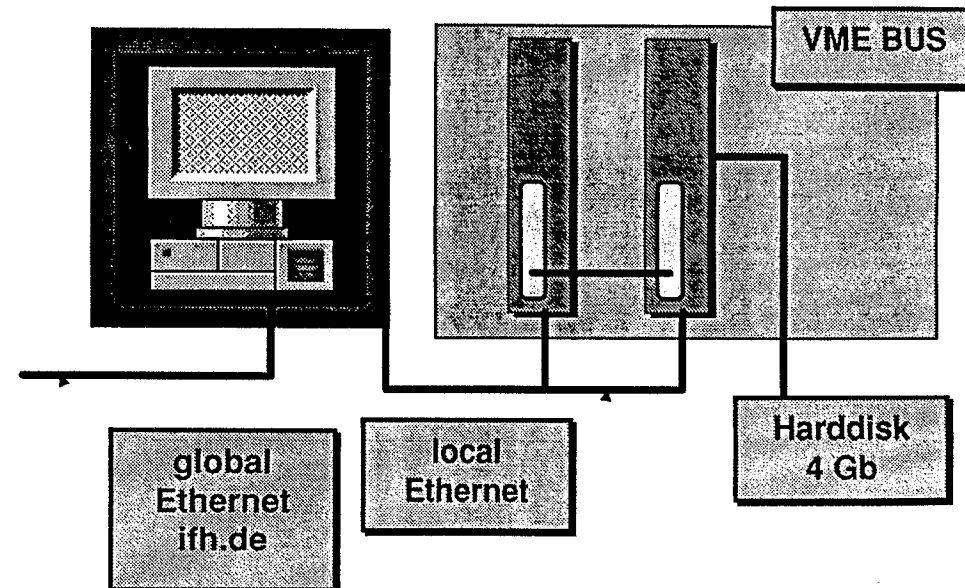
- ◆ Skalierbares System
- ◆ hohe CPU- und IO-Leistung
- ◆ verbreitetes Betriebssystem mit *guten* Compilern
- ◆ PCI-Slot für eine Interfacekarte
- ◆ VME-Bus als Controlbus
- ◆ Embedded UNIX (diskless)



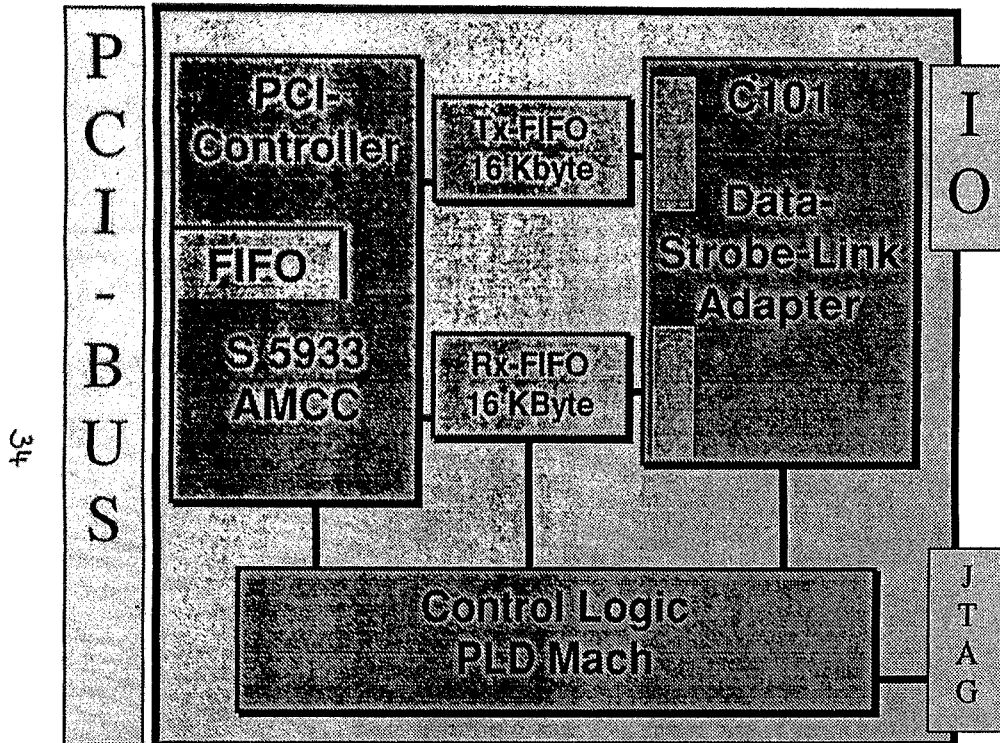
Aufbau der Testfarm

2x FARM Nodes PPC604 100Mhz 32Mb (MVME-1600)
1x Workstation PPC-603 66Mhz 64Mb (IBM)
- 4Gb harddisk - CD-Rom - local ethernet subnet

Operatingssystem: AIX 4.1. Server & embedded client



Aufbau der Interfacekarte

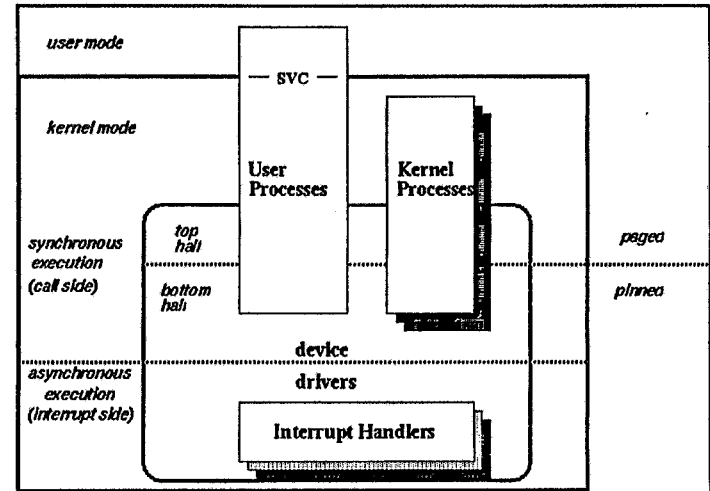


Data of the DS-Link Interface (K.S.)

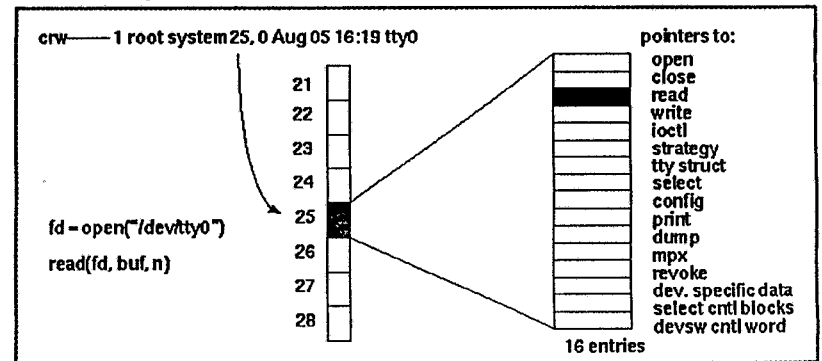
- 32Bit PCI-Interface 60Mb/s measured
- Master(DMA) and slave-mode
- Mailbox-interrupts and FIFO-level control

Der Gerätetreiber unter AIX

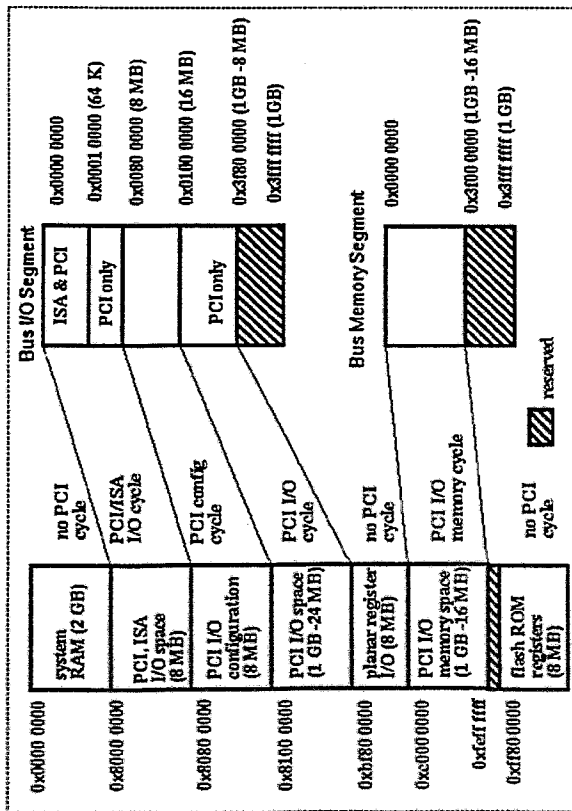
• Arbeitsweise eines Geräte Treibers



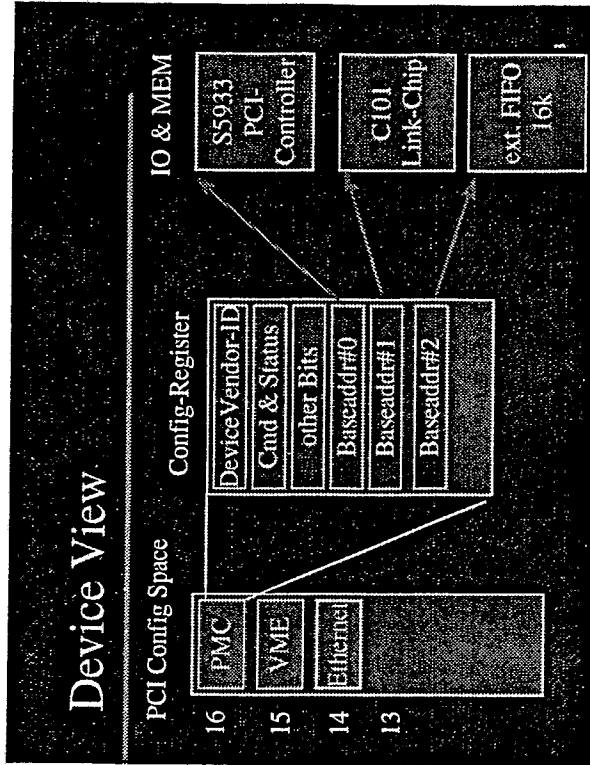
• Zugriff vom Userbereich auf den Treiber



Speicheraufteilung



Zugriff auf die DS-Interface Karte



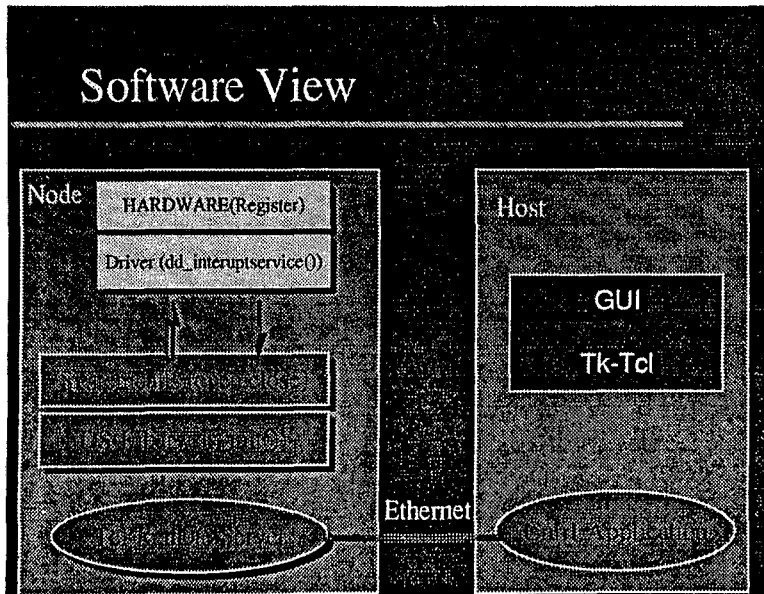
Die Kontrolle der FARM mit remote-TCL

- Direkte Steuerung des Treibers und der Farmsoftware über Remote-Procedure-Call (RPC)
- Durch die Verwendung der Tool Command Language (TCL) hat man eine komfortable Steuerung der FARM.
- Wiederkehrende Abläufe können als Makros definiert werden und auf allen Knoten gleichzeitig ausgeführt werden.

Zusammenfassung

- Alle wesentlichen Komponenten der Prozessor-FARM sind getestet und sollen im bevorstehenden TEST-RUN 96 eingesetzt werden.
- Parallel zu den PowerPC Tests werden von anderen Gruppen PC-basierende System untersucht mit den Betriebssystemen Windows-NT und LINUX.
- Neue PowerPC-Modelle mit PPC-604e 200-225 Mhz werden bald verfügbar sein.

36



Strukturplan und neue Aufgabenfelder des ZEL

K. Kennepohl, Forschungszentrum Jülich

Anhand von Folien wurde das ZEL vorgestellt, wie es sich ca. ein Jahr nach dem Ausscheiden des bisherigen Leiters, Dr. K. D. Müller, und der Leitungsübernahme durch Herrn Dr. H. Halling, darstellt.

Vorgestellt wurden die Eckdaten des ZEL wie Anzahl der Mitarbeiter, Finanzmittel, Fachbereiche, Anzahl der derzeitigen Aufträge, der jährlichen Publikationen und die technische Ausrüstung (Bild 1).

Hingewiesen wurde im Rahmen des Vortrags auch auf die zukünftige Struktur des Zentrallabors für Elektronik, die drei Großgebiete aufweisen wird (Bild 2):

- Meßtechnik, Signal- und Bildverarbeitung
- Detektor-, Experiment- und Systemtechnik
- Werkzeuge, Methoden und Infrastruktur

Verwiesen wurde ferner auch auf die „Einbettung“ (% Anteile der Arbeiten für Institute und andere Einrichtungen im Jahre 1996) des ZEL in die Vorhaben des Forschungszentrum (Bild 3):

- 13% für das Institut für Schicht- und Ionentechnik ISI
- 7% für das Institut für Festkörperforschung (IFF)
- 17% für das Institut für Medizin (IME)
- 12% für das Institut für Kernphysik (IKP)
- 20% für übrige
- Wissenschaftliche Anbindung an Hochschulen und Forschungsinstitute
- Infrastruktur des Forschungszentrum
- Zusammenarbeit mit externen Partnern über das Technologie-Transfer-Büro (TTB)

Weiterhin wurden ebenfalls anhand von Folien – farbigen, die deshalb hier nicht wiedergegeben werden können – einige der derzeitigen Projekte und Entwicklungen aufgezeigt. Schriftlich sollen sie hier nur in Kurzform erwähnt werden. Genauere Auskünfte darüber sind gegebenenfalls bei den zuständigen Herren im ZEL oder über das ZEL-Sekretariat (Tel. 02461-61-6521) zu bekommen.

1. Mikroskopie

Aufbau geeigneter Rastersondenmikroskope für Anwendungen im Bereich biochemischer Materialuntersuchungen und magnetischer Untersuchung von Gewebeproben.

Technologien: Auf PC basierende Datenerfassungskarten mit Digitalen Signalprozessoren, NF-Meßtechnik und Vorverstärkertechnik, analoge und digitale Regelungstechnik sowie Methoden der Digitalen Signal- und Bildverarbeitung.

Partner: Institut für Schicht- und Ionentechnik (ISI), UNI Saarbrücken, Dr. U. Hartmann, Fa. PMS GmbH, IGZ, 44628 Herne, ZEL (Dr. H. Halling, Tel. 02461-61-6521/3180).

2. SQUID-Magnetfluß Meßsystem

Entwicklung eines Mehrkanal Magnetfluß Meßsystems mit hochempfindlichen SQUID-Sensoren. Für die Anwendungsfelder: Magnetkardiographie, zerstörungsfreie Werkstoffprüfung und Geophysik.

Technologien: Hochfrequenztechnik (< 500 Mhz), NF-Meßtechnik, NF-Vorverstärkertechnik, Digitaltechnik (DSP, ADU, DAU), analoge und digitale Regelungstechnik, digitale Signal- und Datenverarbeitungstechniken.

Partner: Institut für Schicht- und Ionentechnik (ISI), Metronix GmbH, TU Berlin (Institut für Angewandte Geophysik), IPHT Institut für Physikalische Hochtechnologie Jena, FMPA Stuttgart, K.A.B. Pirna, DASA, ILK Dresden, Lufthansa, Rohmann, UNI Gießen, PTB Berlin, FVK Berlin, RWTH Aachen, UKBF Berlin, AMS Saarbrücken, IDE, VAC, ZEL (Dr. H. Halling).

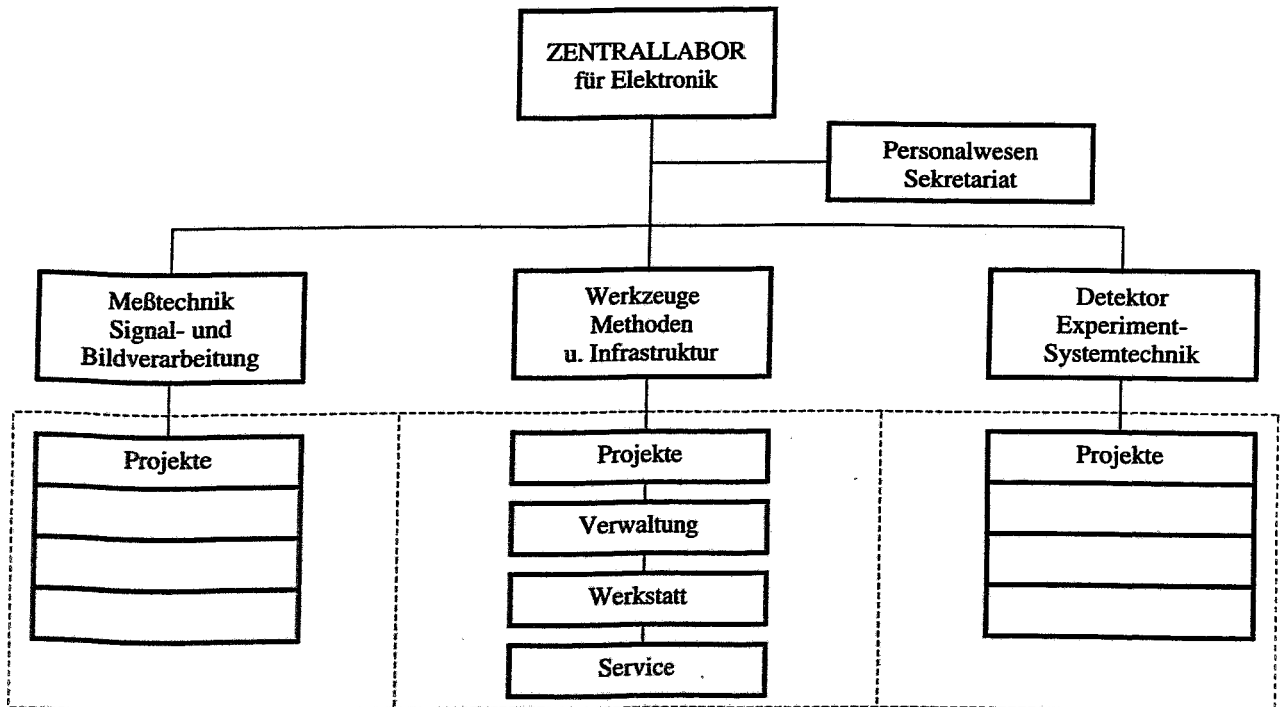
Eckdaten ZEL

Anzahl der Mitarbeiter :	100	Adresse KFA Jülich, ZEL Postfach 1913 52425 Jülich		
davon				
Wissenschaftliche Mitarbeiter und Ingenieure:	20	Telefon	Fax	E-Mail
Studenten und Gastwissenschaftler:	20	02461 / 61 6521	02461 / 61 3990	zel@kfa-juelich.de
Finanzmittel:	1,5 Millionen DM pro Jahr			
Fachbereiche:	Steuerungs- Meß- Regelungstechnik und Bildverarbeitung/Systemtechnik für Experimente und industrielle Anwendungen sowie Detektorsysteme/ Werkzeuge, Methoden und Kommunikationstechnik			
Anzahl der Aufträge:	ca. 50			
Technische Ausrüstung:	<ul style="list-style-type: none"> • Kommunikations- und Rechnerstruktur, CAE- und CAD-Werkzeuge • Simulationsprogramme für Strahlenphysik und elektromagnetische Felder • Software für Signal - und Bildverarbeitung • Werkstatt für Prototypen (Elektronik u. Detektoren) • Prototypen Systemtechnik (z.B. SMD) 			
Wissenschaftliche Publikationen:	ca. 50 Veröffentlichungen, 3 Patente pro Jahr			

Zentrallabor für Elektronik (ZEL)

Bild 1

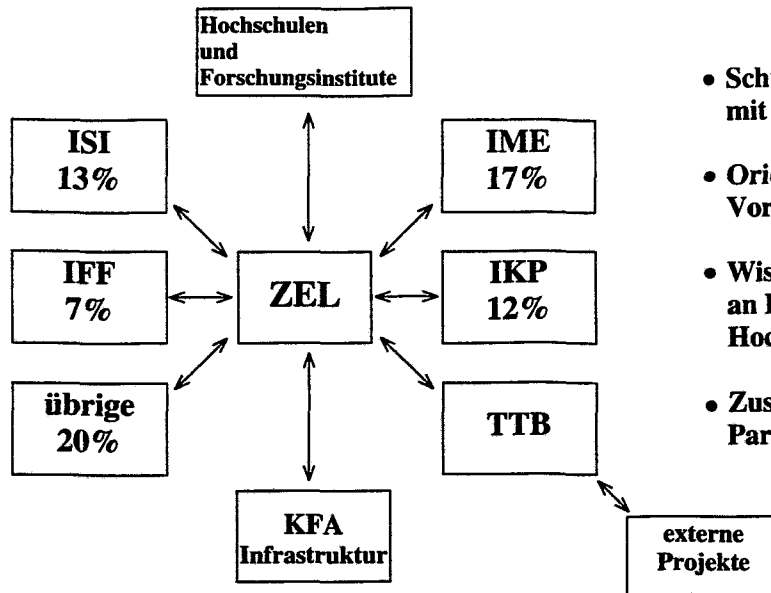
Strukturplan des ZEL



Zentrallabor für Elektronik (ZEL)

Bild 2

Einbettung des ZEL in die KFA (% Anteile der Arbeiten für Institute 1996)



- Schwerpunkte bei der Projektarbeit mit Instituten der KFA
- Orientierung an wichtigen Vorhaben der KFA
- Wissenschaftliche Anbindung an Forschungsinstitute und Hochschulen
- Zusammenarbeit mit externen Partnern über TTB

Effiziente Einarbeitung in vielfältige Themenfelder

Zentrallabor für Elektronik (ZEL)

Bild 3

3. Das KFA TierPET

Entwicklung eines hochauflösenden Positronen-Emissions-Tomographen (PET) für Labortiere mit einer Ortsauflösung von 2-3mm für den Einsatz in der Erforschung neuer Radiopharmaka.

Technologien: Neue Detektortechnologien (neue Kristalle gekoppelt mit ortsauflösenden Photomultipliern), programmierbarer ASIC zur schnellen Datenerfassung, Einsatz von optimierten Algorithmen zur Lösung des inversen Problems.

Partner: Institut für Medizin (IME), Institut für Nuklearchemie (INC), ZEL (Dr. H. Halling).

4. Software beim MEG

Aufbau einer Benutzeroberfläche zur Bildverarbeitung am MEG (Magnetoenzephalograph)

Technologien: BTI Datenbankzugriffe, Einsatz von IDL (Interactive Data Language), Link zu anderen Programmiersprachen (C), Portabilität (PC's und Workstations - DEC - SUN).

Partner: Institut für Medizin (IME) (Prof. Dr. Müller-Gärtner, Dr. Ioannides), ZEL.

5. Regelungstechnik und Systemoptimierung für die Solaranlage PHOEBUS Jülich

Überwachungs-Meßtechnik für Komponenten, z.B.: Bleibatterie. Optimierung der Betriebsführung durch das Energiemanagement, höhere Ernte durch Direktkopplung von Photovoltaik mit Batterie, Ankopplung einer Windkraftanlage, Regelungen für PEM-Brennstoffzelle und Druckelektrolyseur.

Methoden: Variierende anwendungsbezogene Modellbildungen, PC gestützte Simulation mit SIMNON for Windows, simulatorische Struktur- und Regelungsoptimierungen.

Partner: Institut für Energieverfahrenstechnik (IEV), SWB Neunburg vorm Wald, ENEA Rom, DLR Stuttgart, ZEL (Dr. W. Brocke, Tel. 02461-61-3182/6275).

6. M-FIBRE (Multi-Modality Functional Imaging for Brain Research)

Aufbau eines verteilten Bildverarbeitungs- und Archivierungssystems für funktionale, strukturelle und

biochemische Bilddaten der Modalitäten MR, SPECT, PET, und MEG. Integration multimedialer Funktionen zur kooperativen Arbeit (Videokonferenz, White-Board).

Technologien: Hochgeschwindigkeitskommunikation ATM, ORACLE (relationale Datenbank) zur Realisierung der PACS-Komponente, JAVA zur plattformunabhängigen Realisierung von Bildverarbeitungs- und Visualisierungskomponenten, Kompressionstechniken (H.261, M-JPEG, MPEG 1 und 2), Echtzeittransferprotokoll (RTP).

Partner: Institut für Medizin (IME) - Kooperation im Rahmen des Telematics-Projektes REMOT, Institut für Plasmaphysik (IPP), Universität Utrecht, FOM-Institut für Plasmaphysik, Rijnhuizen, Niederlande, ZEL (H. Kleines, Tel. 02461-61-4716/2846).

7. REMOT (Remote Experiment MOonitoring and ConTrol)

Aufbau eines virtuellen Kontrollraumes zur Steuerung der Experimente an TEXTOR von entfernten Laboratorien.

Technologien: Datenübertragung über Hochgeschwindigkeitsnetze (ATM), Audio- und Videokommunikation über Multimediaprogramme für Telekonferenzen, moderne Programmierungstechniken und Tools (objektorientierte Programmierung, verteilte Funktionalität - Client/Server Architektur, COBRA).

Partner: Institut für Plasmaphysik (IPP), Stichting voor Fundamental Onderzoek der Materie (FOM), Utrecht, Universität Utrecht, Laboratoire de Physique des Plasmas - Ecole Royale Militaire, Brussels, ZEL (H. Kemmerling, Tel. 02461-61-6204).

8. Entwicklung eines QuickRing-PCI-Interfaces

Einsatz des schnellen Bussystems QuickRing für den Datenaustausch in der Experimentdatenerfassung.

Technologien: VHDL als durchgängige Entwicklungssprache für die Beschreibung der programmierbaren Logik, Verwendung von Standardcontrollern für die jeweilige Busanbindung: AMCC S5933 (PCI), National QR0001 (QuickRing). Einsatz der schnellen FPGA's der Xilinx XC4000E-Reihe, um eine hohe Durchsatzrate durch die Verbindungslogik zu erreichen (H. Schöll, Tel. 02461-61-6204).

9. DAQ-System für die 0-Grad-Facility bei COSY

Aufbau eines Datenaufnahmesystems für MWPC (Vieldrahtkammern), Szintillatoren und verschiedene Hilfslogiken (ca. 6000 Digitalisierungskanäle in ca. 8 Überrahmen).

Technologien: Grundlage: existierendes COSY-Datenaufnahmesystem (CAMAC, FASTBUS, VME, VIC-BUS). Übergang zu PC-Technik (PCI) und zu serieller Datenübertragung (ATM, QuickRing), möglichst vollständige Integration in EMS.

Partner: Institut für Kernphysik (IKP), FZ Rossendorf, FZ Dubna, ZEL (H. Drochner, Tel. 02461-61-6204).

10. NSE (Neutronen Spinecho-Spektrometer)

Aufbau und Inbetriebnahme eines Kontrollsystems für Neutronenexperimente vom neuartigen Typ Spinecho-Spektrometer für NSE und NIST am Reaktor DIDO mit 120 Einzelmagneten, 2x5t auf Luftkissen millimetergenau positionierbar, Schrittschaltmotoren, Encodern, Sensoren, Leistungselektronik.

Technologien: Server-Client strukturierte Topologie, UNIX, OS9, DEC-5400, ELTEC-E7. VME, SMP, S5, IEC-BUS Feldbus.

Partner: Institut für Festkörperforschung, NIST, National Inst.o.Standards Washington, ZEL (H. Pohl, Tel. 02461-61-6894).

11. SV29 Neutronenflugzeit-Spektrometer

Aufbau und Inbetriebnahme eines Kontrollsystems für Neutronenexperimente am Reaktor DIDO – mit magnetgelagertem Choppersystem, Strahlblende, TOF Datenaufnahmesystem mit 128 Kanälen und bis zu 1024 Zeitkanälen pro Detektorkanal, Krümmungsapparatur (doppelt-fokussierender Hohlspiegel - bestehend aus 75 pyrolytischen Graphitkristallen) – zur Bestimmung der Wellenlänge der Neutronen.

Technologien: Server-Client strukturierte Topologie, Unix, OS9, DEC-Alpha, Eltec-E7, VME, SMP, S5, Profibus, IEC-BUS, V24.

Partner: Institut für Festkörperforschung (IFF), ZEL (Dr. K. Zvoll, Tel. 02461-61-3260/4130).

ASD-8 chip

- development of University of Pennsylvania
(mitch@upenn5.hep.upenn.edu)
- 8- channel Amplifier, Shaper, Discriminator (ASD)
- 64 pin plastic PLCC, 1 mm pitch
- designed in the Tectronix bipolar process (high speed, low noise, low power)

Amplifier

-dual cascoded common emitter preamplifier
gain : 2,5 mV/ fC
bandwidth: 100 Mhz
input impedance: 115 ohms

Shaper

detector tail cancellation at output of second stage
double pulse resolution: 25 ns
DC gain : 6

Discriminator

2 stage differential amplifier with pos. feedback
hysteresis: 3 mV feedback
threshold: voltage programmable for each channel: 250 mV = 1 fC, max 1.4 V
output: current programmable open collector diff. pair

technical specifications

power consumption: +/- 2,5 ...3 V, ~ 0,3 W per chip
analog outputs for 1. 2. 7. channel (linear up to 50 fC)
gain: 20 mV / fC (+/- 7 mv / fC - worst case)
price: ~ 15 US\$

ASD- 8 preamplifier board for Outer Tracker

- 16 channels per board, 120.000 channels at the honey comb chambers
- additional external diode input protection
- serial input resistance 50 ohms
- use of inverting input to reduce pick up (AC coupling to detector ground)
- output swing of digital signals: ~ 150 mV
- testpulse coupling at negative inputs
- analog output of 15. channel
- ground rails at board edges
- seperation of digital and analog ground plane / supply voltages

Digitales, stochastisches Thermometer

Gerd Nowack

Lehrstuhl für Datenverarbeitung, Ruhr-Universität, D-44780 Bochum

Kurzfassung

Die preiswertesten und für eine algorithmische Kalibrierung bestmöglich geeigneten Temperatursensoren sind Präzisions-Metallfilmwiderstände. Die Bestimmung des Widerstandswertes und die Optimierung der analogen Verstärkungsstufen werden beschrieben. Der Rauscheffektivwert wird aus den Wahrscheinlichkeiten der Ausgangszustände eines Komparators bestimmt, dessen Referenzspannung über einen D/A-Wandler vom Digitalteil kontrolliert wird. Die Kalibrierung des Gerätes erfolgt unter der Berücksichtigung der Temperaturabhängigkeit der wesentlichen Parameter des Analogteils. Durch die Wahl längerer Meßzeiten kann die Genauigkeit der Messung weiter gesteigert werden.

Zusammenfassung

Grundvoraussetzung für eine hochgenaue Temperaturmessung ist die Kalibrierbarkeit eines Thermometers. Da die Kalibrierdaten in einer Prüffeldmessung gewonnen werden und dem Gerät durch eine digitale ROM-Speicherung auf Dauer gleichbleibend zur Verfügung stehen, müssen die Komponenten des Thermometers vor allem eine nahezu ideale Langzeitstabilität besitzen. Der preiswerteste, langzeitstabilste Temperaturfühler ist ein guter Metallfilmwiderstand (hohe Wertgenauigkeit, geringer Temperaturkoeffizient).

Die Rauschspannung eines Widerstandes ist eine stochastische Größe, deren Effektivwert bestmöglich die Temperatur des Widerstandes abbildet. Da die Rauschspannung sehr klein ist, ist eine hochgenaue Analogverstärkung mit großer Bandbreite erforderlich, bevor der Effektivwert gebildet werden kann. Die Optimierung der Eingangsstufe zur Erzielung eines maximalen Temperaturkoeffizienten der Rauschspannung des Sensorwiderstandes wird dargestellt. Die statistische Auswertung der Meßgröße geschieht mit einem Komparator, dessen Referenzspannung über einen D/A-Wandler rechnergesteuert ist. Mit Hilfe der preiswerten und exakten Zeitbasis des Digitalteils können die Wahrscheinlichkeiten der Komparator-Ausgangszustände mit extrem hoher Genauigkeit gemessen werden. Die Meßzeit bestimmt also die Meßgenauigkeit der Temperaturmessung.

Prinzipiell erfolgt die Bestimmung der Rauscheffektivspannung dadurch, daß algorithmisch sowohl die Komparator-Referenzspannung für die 50%ige als auch die 84,13%ige 1- σ -Wahrscheinlichkeit bestimmt werden. Die Differenz der Werte ist die Rauscheffektivspannung, die zur Kalibrierung des Gerätes Verwendung findet.

Es folgen Ausschnitte aus der Veröffentlichung in FACTA UNIVERSITATIS: Series: Electronics and Energetics, vol.10 (1997), in Vorbereitung, University of Nis, Bundesrepublik Jugoslawien

1. Einleitung: Definition der Äquivalenz thermischer und elektrischer Energie

Die Ersatzspannungsquelle des rauschfrei gedachten Widerstandes beträgt:

$$(2) \quad U_{\text{eff}} = \sqrt{4 \cdot k \cdot T \cdot R \cdot \Delta f}$$

Diese Spannung $U_{\text{r,eff}}$ hat sehr kleine Werte. Beispielsweise sei der Widerstand: $R = 1 \text{ M}\Omega$, dem durch die Zuleitungs- und Eingangskapazitäten 20 pF parallelgeschaltet sind, so folgt:

$$(3) \quad \Delta f \approx \frac{1}{2 \cdot \pi \cdot R \cdot C} = 7,958 \text{ kHz} \approx 8 \text{ kHz}$$

Mit $T = 300 \text{ K}$ folgt: $U_{\text{r,eff}} = \sqrt{4 \cdot k \cdot T \cdot R \cdot \Delta f} = 11,48 \text{ }\mu\text{V}$, d.h. also ca. $10 \text{ }\mu\text{V}$.

Dieser Wert läßt sich kaum beeinflussen, da nach Formel (3) das Produkt aus Widerstandswert R und Bandbreite Δf eine Konstante ist. Unter Berücksichtigung der Bandbreite nach (3) folgt für den Effektivwert der Rauschspannung:

$$(4) \quad U_{\text{eff}} = \sqrt{\frac{4 \cdot k \cdot T}{2 \cdot \Pi \cdot C}} = 0,80 \cdot \sqrt{\frac{k \cdot T}{C}} \neq f(R)!$$

Eine von der Bandbreite unabhängige Beschreibungsform des „weißen“ Rauschanteils ist durch die Rauschspannungsdichte: RUD bzw. Rauschstromdichte: RID möglich:

$$(5) \quad RUD = \sqrt{4 \cdot k \cdot T \cdot R} \text{ in der Einheit: } V/\sqrt{\text{Hz}} \text{ bzw. } RID = \sqrt{4 \cdot k \cdot T / R} \text{ in: } A/\sqrt{\text{Hz}}$$

Für das eingangsbezogene Rauschen des Widerstandes und des Verstärkerrauschens ergibt sich wegen der Unkorreliertheit der Rauschquellen die quadratische Addition:

$$(6) \quad RUD_a = \sqrt{RUD_v^2 + (RID_v \cdot R)^2 + RUD_v \cdot R^2} = \sqrt{RUD_v^2 + RID_v^2 \cdot R^2 + 4 \cdot k \cdot T \cdot R}$$

Die Temperaturabhängigkeit der eingangsbezogenen Ausgangsrauschspannungsdichte, d.h. ihr zugehöriger Temperaturkoeffizient soll maximal sein.

2. Der entscheidende Parameter: Der Temperaturkoeffizient der eingangsbezogenen Ausgangsrauschspannung

Aus der Definitionsvorschrift für den Temperaturkoeffizienten folgt für den TK der Ausgangsrauschspannungsdichte RUD_a:

$$(7) \quad TK_{RUD_a} = \frac{1}{RUD_a} \cdot \frac{dRUD_a}{dT} = \frac{1}{2} \cdot \frac{1}{\frac{RUD_v^2}{4 \cdot k \cdot R} + \frac{RID_v^2 \cdot R}{4 \cdot k} + T}$$

Zur Bestimmung des Sensorwiderstandes R ist diese Gleichung nach R abzuleiten und zu Null zu setzen, um den Maximalwert des TK_{RUD,a} zu erhalten. Die Lösung ergibt:

$$(8) \quad R = R_{\text{opt}} = R_{\text{Sensor}} = \frac{RUD_v}{RID_v}$$

Der optimale (mit Verstärkerrauschen) maximal erreichbare TK_{RUD,a} beträgt:

$$(9) \quad TK_{\text{opt}} = \frac{1}{\frac{RUD_v \cdot RID_v}{k} + 2 \cdot T}$$

Für den rauschfreien Verstärker folgt der Maximalwert des TK:

$$(10) \quad TK_{\text{max}} = \frac{1}{2 \cdot T} = 0,167\% / K \text{ mit } T = 300 K$$

Deshalb wurde in der ersten Verstärkerstufe ein rauscharmer Bipolar-Operationsverstärker: AD 797 mit: RUD_v = 0,9 nV/ $\sqrt{\text{Hz}}$, RID_v = 2,0 pA/ $\sqrt{\text{Hz}}$ (jeweils bei 1 kHz) gewählt.

Es ergibt sich ein „optimaler“ TK:

$$(11) \quad TK_{\text{opt}} = 0,137\% / K, \text{ also geringfügig kleiner als } TK_{\text{max}}. \text{ Für den Sensorwiderstand}$$

folgt: $R_{\text{sensor}} = \frac{RUD_v}{RID_v} = 450 \Omega$. Tatsächlich gewählt wurde 560 Ω .

3. Die Bestimmung der Rauscheffektivspannung aus der Wahrscheinlichkeit

Der Effektivwert der Rauschspannung soll aus der Wahrscheinlichkeit P(U_{ref}): also der Wahrscheinlichkeit, daß die Rauschspannung kleiner/gleich der Referenzspannung ist, bestimmt werden. Es gilt für das Integral über die Wahrscheinlichkeitsdichte p(u):

$$(11) \quad P(U_{\text{ref}}) = \int_{-\infty}^{U_{\text{ref}}} p(u) du \quad U_{\text{ref}} = \text{Referenzspannung des Komparators.}$$

Wie groß muß diese Spannung gewählt werden, damit die temperaturabhängige Veränderung der Streuung {der Verteilung p(u)} sich möglichst stark auf die (Veränderung

der) Wahrscheinlichkeit $P(U_{ref})$ auswirkt? Die mathematisch exakte Lösung des Problems folgt durch Extremwertbestimmung, also: Ableiten und Null setzen:

$$(12) \quad P(U_{ref}) = \int_{-\infty}^{U_{ref}} p(u) du \quad \text{mit} \quad p(u) = \frac{1}{U_{r,eff} \sqrt{2 \cdot \Pi}} * e^{\frac{-u^2}{U_{r,eff}^2}}$$

Zunächst die Ableitung von (12) nach dem (temp.abhängigen) Effektivwert: $U_{r,eff}$:

$$(13) \quad \frac{dP}{dU_{r,eff}} = \frac{1}{\sqrt{2 \cdot \Pi}} \int_{-\infty}^{U_{ref}} \left(-\frac{1}{U_{r,eff}^2} + \frac{u^2}{U_{r,eff}^4} \right) * e^{\frac{-u^2}{U_{r,eff}^2}} du$$

Dann die Ableitung von (13) nach der Komparator-Schwellspannung: U_{ref} :

$$(14) \quad \frac{d}{dU_{ref}} \frac{dP}{dU_{r,eff}} = \frac{1}{\sqrt{2 \cdot \Pi}} \left(-\frac{1}{U_{r,eff}^2} + \frac{U_{ref}^2}{U_{r,eff}^4} \right) * e^{\frac{-U_{ref}^2}{U_{r,eff}^2}}$$

Durch Nullsetzen erhält man die Bedingung für die Referenzspannung, bei der eine (temp.bedingte) Änderung der Rauscheffektivspannung: $U_{r,eff}$ zu einer maximal möglichen Änderung der (gemessenen) Wahrscheinlichkeit: P führt:

$$(15) \quad U_{ref,max} \equiv U_{r,eff}$$

4. Die Genauigkeit der Schätzung aufgrund der Beobachtungsdauer einer statistischen Größe

Die nur endliche Meßzeit und damit endliche Probengröße führt auf Schätzwerte für die Erwartungswerte, d.h. daß beispielsweise die Beobachtung der Polarität der Rauschspannung über eine endliche Meßzeit keinesfalls den exakten Wert von $P=0,5$ ergibt.

Unter der Annahme statistischer Unabhängigkeit der Stichprobenwerte gilt, daß die Erwartungswerte der Stichprobe mit den Werten der Gesamtheit übereinstimmen.

Leicht beweisen läßt sich die Formel für die Varianz des Mittelwertes der Probe gegenüber der Gesamtheit (Beweis in (3), S.362):

$$(21) \quad \sigma_{\bar{x}_n}^2 = E([\bar{x} - \mu]^2) = \frac{\sigma^2}{n}, \quad \text{d.h. bei einer Stichprobe der Größe } 10.000 \text{ liegt der Mittelwert}$$

der Gesamtheit μ mit einer Wahrscheinlichkeit von 68,27% (1σ -Grenze) unter einer Fehlergrenze, die nur noch 1% der Streuung der Gesamtheit beträgt.

Für den Effektivwert der Rauschspannung sind die Berechnungen analog: Es ist die Wurzel aus dem Mittelwert der Quadrate der Zufallsgröße X zu betrachten.

Die Varianz des Mittelwertes der (quadrirten) Probenwerte beträgt:

$$(29) \quad \text{Var}(\underline{X}^2) = \frac{2\sigma^4}{n}, \quad \text{d.h. } \sigma_{\underline{x}^2} = \sigma^2 \sqrt{\frac{2}{n}}$$

Die Rauscheffektivspannung in ihren durch die Probengröße gegebenen Grenzen beträgt:

$$(30) \quad u_{r,eff} \pm \Delta u_{r,eff} = \sqrt{\sigma^2 \pm \sigma_{\underline{x}^2}}; \quad \text{mit: } u_{r,eff} = \sigma$$

Mit Gleichung (29) folgt für den relativen Fehler der Rauscheffektivspannung der Probengröße n :

$$(31) \quad \varepsilon = \frac{\Delta u_{r,eff}}{u_{r,eff}} = \sqrt{1 + \sqrt{\frac{2}{n}}} - 1$$

Aus (31) ergibt sich umgekehrt die notwendige Probengröße, wenn die Genauigkeitsanforderung vorgegeben ist:

$$(32) \quad n = \frac{2}{\left[(\varepsilon + 1)^2 - 1 \right]^2} = \frac{2}{\left[\varepsilon^2 + 2\varepsilon \right]^2} = \frac{2}{\varepsilon^2 (\varepsilon + 2)^2} \equiv \frac{1}{2\varepsilon^2}$$

Die Messung der Wahrscheinlichkeit, mit der die Rauschspannung größer ist als der Effektivwert, ergibt in einer endlichen Meßzeit nur einen fehlerbehafteten Schätzwert, dessen Erwartungswert gleich der $1-\sigma$ -Wahrscheinlichkeit von $(1-0,8413)=0,1587=15,87\%$ ist.

Die Genauigkeit der Schätzung der Wahrscheinlichkeit beträgt:

$$(33) \quad \varepsilon_P = \frac{\Delta P}{P} = \frac{f(z)\Delta z}{P(z)} = \frac{z}{P(z)} * f(z) * \frac{\Delta z}{z}, \text{ wobei: } \rightarrow z = \frac{x}{\sigma}, \text{ und } \rightarrow \frac{\Delta z}{z} = \frac{\Delta x}{x} = \varepsilon$$

An der Stelle $x=\sigma$ bzw. $z=1$ folgt:

$$(34) \quad \varepsilon_P = \frac{f(1)}{P(1)} * \varepsilon = \frac{0,2420}{0,8413} * \varepsilon = 0,2877 * \varepsilon$$

Durch die komprimierende Wirkung der Verteilungsfunktion wird der rel.Fehler der Wahrscheinlichkeit kleiner als der des Effektivwertes. (jeweils aus Stichproben).

Mit Hilfe der Formel (32) erhält man für die Stichprobengröße bei Vorgabe der Genauigkeit der Wahrscheinlichkeitsbestimmung:

$$(35) \quad n_P = \frac{1}{2 * \varepsilon^2} = \frac{0,2877}{2 * \varepsilon_P^2} \cong \frac{0,15}{\varepsilon_P^2}$$

Die Bestimmung der Wahrscheinlichkeit in der Nähe des Effektivwertes aus einer Stichprobe mit 0,1% Genauigkeit ist mit einer Probengröße von 150 000 möglich.

5. Die Hardware im Überblick

Abb. 1 (nur im Originaltext) zeigt das Blockschaltbild des Gerätes. Der analoge Verstärker-teil ist in Abb. 2 zu sehen. Der OP AD 797 wurde extrem rauscharm gewählt, während die Stufen mit dem HA 2539 bei großer Bandbreite möglichst hoch verstärkend sind. Die vierte Stufe mit dem AD 817 dient als Buffer. Zur Unterdrückung der DC-Fehler befinden sich zwischen den OP-Verstärkern Hochpässe mit ca. 500 Hz Grenzfrequenz. Die Summenwirkung führt auf eine resultierende untere Grenzfrequenz von:

$$(36) \quad f_{gu} = \sqrt{3} * 500 \text{ Hz} = 866 \text{ Hz} \cong 1 \text{ kHz} \rightarrow f_{go} = 3 \text{ MHz} \rightarrow v_B = 72000 \cong 97 \text{ dB}$$

Die obere Grenzfrequenz beträgt (resultierend) ca. 3 MHz bei einer Verstärkung von 97dB. Das also bedeutet ein Verstärkungsbandbreiteprodukt: VBP von:

$$(37) \quad \text{VBP} = f_T = 216 \text{ GHz}$$

Am Verstärkerausgang sind ca. 350 mV effektive Rauschspannung meßbar, von denen ca. 90% durch den Sensorwiderstand von 560Ω verursacht sind.

6. Die Kalibrierung des Thermometers

Trotz der exakten theoretischen Kenntnisse über die Meßgröße und deren Messung ist eine Kalibrierung des Gerätes unbedingt erforderlich. Der Anteil des Verstärkerrauschens einerseits und die Komparatorschwelle andererseits sind signifikant von der Temperatur des Gerätes abhängig. Die Gerätetemperatur kann elegant durch die (nahezu Sensor-unabhängige) Wahrscheinlichkeit der Komparator-Ausgangszustände gemessen werden, wenn die Schwellspannung auf Null gesetzt wird.

In einer Prüffeldmessung wurde das Meßgerät in einem Klimaschrank in 5 °C Schritten zwischen 5 °C und 40 °C betrieben. Die Fühlerspitze mit dem Sensorwiderstand wurde durch eine Bohrung in der Wand einem temperierten Wasserbad zugeführt, dessen Temperatur quasistatisch zwischen 5 °C und 75 °C geändert wurde. Die Wassertemperatur wurde mit einem Referenz-Quarzthermometer mit 0,01 °C Systemgenauigkeit aufgenommen.

Es ergibt sich eine Kurvenschar aus 8 nahezu linearen Beziehungen:

$$(38) \quad T_s = f(P_s, T_{U,i})$$

Eine weitere Information liefert die Wahrscheinlichkeit im Nullspannungsbetrieb:

$$(39) \quad P_N = f(P_s, T_{U,i})$$

Es ergibt sich ebenfalls eine Kurvenschar aus 8 nahezu linearen Funktionen, die nahezu konstante Werte repräsentieren, da ja theoretisch: P_N unabhängig von P_s sein müßte.

Aufgrund der Daten der Prüffeldmessung können die beiden gemessenen Wahrscheinlichkeiten: P_s und P_N auf die beiden Temperaturen T_u und T_s abgebildet werden.

Es wurde zur Erzielung eines minimalen Umfangs der Kalibrierungsdaten eine mathematisch lineare Ausgleichung der Werte vorgenommen. Als Referenzpunkt wurde die 1σ -Wahrscheinlichkeit (84,13% bzw. 15,87%) und $T_{u,ref} = 20$ °C gewählt.

Für die Gerätetemperatur ergab sich folgende Beziehung:

$$(40) \quad T_u = 1526 \cdot P_N - 60,18 \cdot P_s - 990,28 \quad \text{mit: } 5^\circ\text{C} \leq T_u \leq 40^\circ\text{C}$$

Man erkennt eine starke Abhängigkeit von P_N und eine geringe von P_s .

In Bezug auf die Abbildung der Signal-Wahrscheinlichkeit: P_s auf die wahre Temperatur ergibt sich die Schwierigkeit, daß der senkrechte Abstand (ΔT_s) keine lineare Funktion der Gerätetemperatur: T_u ist. Deshalb wurde folgender Ansatz gemacht:

$$(41) \quad \frac{T_s - (a \cdot T_u^2 + b \cdot T_u + c)}{P_s - 0,1587} = m = 27,097$$

Aus drei ausgewählten Punkten wurden die Konstanten berechnet:

$$(42) \quad a = 0,01222 \quad b = -1,57379 \quad c = 71,587$$

Damit ergibt sich für die Temperatur des Sensors folgende Kalibrierungsvorschrift:

$$(43) \quad T_s = 27,097 \cdot P_s - 1,574 \cdot T_u + 0,01222 \cdot T_u^2 + 67,287 \quad 5^\circ\text{C} \leq T_s \leq 75^\circ\text{C}$$

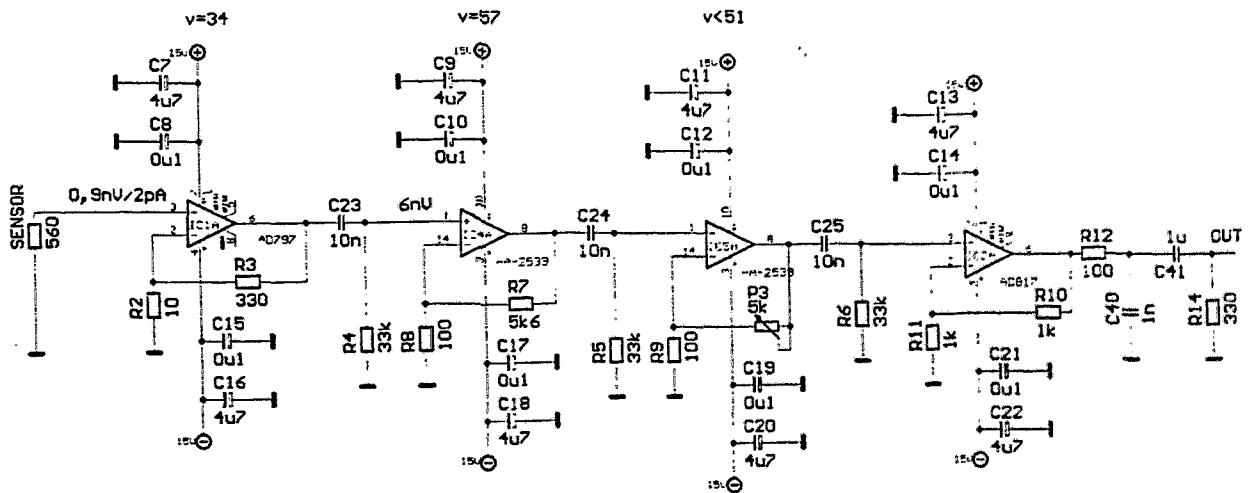
Der erste Term beschreibt die Wirkung, daß mit zunehmender Sensortemperatur die vorgegebene 1σ -Spannung mit größerer Wahrscheinlichkeit (als 15,87 %) überschritten wird. Der zweite Term korrigiert den Einfluß des zunehmenden Verstärkerrauschens mit der Gerätetemperatur. Der dritte ist ein quadratischer Korrekturterm, der vierte eine Konstante.

7. Danksagungen

Der Entwurf und Aufbau der Hardware wurde im Rahmen einer Examensarbeit von Jörg Bracker durchgeführt, dem ich für seinen gekonnten Umgang mit Low-Level-Größen zu großem Dank verpflichtet bin. Herrn Prof. Dr.-Ing. Wolfgang Weber danke ich für sein förderndes Engagement von seiten der Institutsleitung.

8. Literatur

Abb. 1 (hier nicht enthalten) zeigt das Blockschaltbild des Gerätes, Abb. 2 den analogen, extrem rauscharmen Verstärkerteil mit dem OP AD 797 und den Breitband-OP's: HA 2539.



Referenz-EKG-Aufnahmesystem mit PC-Kopplung

Dipl.-Phys. Albrecht Ihlenfeld

Physikalisch-Technische Bundesanstalt, Institut Berlin, Fürstenwalder Damm 388, D-12587 Berlin
Tel. +49-30-6441-447, Fax +49-30-6441586, www.ptb.de, E-Mail aihlenfeld@berlin.ptb.de

Zusammenfassung

Es wird ein Elektrokardiograph für die Medizin vorgestellt, der die EKG-Signale erfaßt und zur Auswertung in einer Referenz-Datenbank zur Verfügung stellt.

Gegenüber herkömmlichen EKG-Systemen wird mit höherer Kanalzahl, mit größerer Datenbreite und mit höherer Abtastrate gearbeitet, metrologische Aspekte werden beachtet. Die Steuerung des Gerätes erfolgt mit einem PC.

1 Einleitung

Für Arbeiten im Zusammenhang mit gesetzlichen Aufgaben der PTB und für die humanmedizinische Forschung in Zusammenarbeit mit verschiedenen medizinischen Einrichtungen wird ein Elektrokardiograph entwickelt, der die EKG-Signale hochauflösend erfaßt und zur Auswertung in einer Referenz-Datenbank [1] zur Verfügung stellt.

Neben Arbeiten zur Aufnahme störarmer Magnetokardio- und -enzephalogramme sehr hoher Kanalzahl werden in der PTB hochaufgelöste Elektrokardiogramme mit 14 Kanälen aufgenommen. Hierzu dient das vorgestellte Gerät.

Das Gerät besteht aus 16 identischen Einschüben für je einen elektrischen Kanal, die mit einer Bus-Rückwandverdrahtung auf eine Interfacekarte arbeiten. Die Übertragung zum Rechner erfolgt mit einer Glasfaserstrecke.

2 Geräteparameter des Referenz-EKG-Recorders

Die EKG-Signale liegen in der Größenordnung von 1 mV und werden mit verschiedenartigen Elektroden von der Hautoberfläche abgenommen. Der Quellwiderstand von etwa 50 k Ω besteht aus Elektrodenkontakt-, Haut- und Körperwiderstand und ist nicht konstant. Durch elektrochemische Prozesse ist dem Signal eine zwei Größenordnungen größere, sich eben-

falls stark ändernde Gleichspannungskomponente überlagert, deren Größe mit aufgezeichnet wird. Es werden 14 EKG-Kanäle und zwei Hilfskanäle für die Atmungsbewegungen des Patienten und die aktuelle Netzspannung erfaßt. Das Abtasten der Daten muß für alle Kanäle synchron erfolgen. Die analoge Bandbreite ist 0 ... 1 kHz, die Meßzeiten liegen in der Größenordnung mehrerer Minuten, pro Minute fallen etwa 15 Mbyte Daten an.

Zur Steigerung der Auflösung wird am Beginn der Messung der DC-Offset mit einem 16-Bit-DAC kompensiert, die Verstärkung der Analogkanäle ist so gewählt, daß die DC-Drift während der Messung im Aussteuerbereich des ADC bleibt.

Zur Unterdrückung von Aliasingeffekten wird ein hybrides, auf Kundenwunsch dimensioniertes phasenlineares Besselfilter mit $f_c = 1,45$ kHz eingesetzt. Eine Worst-Case-Dimensionierung unter der Annahme beliebig hoher Störungen führt zu einer höchsten Signalfrequenz von etwa 11 kHz, die mit mindestens 22 kHz abzutasten ist. Gewählt wurde 24 kHz. Nach dem ADC wird im DSP zur weiteren Filterung und Datenratenreduktion ein spezielles, in der PTB entwickeltes, für EKG-Signale optimiertes digitales Binomialfilter eingesetzt [2]. Dies führt zu einer Datenrate von 8 kHz und einer gesamten, zum PC zu übertragenen Datenrate von 8 kHz x 16 Kanäle x 2 Byte/Wort ≈ 256 Kbytes/s. Der DSP und der digitale Teil sind über Optokoppler vom Analogteil getrennt.

Während der Datenaufnahme sind die physikalischen Kanäle oder die Signale als medizinische Ableitungen darzustellen. Nur diese Ableitungen sind in der Medizin gebräuchlich, sie sind einfache Verknüpfungen verschiedener physikalischer Kanäle, die Spannungsvektoren repräsentieren. Die übliche, horizontal scrollende Darstellung der bis zu 16 Kanäle auf dem Schirm führt zu großer Prozessorbelastung, wenn man keine speziellen, intelligenten Graphikprozessoren einsetzen will.

Die Daten werden parallel zur Anzeige in einem File gespeichert und können zum Transport und zur Archivierung auf MOD (Magneto-Optical Disk) geschrieben werden.

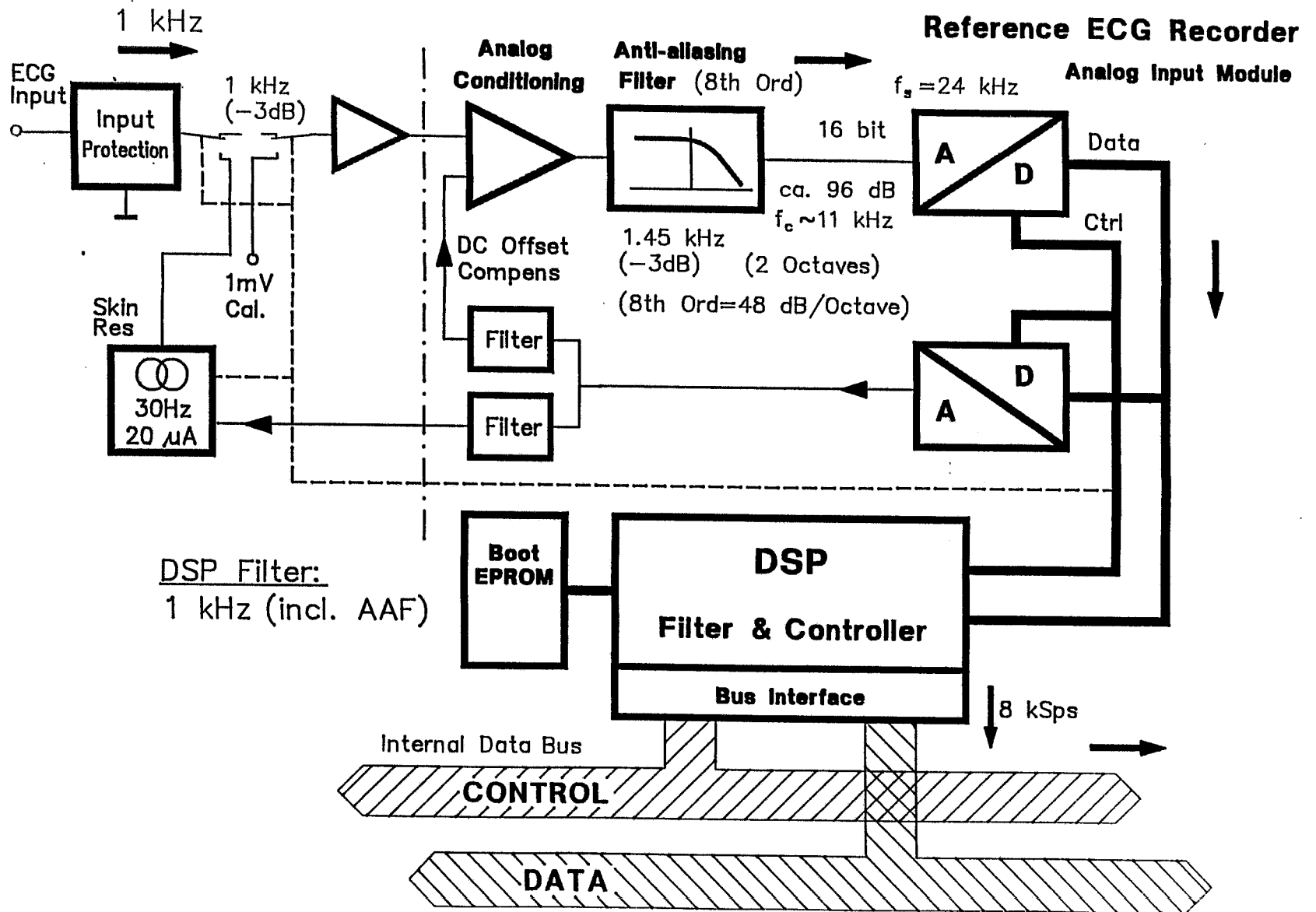
Hilfsfunktionen

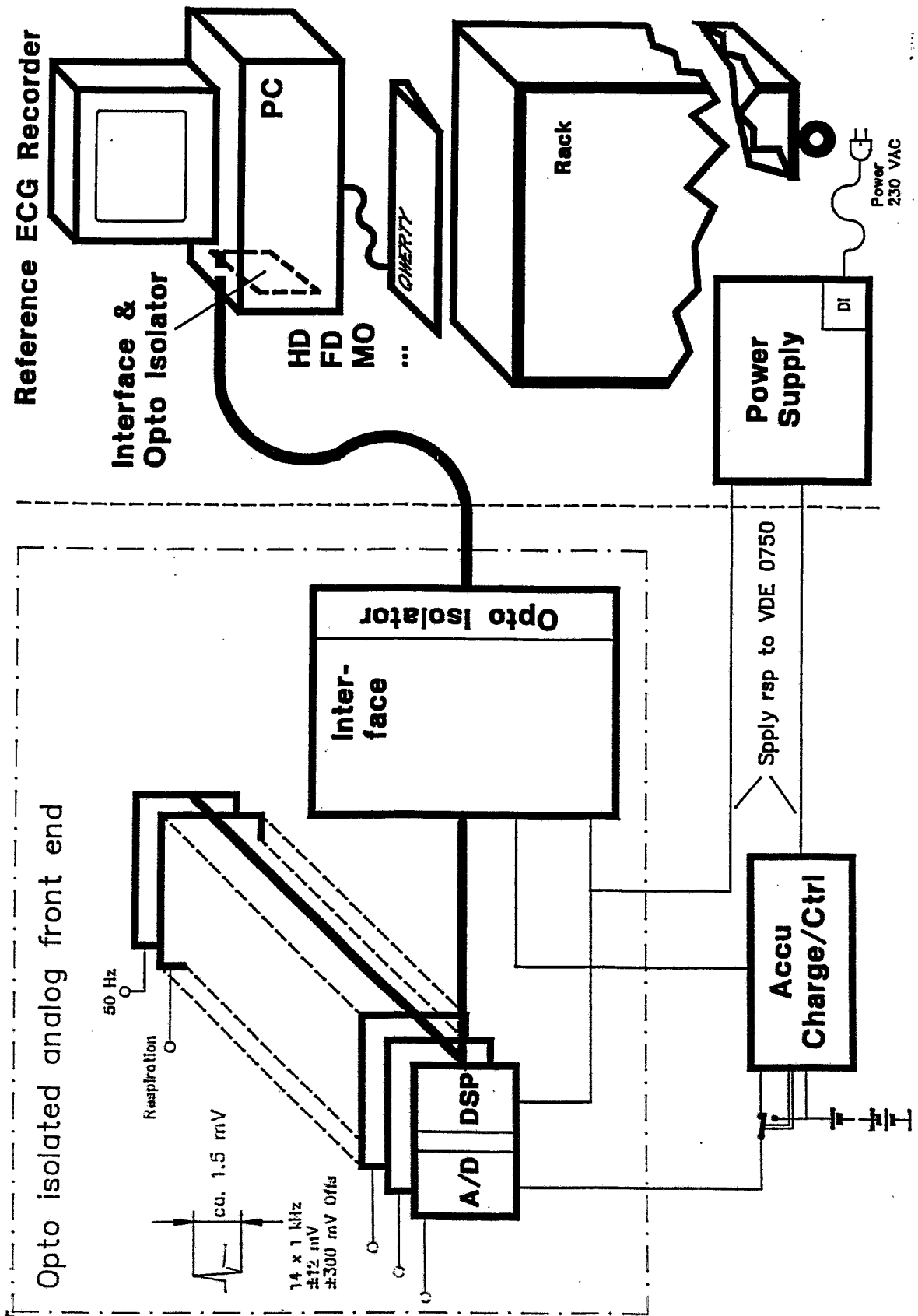
- automatische Kalibrierung durch eine interne Referenzquelle (1 mV)
- integrierte 3-Elektroden-Hautwiderstandsmessung

Als Steuerungs- und Erfassungssoftware wird das menügesteuerte DOS-Programmpaket ARGUS der Fa. Sorcus eingesetzt. Es liegt im Sourcecode vor und wurde entsprechend angepaßt. In einem Pflichtenheft wurden Softwareschnittstellen definiert, in die unsere Hardware eingebunden wurde. Das Programm unterstützt nur den normalen VGA-Modus, eine Displaylösung unter Ausnutzung der Fähigkeiten moderner Graphikprozessoren wird angestrebt.

<Bild: Überblick>

Bild <FrontEnd>





3 Sicherheitsforderungen

3.1 Schutz des Gerätes

In manchen Einsatzfällen kann es vorkommen, daß der an das EKG-Gerät angeschlossene Patient mit einem Defibrillator reanimiert wird. Hierbei treten Impulse mit Spitzenspannungen von ± 5 kV und ca. 4 ms Dauer bei einem Energiegehalt von 400 J auf (Spitzenströme ≈ 80 A). Dabei darf der Eingangskreis nicht zerstört werden.

3.2 Schutz des Patienten

Gesetzliche Vorschriften für Medizingeräte erheben hohe Forderungen an die elektrische Sicherheit [3] [4] [5] [6].

Durch die direkte und gewollt niederohmige Kopplung des Patienten an das Gerät werden z. B. sehr geringe Ableitströme gefordert (0,1 mA, z. B. durch Y-Kondensatoren), die auch im Fall eines Ersten Fehlers (ein Fehler der zunächst unentdeckt bleibt, wie z. B. unterbrochener Schutzleiter) nur wenig überschritten werden dürfen [3].

Die Anforderungen an die Isolierung des Gerätes vom Netz sind hoch, so werden für viele Strecken Prüfungen mit 4 kV (eff) und 60 Sekunden Dauer gefordert [3].

Um die besonderen Sicherheitsanforderungen nur für das eigentliche Meßgerät einhalten zu müssen, wurde der PC über eine optische Trennstrecke angeschlossen. Somit können normale PC-Komponenten und -peripherie verwendet werden.

4 Rausch- und Störbetrachtungen

Die Eingangsvollaussteuerung beträgt ± 16 mV, bei einem 16-Bit-ADC bedeutet das eine kleinste Digitalisierungsstufe (LSB) von $0,5 \mu\text{V}$ am Eingang des Gerätes bzw. $306 \mu\text{V}$ am Eingang des ADC im ± 10 -V-Bereich.

Zur Anschauung: Ein Strom von 5 mA über einen 0,25-mm-Leiterzug von 3 mm Länge erzeugt einen Fehler von etwa 1 LSB. Dies ist dann kritisch, wenn der Strom veränderlich ist (Masseströme, Störeinstrahlung o. ä.) und erfordert sorgfältiges Design.

Die durch den Quellwiderstand und die Eingangsschutzbeschaltung hervorgerufene Widerstandsrauschspannung (rms) beträgt bei einer Bandbreite von $\delta F = 1$ kHz und einer Temperatur von 40°C etwa $1 \mu\text{V}$ (U_{rms}), das sind etwa $6 \mu\text{V}$ (U_{pp}). Zu diesem Rauschen kommt durch Muskelaktivität u. ä. erzeugtes biologisches Rauschen in der Größenordnung von $2 \mu\text{V}$ (U_{rms}) hinzu. Durch besonders störarme Messungen und besondere Auswerteverfahren sollen Signale erkannt werden, die in der Größenordnung der ADC-Auflösung liegen.

5 Ausgewählte Hardwarekomponenten

Verstärker, Filter

Der vorgegebene relativ hochohmige Quellwiderstand (Hautwiderstand) von $\approx 50 \text{ k}\Omega$ erfordert ein geringes Stromrauschen des ersten Verstärkers. Forderungen nach hoher Störunterdrückung führte zur Wahl eines FET-Instrumentationsverstärkers mit hoher Gleichtaktunterdrückung (CMR) (Burr-Brown: INA 111, $10 \text{ nV}/\sqrt{\text{Hz}}$ @ 1 kHz , $1 \mu\text{V}_{\text{pp}}$ @ $0,1\text{-}10 \text{ Hz}$, $0,8 \text{ fA}/\sqrt{\text{Hz}}$ @ 10 kHz).

Weitere Verstärker sind der INA 105 (Burr Brown, prec. 1-Instrumentationsverstärker, U_{N} $10 \text{ nV}/\sqrt{\text{Hz}}$ @ 10 kHz , $2,4 \mu\text{V}$ (pp) @ $0,01\text{-}10 \text{ Hz}$) und der LT 1028 (Linear Technologies, Ultra-Low-Noise OPA, U_{N} $1,1 \text{ nV}/\sqrt{\text{Hz}}$ @ 1 kHz , 35 nV (pp) @ $0,1\text{-}10 \text{ Hz}$).

Als Antialiasingfilter wird der Typ D68 (Frequency Devices, Hybrid-IC, $45 \times 20 \text{ mm}^2$, THD < 100 dB , U_{N} $50 \mu\text{V}$ (rms) @ $5 \text{ Hz}\text{-}100 \text{ kHz}$) mit Besselcharakteristik eingesetzt. Es sind nur wenige Hersteller bekannt, die Filter für 16-Bit-ADC anbieten (weitere Produkte: HAF1 Quintenz, programmierbar: KEMO 1600)

ADC, DAC

Als ADC wird der ADS 7807 (Burr-Brown, 16 bit, $25 \mu\text{s}$, $1,5 \text{ LSB INL}$, 16 bit no missing codes, 35 mW) eingesetzt, als DAC zur Offsetspannungskompensation und als Prüfsignal-generator der DAC 709 (Burr-Brown, 16 bit, $8 \mu\text{s}$, $\geq 14 \text{ bit monoton}$, $0,5 \text{ W}$). Leider sind keine Low-Power-DAC in diesem Bereich bekannt.

DSP

Zur digitalen Filterung und für Steuerungsaufgaben wird der DSP TMS 320 C 50 (Texas Instruments, 16/32 bit, Fixpoint, $9 \text{ K} \times 16$ internes RAM, JTAG) eingesetzt. Durch sein relativ großes internes RAM ist es möglich, während der Filterberechnung weitgehend auf äußere Aktivitäten zu verzichten und so die Störeinflüsse auf die Analogelektronik zu minimieren.

PLD

Auf den Interfacekarten werden PLDs eingesetzt, die im eingelöteten Zustand programmiert werden können (Lattice ispLSI 1032, 84 Pins, 6000 Gates, 192 FFs).

Zur Sicherstellung der medizinischen Trennung wird je eine Glasfaserstrecke in Input- und Outputrichtung benutzt. Je ein Gigabaud-Transceiver (Siemens) stellt die Verbindung zu den Interfacekarten im PC und im Meßkopf her. Die Gigabaud-Transceiver arbeiten mit 32 bit parallel I/O und einer max. Datenrate von 44 Mbit/s , Hilfsfunktionen wie Takterzeugung, Bit- und Byte-Synchronisation oder der Fehlercheck erfolgen im Transceiver.

6 Erfahrungen bei der Entwicklung

Zu Beginn der Entwicklung, die zunächst als Studie begonnen wurde, wurde eine umfangreiche Marktrecherche für Hardware- und Softwarekomponenten durchgeführt. Das Angebot ist überwältigend und läßt zunächst den Eindruck aufkommen: es gibt alles. Nähere

Untersuchungen ergaben jedoch, daß mindestens die Hardware selbst zu entwickeln war. Der Einsatz der PLD hat sich sehr bewährt, da die Schaltung so schnell und ohne Hardwareänderungen zu modifizieren ist. Die JTAG-Schnittstelle des DSP stellt gerade in der Inbetriebnahmephase ein wertvolles Debug-Tool zur Verfügung. Die Entwicklung auf dem Gebiet der Opto-Links ändert sich so schnell, daß 2 Jahre nach den ersten Mustern die Produktion wieder eingestellt wurde und nur noch auf Lagerbestände zurückgegriffen werden kann.

Bei der Software sagte genau ein Anbieter zu, die Forderungen durch Modifizierung seines Standardpaketes zu erfüllen. Aber erst durch die schneller werdenden PCs ist die Software inzwischen in der Lage, die grundlegenden Anforderungen zu erfüllen. Es wird deshalb angestrebt, eine inzwischen entstandene Entwicklung, die die Funktionen der Graphikprozessoren (S3 u. ä.) ausnutzt, aus einem anderen Labor der PTB zu benutzen.

7 Literatur und Verweise

- [1] Datenbank mit validierten EKGs: <http://biodat.berlin.ptb.de>
- [2] Schnabel, A.G.; Link, A.; Trahms, L.; Oeff, M; Eckhardt, N.: Binomialfilter zur Spätpotentialanalyse hochaufgelöster EKGs. Gemeinsame Jahrestagung: Medizinische Physik 1992, Basel, 8. Oktober 1992
- [3] DIN IEC 601 Teil 1 / VDE 0750 Teil 1 / 05.82: Sicherheit elektromedizinischer Geräte, Allgemeine Festlegungen
- [4] Verordnung über die Sicherheit medizinisch-technischer Geräte (MedGV) vom 14.1.1985, BGBl. Teil I, Nr. 2
- [5] Herbert Fischer et al.: Medizingeräteverordnung MedGV '86, Durchführungshilfen, Meßverfahren, expert-verlag, Bd. 288
- [6] Gesetz über Medizinprodukte (Medizinproduktegesetz - MPG), Teil I, Nr. 52 - 9.8.94, S. 1963 vom 2.8.94

Überwachungselektronik für ein Hochenergiephysikexperiment im Weltraum.

AMS, ein Hochenergiephysik Experiment

Physikalische Aspekte / Detektorkomponenten

Shuttle Flug / ALPHA Station

Einsatzbedingungen im Weltraum

Vakuum / Energieverbrauch / Strahlung / Magnetfelder

Kommunikation / Datenspeicherung

Lösungsansätze

Heizung / Kühlung / Bauteilerauswahl

Kontrollsystem für das System und die Stromversorgung

PCS / MSE Module RWTH Aachen & ETH Zürich

Das AMS Experiment

Nach den bestehenden Theorien in der Elementarteilchenforschung wird die Existenz von Antimaterie entweder in abgegrenzten Bereichen im All oder als überhaupt nicht vorhanden vorhergesagt.

Es gibt aber noch keine gesicherten experimentellen Daten, da bisher nur in geringer Höhe Messungen durchgeführt wurden. Experimente, die zur Überprüfung der Theorie

dienen sollten, wurden bisher aus Kostengründen und wegen technologischer Schwierigkeiten nicht durchgeführt.

AMS soll eine Verbesserung der existierenden Daten um den Faktor 10^4 bis 10^5 erreichen (Bild 1, Graphik Antihelium/Helium. etc.)

Erst die rasante Entwicklung von sehr leistungsfähigen Permanentmagneten (Bild 2) ließ die Idee wieder aufleben, ein Spektrometer im All zu betreiben.

Im AMS Experiment wird ein Magnet aus Neodym-Eisen-Bor verwendet (Bild 3). In und um diesen Magnet werden die einzelnen Detektorkomponenten (Time Of Flight Detektor, Silizium Tracker, Steuer- und Ausleseelektronik) gruppiert (Bild 4a & 4b). Der Silizium Detektor ist ähnlich wie im LEP / L3 Experiment aufgebaut (Bild 5). Die grundsätzliche Funktion der Detektorelektronik besteht aus einer Zeit- und einer Spurmessung (Bild 6). Die übrigen Elektronikgruppen sind Triggerlogik, Datenvorverarbeitung und Speicherung, sowie ein recht komplexes Stromversorgungssystem mit einer Messung einer Vielzahl von Systemparametern, wie Betriebsspannungen, Ströme, Feuchtigkeit, Magnetfeld und an 512 Punkten die Temperatur (Bild 7). Das Gewicht der fertigen Anordnung liegt bei fast 2,7 Tonnen (Bild 8).

Das Experiment wird in einer ersten Version mit einem Space Shuttle der NASA mitfliegen (Mai 1998) und hat über standardisierte elektrische Schnittstellen seine Anbindung zum Space Shuttle (Bild 9). Zu einem späteren Zeitpunkt soll das AMS auf der ISSA (International Space Station Alpha) montiert werden.

Lokal, d.h. auf Experimentebene wird die Kommunikation zwischen den einzelnen Baugruppen über CAN-Busschnittstellen mit dreifacher Redundanz durchgeführt. Der schnelle Datenverkehr zum Shuttle wird über Glasfaser, die Kommandoschnittstelle ist ein 1553 Bussystem. Für die Zeiten des fehlenden "Down Link" ist ein 3Gbyte großer lokaler Halbleiter-Datenspeicher vorgesehen.

Einsatzbedingungen im Weltraum

Der Betrieb im Vakuum bringt neben sehr speziellen Problemen - z.B. die Änderung der elektrischen Daten von Sicherungen aufgrund der drastisch veränderten Wärmeleitung - besonders im Bereich der Heizung und Kühlung aller Komponenten mit sich. So kann Wärme nur auf dem Wege der Wärmeleitung, nicht aber über Konvektion abgegeben werden. Ferner hat ein Gerät unter Raumbedingungen immer vier extreme Betriebszustände :

Gehäuse kalt	Elektronik eingeschaltet / warm
Gehäuse kalt	Elektronik ausgeschaltet / kalt
Gehäuse warm	Elektronik eingeschaltet / warm
Gehäuse warm	Elektronik ausgeschaltet / kalt

Diese unterschiedlichen Betriebszustände müssen mit besonderen Heizungselementen ausgeregelt werden - für den Fall der zu tiefen Temperaturen - für den "warmen" Fall muß über ausreichende Dimensionierung bei der Bauteilerauswahl und durch geeignete Wärmeleitungswege für stabile Betriebszustände gesorgt werden (Bild 10). Multi-Layer-Design ist die Regel, um über große Kupferlagen die Wärme abführen zu können. Eine sehr konservative Planung bei der Abschätzung der Wärmeverteilung wird von Seiten der NASA dringend empfohlen. Bei Analyse der Wärmebelastung muß der Weg der Wärme vom elektronischen Bauteil zur Platine und dann weiter zur mechanischen Umhüllung bedacht werden. Die Wärmebilanz der Außenhülle kann dann durch spezielle Beschichtungen (warme Seite z.B. mit Ag-Teflon, kalte Seite z.B. Al oder Au aufgedampft) kontrolliert werden.

Ein weiterer Gesichtspunkt ist die mechanische Stabilität der Elektronikmodule. Sie müssen die großen Beschleunigungen bei Start und Landung, sowie die NASA üblichen Vibrationstests überstehen (Bilder 11 & 12).

Neben der Belastung aller Bauteile (spez. integrierte Schaltungen) durch kosmischen Strahlung (Bild 13), muß der sogenannte latch-up-Effekt in Rechnung gestellt. Dieser Vorgang kann u.a. durch freie Ionen ausgelöst werden, die in einzelnen Halbleitern lokale Plasmaendladungen verursachen. Dadurch kann es sehr schnell zur Zerstörung von Komponenten führen. Eine Methode zur Sicherung gegen den latch-up-Effekt ist die Überwachung der Stromaufnahme einzelner Baugruppen, die bei einer kritischen Steigerung der Stromaufnahme sofort von der Versorgungsspannung abgeschaltet werden. Das wesentliche Problem dieser Methode besteht in der Wahl der Segmentierung der gesamten Elektronik eines Gerätes oder Experimentes. Bild 14 zeigt die "Anfälligkeit" unterschiedlicher Technologien und Bauteile hinsichtlich des genannten Effektes. Die zeitweise Abschaltung von Baugruppen wirft speziell bei der Verwendung von Mikrocomputern oder Kontrollern das Problem der Verfügbarkeit auf, da immer eine gewisse Zeit für den Boot-Vorgang benötigt wird.

Eine weitere Methode ist die gezielte Auswahl von integrierten Schaltungen unter dem Gesichtspunkt von Strahlungsfestigkeit (rad.hard/RH) oder "space qualified". Da es nicht für alle Komponenten solche mit den o.g. Qualifikationen gibt muß dann der Weg des "screenings", d.h. ein Test unter realistischen Bedingungen im Labor bewerkstelligt werden (Druck, Temperatur, Bestrahlung).

Die Stromversorgung auf der Niederspannungsebene kann nur durch DC-DC-Wandler mit hohem Wirkungsgrad erfolgen, da die Bordspannung für externe Nutzer auf 120 VDC festgelegt ist. Bei der Auswahl sind von der NASA zwei Produkte freigegeben. Im Falle von AMS ergibt sich eine weitere Komplikation durch das starke lokale Magnetfeld des zum Detektor gehörenden Magneten. Eine mögliche Wandlertypen fiel nach 5 Sekunden aus!

Neben den bisher aufgeführten Komplikationen sieht sich der Entwickler durch ein besonders tückisches Problem in Form von schnell veränderlichen Magnetfeldern auf die Probe gestellt (Bild 15). Jegliche "offenen" Induktivitäten sind zu vermeiden, d.h. schon in einem Kabelstrang vorsorglich verlegte Reservekabel können zu erheblichen elektrischen Störungen bei sog. Magnetfeldstürmen führen. Auch müssen schwach oder kaum bedämpfte Schwingkreise vermieden werden!

Lösungsansätze

Bei der Konstruktion der Elektronik für das AMS Experiment wird davon ausgegangen, daß vom Start beginnend über einfache Heizelemente die notwendige Mindesttemperatur solange geliefert wird, bis das Experiment eingeschaltet wird. Die Regelung wird über einfache Thermoschalter erfolgen (ohne lokale Intelligenz!).

Alle Bauteile werden entweder aus "space approved" Listen genommen oder über ein "screening" getestet. In der jetzigen Phase der Entwicklung sind verschiedene "latch-up"-Sicherungskonzepte im Test. In der folgenden Zeit soll ermittelt werden, wie weit die Segmentierung getrieben werden muß und wie groß die zu erwartenden Totzeiten sind. Diese Frage hängt entscheidend von der endgültigen Software ab.

In einer jetzigen Phase wird z.B. im Falle der Überwachungselektronik für die Stromversorgungseinheiten und die Umfeldbedingungen eine Platine aufgebaut, die mit allen notwendigen Steuerungselementen die Entwicklung der Software ermöglicht, aber noch nicht "Raumfahrt geeignet" ist. Die Auswahl der Komponenten erfolgt aber schon unter dem Gesichtspunkt der Verfügbarkeit in "space qualified" oder "rad.hard". Ferner muß auch bedacht werden, daß die endgültigen Bauteile ganz erheblich teurer sind (bis zu einem Faktor 100 !!) als handelsübliche Bauteile.

PCS Control System für die AMS Stromversorgung

In Zusammenarbeit mit dem Institut für Teilchenphysik an der Eidgenössischen Hochschule Zürich (Prof. H.Hofer) entwickeln wir ein Modul, das als Kern einen 8 Bit Microcontroller (80C51) enthält. Der Programmspeicher, bestehend aus einem 32 Kbyte EPROM und einem 32 kbyte EEROM, enthält die Serviceroutinen für die verschiedenen

Funktionen der Baugruppe. Als Datenspeicher dienen zwei 32 Kbyte RAM's. Als Kommandoschnittstellen sind drei CAN Bus (INTEL 82527 & Philips 82C250T) Verbindungen vorhanden. Die Temperaturmessung wird über 128 intelligente Sensoren vom Typ DALLAS DS 1820 durchgeführt. Diese Sensoren werden über ein Zweidraht Interface betrieben und haben ab Werk eine eindeutige Kennnummer. Ferner besitzen sie ein lokales EEROM zur Speicherung von Temperaturalarmgrenzen. Die durch das PCS-Module gesteuerten Stromversorgungseinheiten (maximal 24 pro PCS-Modul) werden über Optokoppler ein- und ausgeschaltet. Alle Ausgangsspannungen und Lastströme der Stromversorgungen werden gemessen. Zu diesem Zweck sind vier 8-Kanal ADC's (Σ 32 Kanäle, MAX186) Bestandteil der Baugruppe, die seriell bedient werden und einen sehr niedrigen Stromverbrauch haben. Eine zusätzliche diskret aufgebaute Schaltung überwacht die Stromaufnahme des Moduls und führt bei einem wählbaren Grenzstrom eine Abschaltung für ca. 1ms durch. Anschließend führt der Mikrocontroller eine komplette Initialisierung durch oder kopiert Daten aus dem EEROM in seinen Arbeitsspeicher. Je nach Modus wird dies zu einer zeitweiligen Unterbrechung des Experimentes oder eines Teiles desselben führen.

Entscheidungen über die endgültige Implementierung der Latch-Up-Überwachung sind noch nicht getroffen, da hierzu noch keine Erfahrungen vorliegen. Es kommen keine programmierbaren Logikbausteine zur Anwendung, da für diese keinerlei Informationen über Tauglichkeit vorliegen. Fast alle anderen Komponenten wurden so gewählt, daß sie gegen "approved" Versionen ausgetauscht werden können. Die einfachen Logikfunktionen werden in CMOS (HCT-Serie) realisiert. Steckverbindungen sind mit hoher Redundanz ausgelegt. Es kommen nur von der NASA freigegebene Steckverbindungen zur Anwendung.

Die PCS-Module werden aus einer unterbrechungsfreien, separaten Stromversorgung (UPS & DC-DC-Wandler) versorgt und haben zusammen mit einem übergeordneten Computer die alleinige Kontrolle über die Betriebsfähigkeit des AMS Versorgungssystem. Die UPS wird direkt von der Bedienungsmannschaft des Space Shuttle geschaltet. Die Stromaufnahme des PCS-Moduls wird bei 50-100 mA (+5VDC) liegen, je nach dem Betriebszustand der einzelnen Funktionsgruppen.

Ein weiteres Modul (MSE) ist für die reine Erfassung der Umfeldbedingungen in Vorbereitung, es unterscheidet sich im Wesentlichen durch seine Geometrie und die fehlende Steuereinheit für die Stromversorgungsmodule.

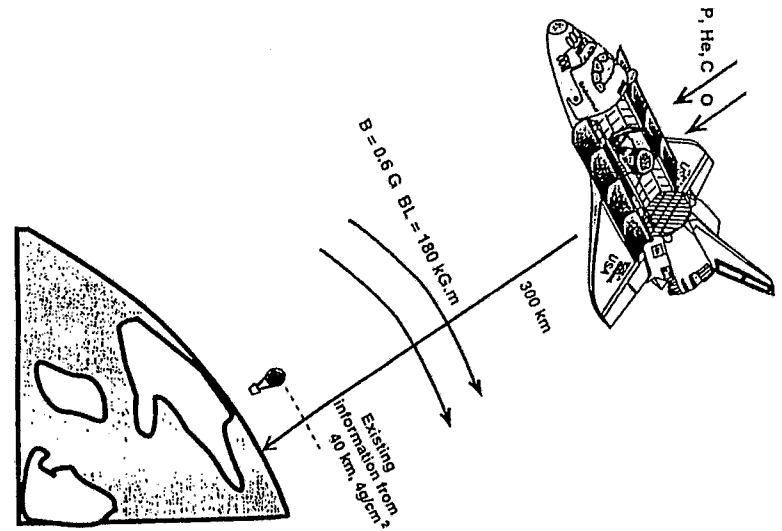
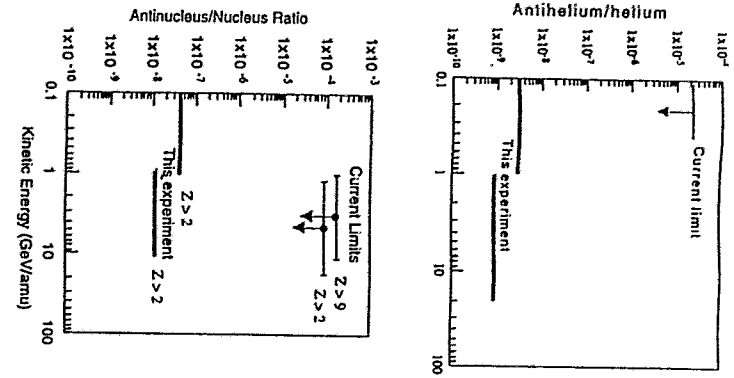


Figure 11.5 : AMS on the Shuttle
Measuring downward moving nuclei at 300 kilometers from the earth

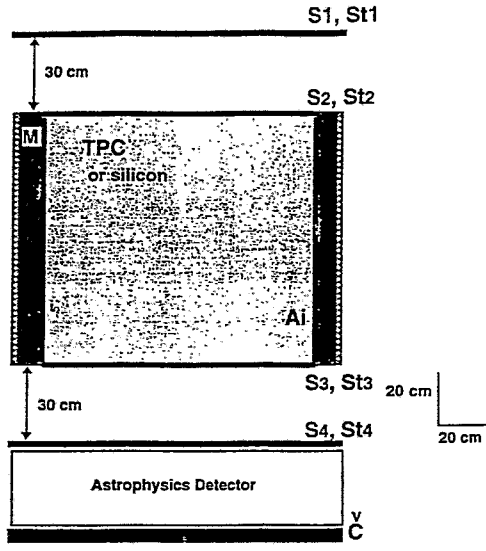
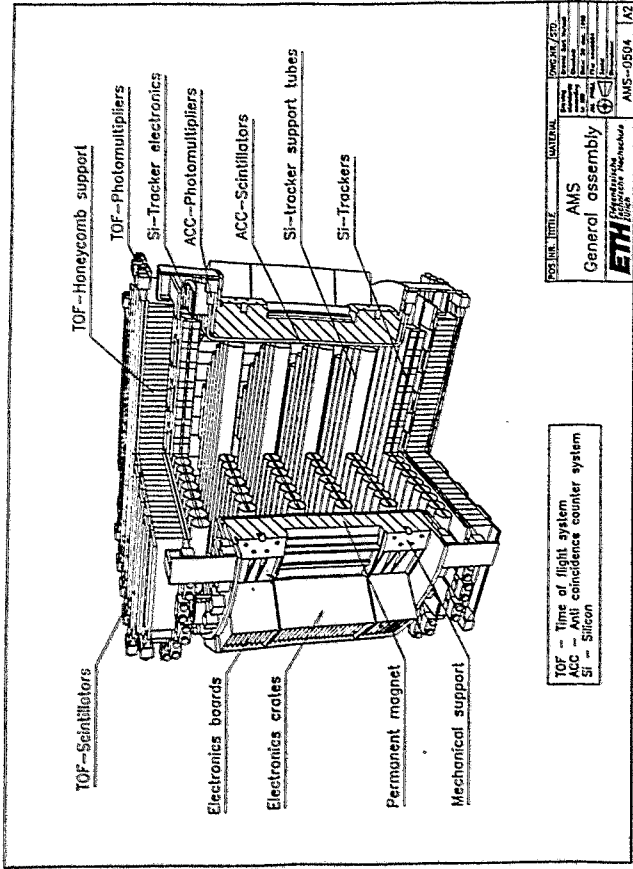


Figure 1.3 : Side view of the Antimatter Spectrometer

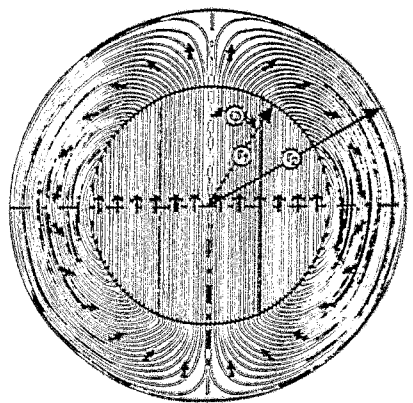


Figure 4.4 : Magnetic field distribution at cross-section of center of the magnet

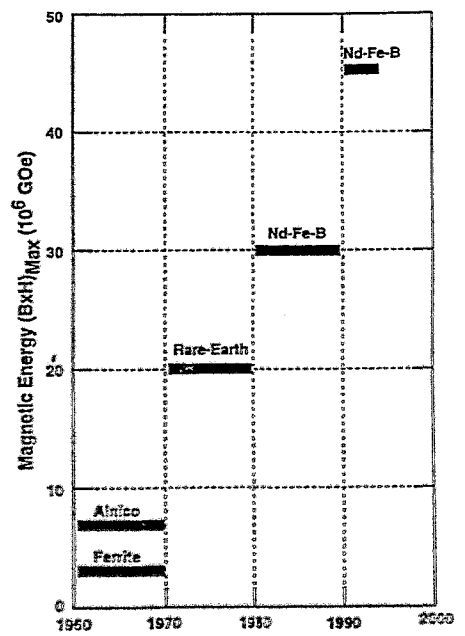


Figure 4.1 : Evolution of permanent magnet strength.

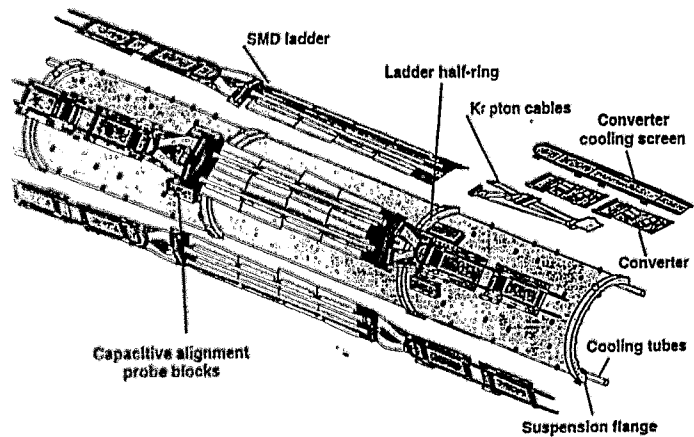


Figure 6.1 : The SMD Detector of the L3 experiment at LEP

59

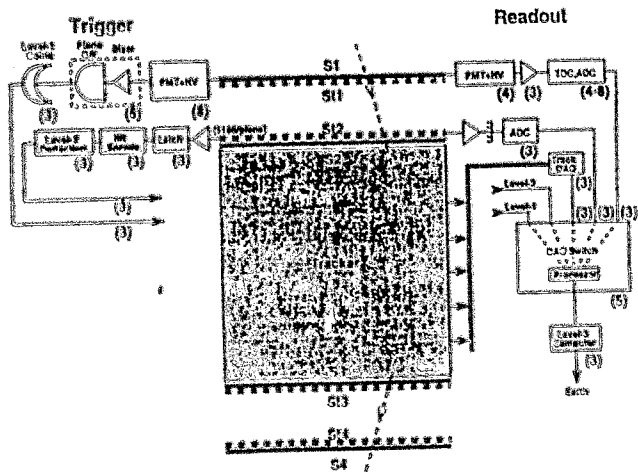
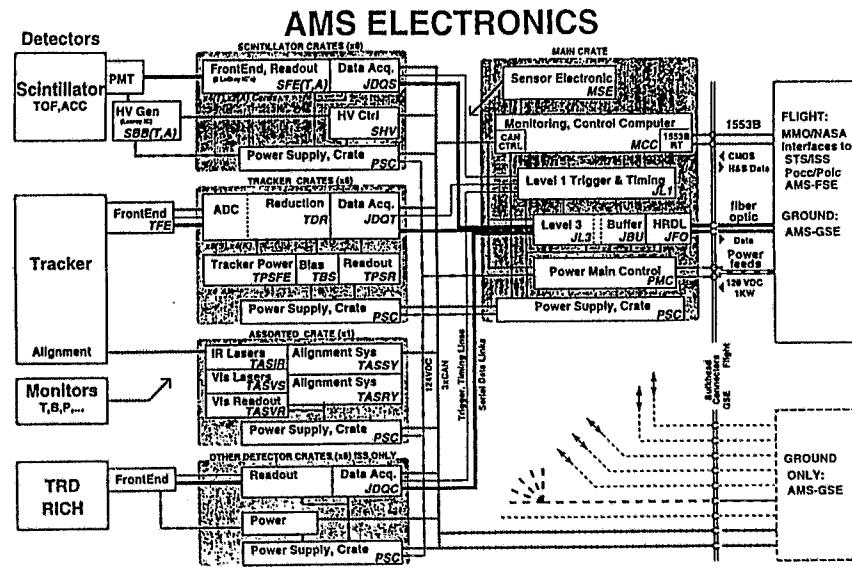


Figure 7.22 : AMS electronics. The number of redundant elements are given in brackets

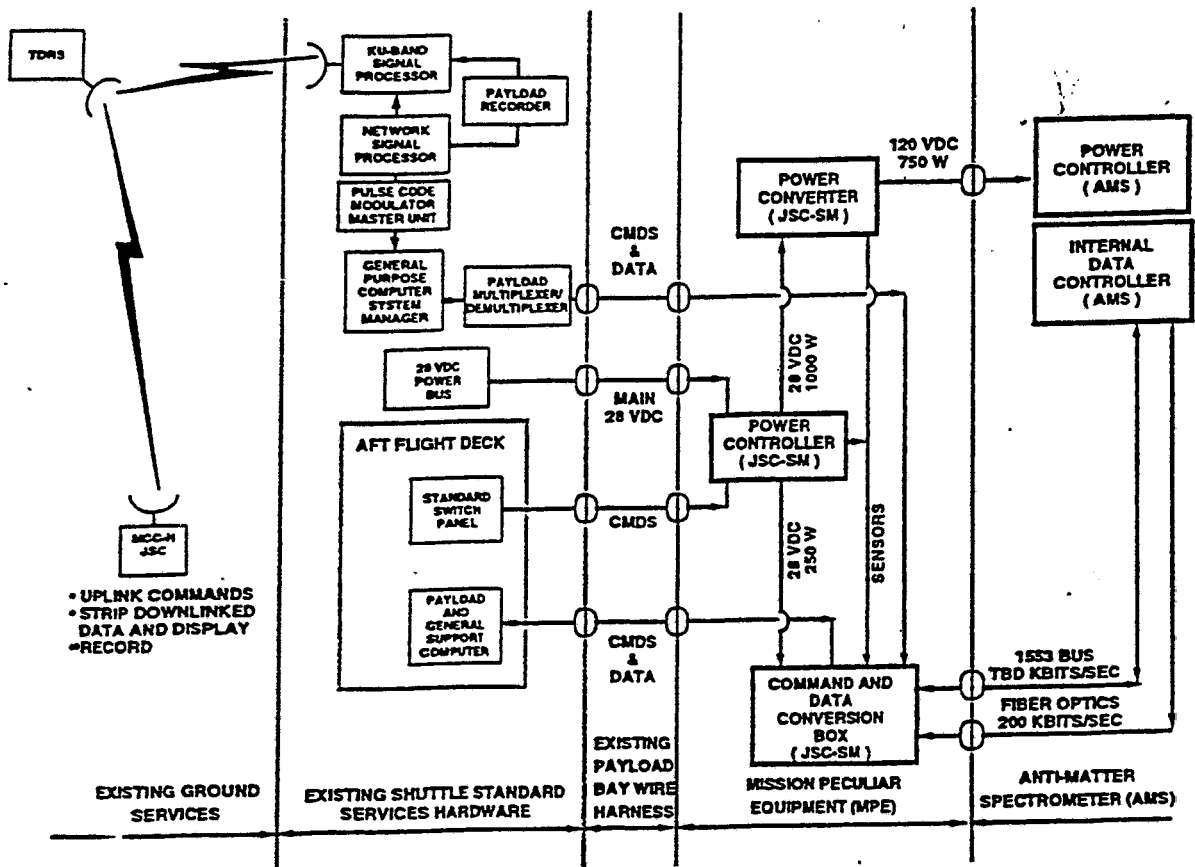


Magnet	1895 kg
Support, Shell	400 kg
TOF, Anti-Scintillators	114 kg
Strip Counters *	20 kg
DSC	45 kg
TPC	85 kg
Trigger and DAQ Electronics	133 kg
Total	2692 kg 5933 lbs

Table 8.1.a AMS Mass Budget-TPC option

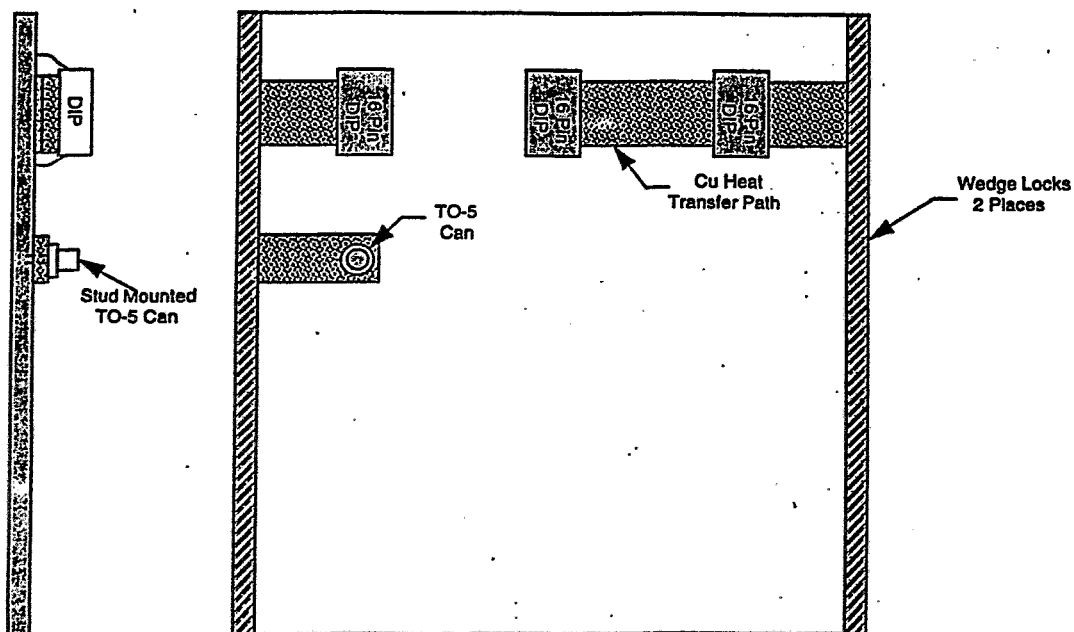
Magnet	1895 kg
Support, Shell	400 kg
TOF, Anti-Scintillators	114 kg
Strip Counters *	20 kg
DSC	45 kg
Silicon Tracker	30 kg
Trigger and DAQ Electronics	146 kg
Total	2650 kg 5841 lbs

Table 8.1.b AMS Mass Budget - Silicon tracker option



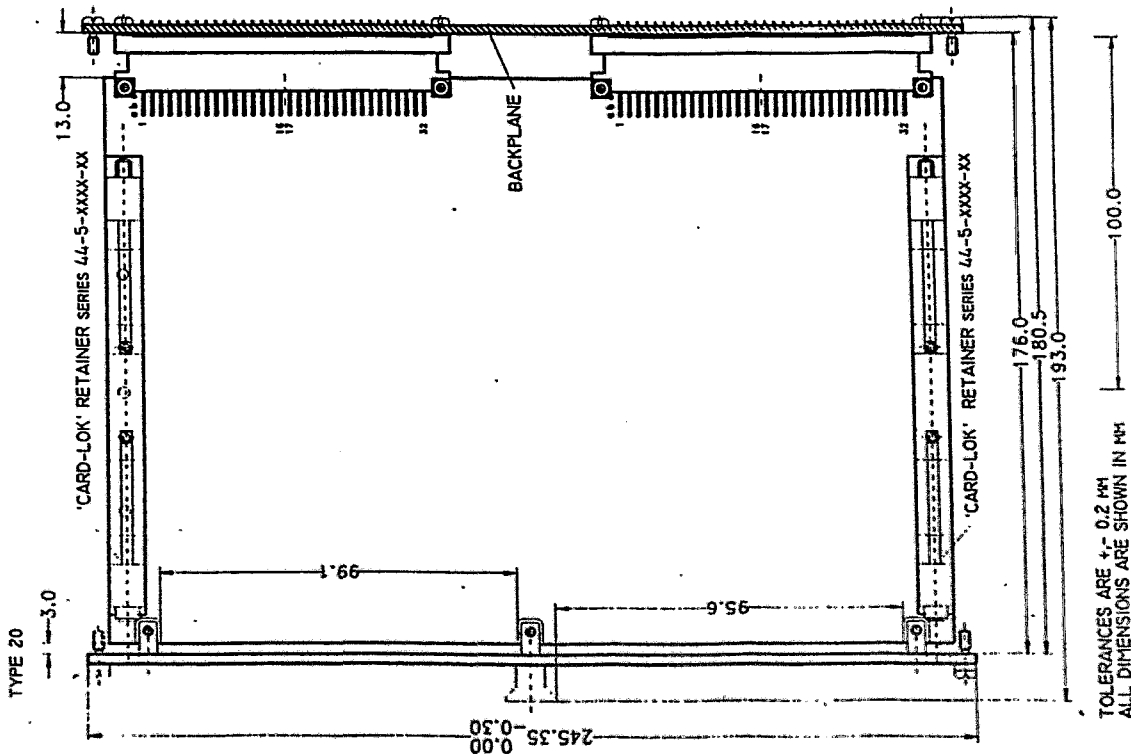
Preliminary block diagram for AMS power and data architecture on Shuttle.

Sample Board Layout



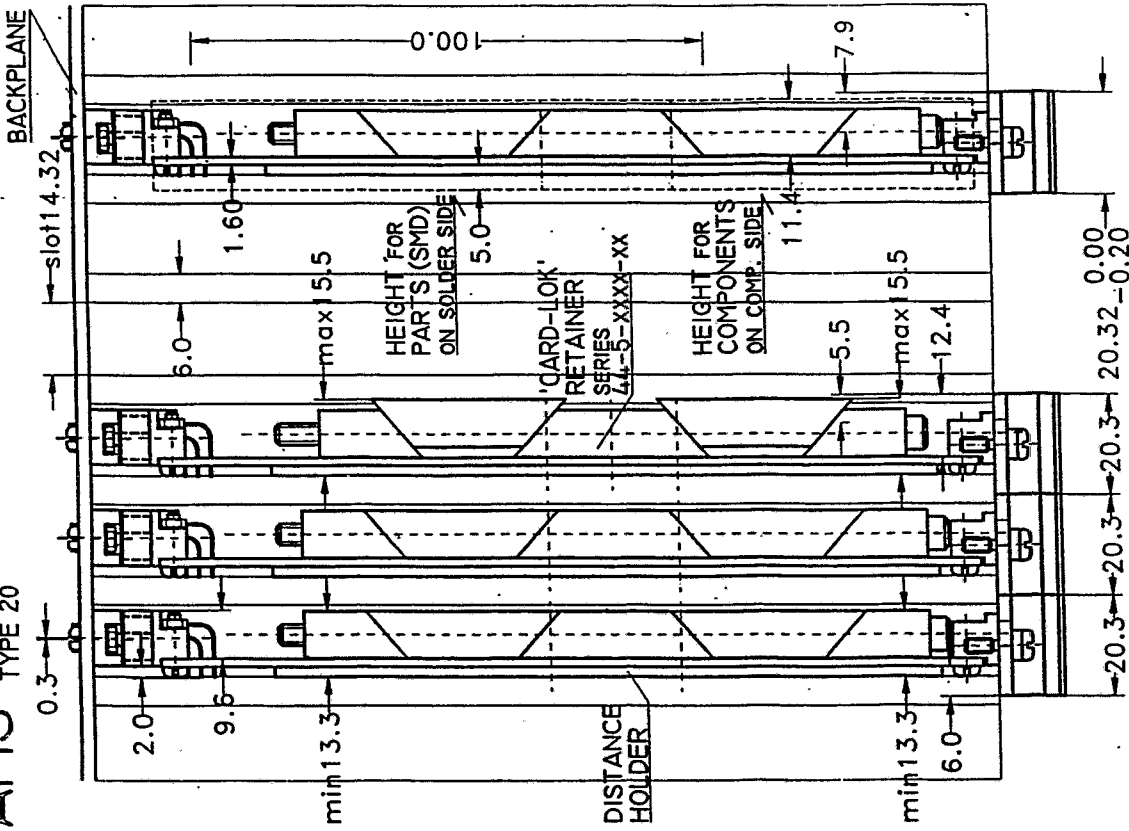
Thermal Design of Electronic Boards (2 of 2)

AMS STANDARD ELECTRONIC MODULE (IN CRATES)
TYPE 20



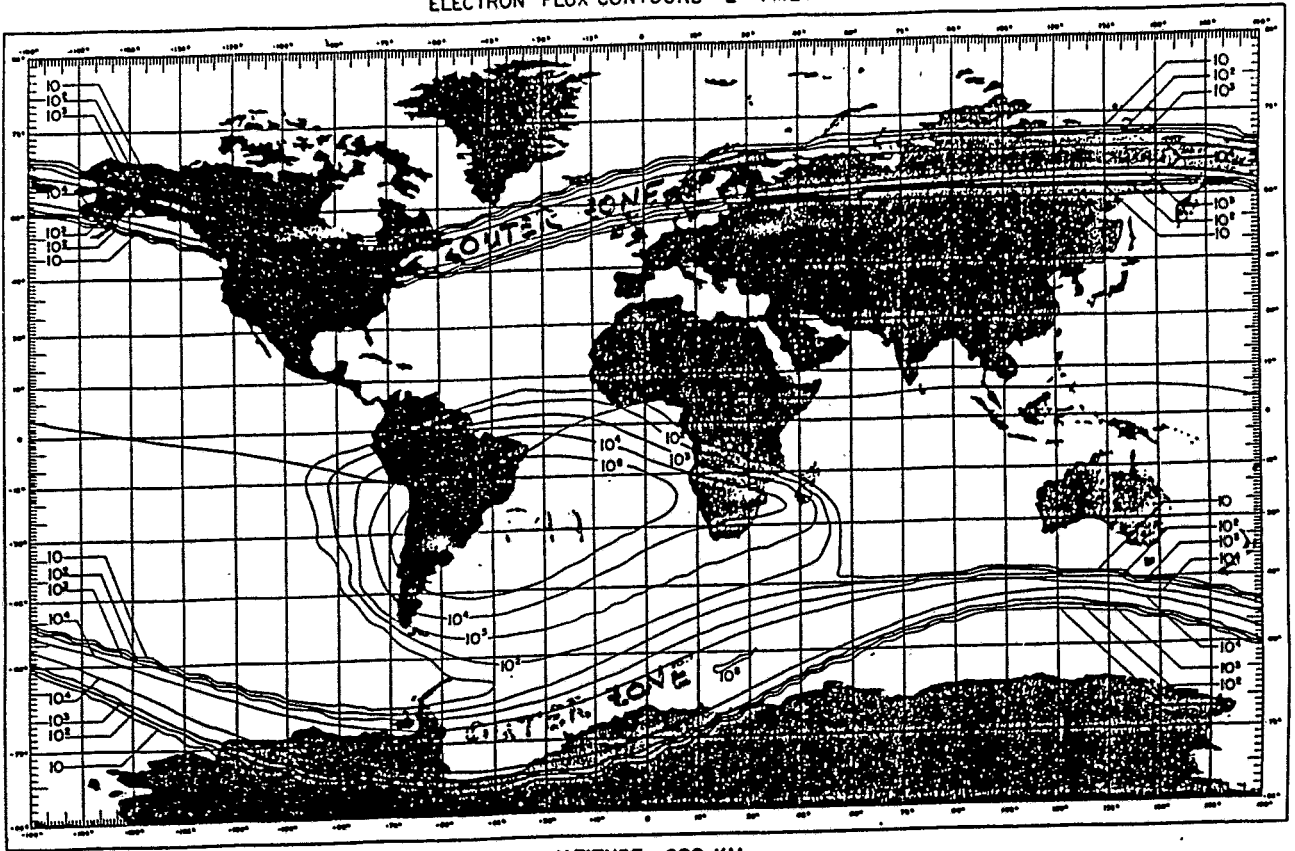
TOLERANCES ARE ± 0.2 MM
ALL DIMENSIONS ARE SHOWN IN MM

AMS STANDARD ELECTRONIC MODULE (IN CRATES)
TYPE 20



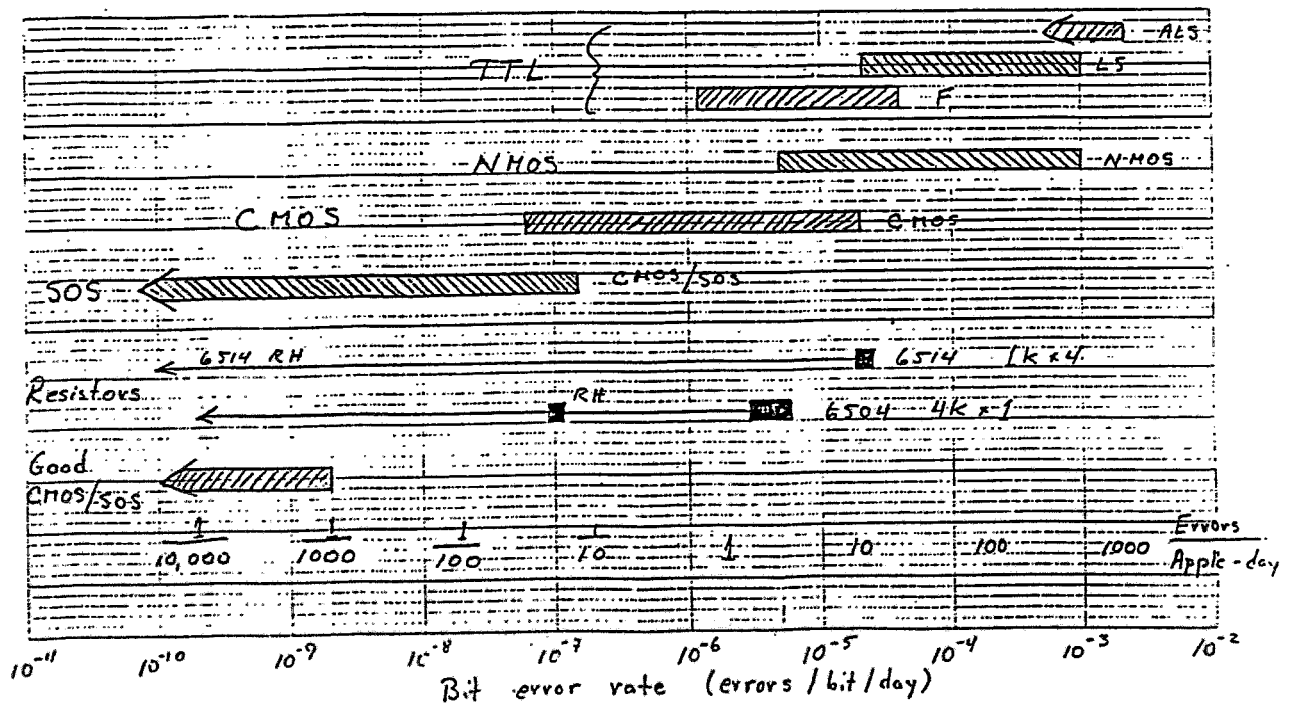
TOLERANCES ARE ± 0.2 MM

ELECTRON FLUX CONTOURS - $E > 1$ MEV



ALTITUDE = 600 KM

Single-Event-Upset Error Rates for Various Integrated-Circuit Technologies



THIS WEEK

Electromagnetic Storm Hits Intelsat Satellite

A solar storm that knocked out two Canadian Anik satellites with an electrostatic discharge Jan. 20 also caused a minor temporary service outage to an Intelsat satellite over the Atlantic Ocean.

The International Telecommunications Satellite Organization of Washington reported that one of its 20 satellites suffered a disturbance, but service was quickly restored, with no permanent damage.

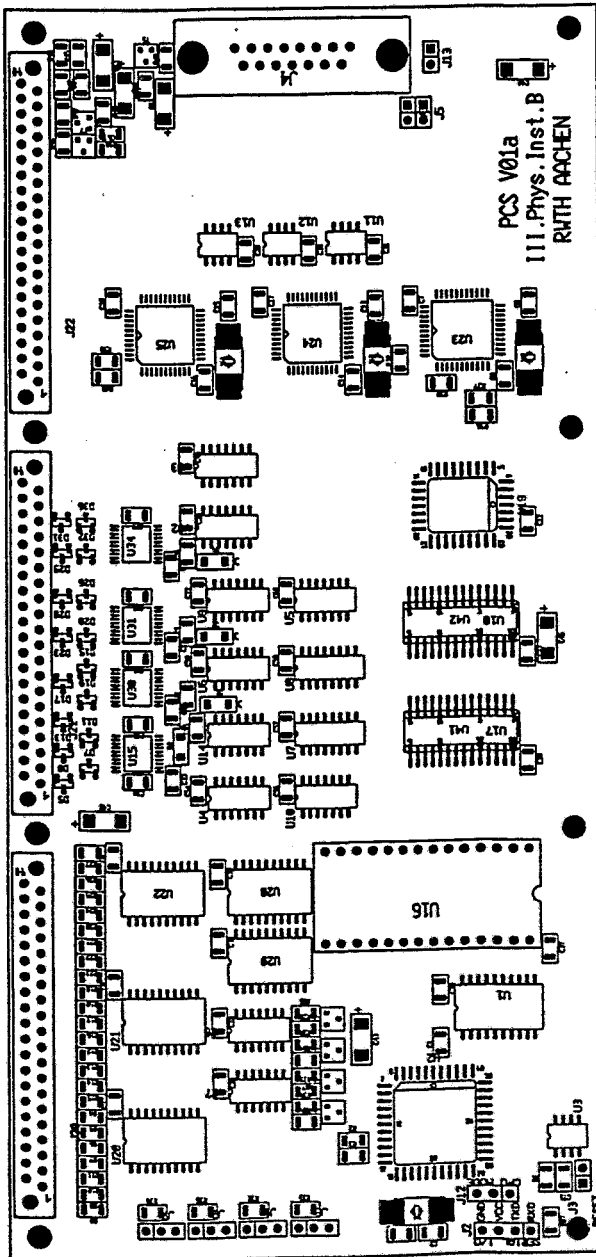
The geomagnetic storm and resulting electrostatic discharge had caused the Intelsat-K satellite to wobble briefly, producing fluctuations in its antenna coverage pattern.

All Intelsat satellites have been modified to guard against the effects of electrostatic disturbances.

Two major U.S. satellite operators — Hughes Communications Inc. of Los Angeles and GTE Spacenet of McLean, Va. — reported no problems related to the space disturbance.



ULTIboard
PCB Design



PCSMSE0.g6* (Sep. 11, 1996) (10:40) (PCB) SCALE: 100% ROTATED
Drill Ref Pnt: 0.100, 0.000 (inch)



Elektronik für die Teilchenankunftszeit-Messung mit dem Zentraldetektor des Karlsruher Luftschauerexperiments KASCADE

U. Raidt, M. Brendle *

Zusammenfassung eines Vortrags am 2. 10. 96 bei der Herbsttagung 96
der Studiengruppe für elektronische Instrumentierung

1 Myon-Ankunftszeitmessungen bei KASCADE

KASCADE (Karlsruhe Shower Core and Array Detector) ist ein am Karlsruher Forschungszentrum befindliches Experiment zur Erforschung der kosmischen Höhenstrahlung bei Energien zwischen 10^{14} eV und 10^{17} eV¹. Das Interesse gilt dabei insbesondere der Elementzusammensetzung der kosmischen Strahlung in diesem Energiebereich, von der Aufschlüsse über ihre Herkunft und die relevanten Beschleunigungsmechanismen erhofft werden. Da der Fluß der kosmischen Strahlung mit zunehmender Energie stark zurückgeht, ist eine direkte Beobachtung der primären Teilchen oberhalb von etwa 10^{14} eV mit Hilfe Satelliten- oder Ballon-gestützter Experimente nicht mehr möglich. Die Beobachtung der von ihnen ausgelösten Luftschauer mit großflächigen Experimenten am Erdboden ersetzt daher den direkten Nachweis. Eine der Schauerobservablen, mit denen bei KASCADE auf die Natur des primären Teilchens geschlossen werden soll, ist die Verteilung der Ankunftszeiten von Myonen, die aus dem Zerfall geladener Pionen im Luftschauer stammen². Die Zeitauflösung, die die sinnvolle Verwendung von Myon-Ankunftszeiten zur Teilchenidentifikation erfordert, liegt im Bereich weniger nsec.

KASCADE enthält neben anderen Detektorsystemen eine segmentierte Schicht aus 456 Plastiksintillatoren, die auf einer Fläche von $16 * 20$ m angeordnet sind und in erster Linie zur Schauererkennung und Triggerung anderer Detektorkomponenten dienen. Ein Detektor dieser Triggerebene ist aus zwei annähernd quadratischen Szintillatorplatten mit einer Kantenlänge von 0.5 m aufgebaut, die durch einen Wellenlängenschieber und einen Photomultiplier ausgelesen werden. Unmittelbar am Photomultiplier befindet sich eine LED, die für die Zeitkalibrierung verwendet wird. Die intrinsische Zeitauflösung der Detektoren beträgt 1.8 nsec, so daß mit ihnen Myon-Ankunftszeitmessungen durchgeführt

*Physikalisches Institut der Uni Tübingen, Auf der Morgenstelle 14, 72076 Tübingen, Tel. 07071 2978621/2976271, Fax 07071 296296, e-mail raidt@pit.physik.uni-tuebingen.de, brendle@pit.physik.uni-tuebingen.de

¹H.O. Klages et al., Nuclear Physics B (Proc. Suppl.)(1997), to be published, P. Doll et al., Nucl. Phys. B (Proc. Suppl.) 14A(1990)336

²H. Rebel et al., J. Phys. G: Nucl. Part. Phys. 21(1995)541

werden können. Thema dieses Vortrags ist die für die Zeitmessung entwickelte Elektronik und ihre Zeitkalibrierung.

2 Zeit-Digitalisierung

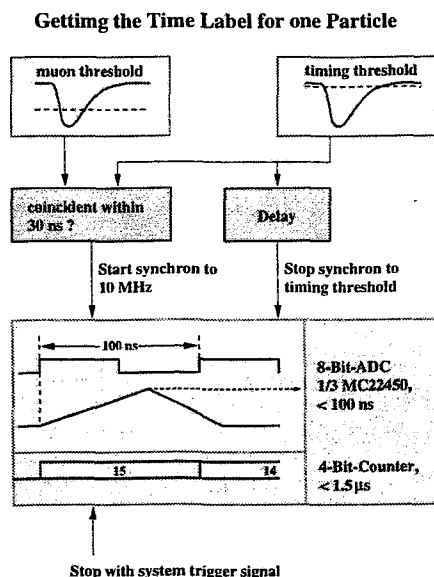


Abbildung 1: Schematische Darstellung der Zeitdigitalisierung in einem Detektorkanal

Die Photomultipliersignale aus den Detektoren der Triggerebene haben beim Durchgang von minimal ionisierenden Teilchen typische Anstiegszeiten von 10 nsec. Für die Zeitmessung eines Einzelereignisses in einem Detektorkanal verwenden wir ein Leading-Edge-Verfahren, bei dem 2 Schwellen miteinander kombiniert werden (vgl. Abb. 1): Die tief liegende Timing-Schwelle markiert den Zeitpunkt des Ereignisses; ihre Lage ist ein Kompromiß aus Minimierung des Timewalks (Signalformabhängigkeit der gemessenen Zeit) und der Minimierung zufälliger Koinzidenzen des Signals mit vorausgehenden Untergrundereignissen. Um die Zeitkonversionsraten und damit die Totzeit im Detektorkanal klein zu halten, fordern wir nach dem Ansprechen des Timingdiskriminators innerhalb von 30 nsec die Überschreitung der Myonschwelle, die myonische Energiedeposits im Detektor von Untergrundereignissen trennt. Innerhalb eines 100-nsec-Intervalls wird der Zeitpunkt mit Hilfe einer TAC-Rampe und eines 8-Bit-ADCs digitalisiert, die Markierung des betreffenden 100-nsec-Intervalls relativ zum Triggerzeitpunkt geschieht mittels eines synchron zum TAC gestarteten 4-Bit-Zählers.

3 Zeitkorrekturen mit einem adressierbaren LED-Pulsgenerator

Die zur Digitalisierung der TAC-Rampe eingesetzten 3-fach-8-Bit-ADCs vom Typ MC44250 sind vor allem aus Platz- und Preisgründen ausgewählt worden; sie arbeiten

nach einem Half-Flash-Prinzip, bei dem das Ergebnis der Digitalisierung nach drei Taktperioden vorliegt. Allerdings weisen die MC44250 bei guter integraler Linearität große differentielle Nichtlinearitäten auf. Die Nichtlinearitäten können korrigiert werden anhand von freien TDC-Spektren, deren zeitliche Gleichverteilung die Berechnung der zeitlichen Breiten einzelner TDC-Kanäle aus der Zahl ihrer jeweiligen Einträge ermöglicht. Um diese Korrektur mit TDC-Spektren guter Statistik vornehmen zu können, erzeugen wir die zeitlich gleichverteilten TDC-Spektren mit inkohärenten, d. h. in ihrer Lage nicht an den zentralen 5-MHz-Takt des Experiments gebundenen LED-Pulsen.

Die Temperaturdriften der Zeitmessung in der Datenaufnahme-Elektronik liegen bei 300 ps/K. Ihre Korrektur ist anhand von TDC-Spektren kohärenter, d. h., zum zentralen 5-MHz-Takt von KASCADE phasenstarrer LED-Pulse möglich.

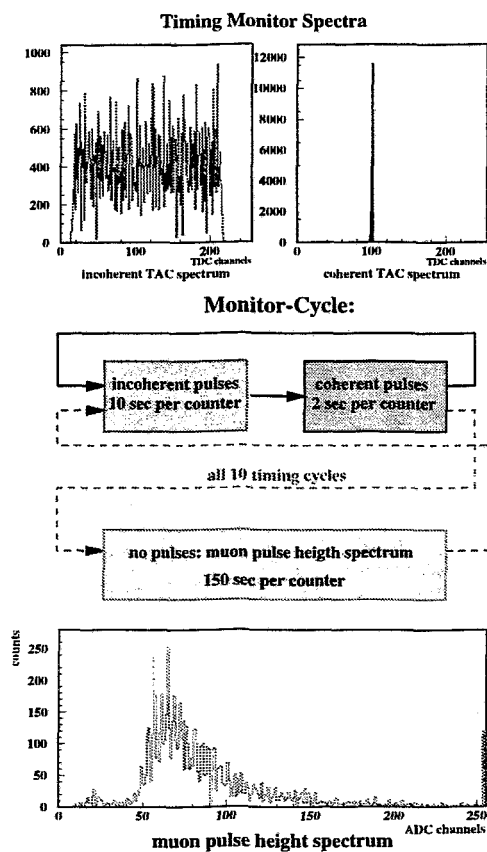


Abbildung 2: Ablauf des Monitorzyklus.

Im modular aufgebauten Datenaufnahmesystem der Triggerebene steuert jeweils ein Transputer die Frontend-Elektronik für 60 Detektorkanäle. Die TDC-Spektren für die beschriebenen Korrekturen können während einer laufenden Messung über einen von der eigentlichen Datenaufnahme unabhängigen Datenweg für jeweils einen der 60 Detektorkanäle aktualisiert werden. Der betreffende Transputer wählt dazu über einen seriellen Bus die entsprechende Betriebsart (inkohärente bzw. kohärente Pulse) des LED-Pulsengenerators aus. Daneben werden bei abgeschaltetem Pulsengenerator Pulshöhenspek-

tren zur Kontrolle der Photomultiplier-Hochspannungen und der Lage der Myonschwellen aufgenommen. Der Ablauf dieses Monitorings und die zugehörigen Spektren sind in Abbildung 2 dargestellt. Die Aktualisierung der zeitkritischen TDC-Spektren erfolgt mit den dort angegebenen Zeiten in etwa halbstündigen Abständen, der Tagesgang der Temperatur kann auf diese Weise ausgeglichen werden.

4 Zeitkalibrierung des Datenaufnahmesystems

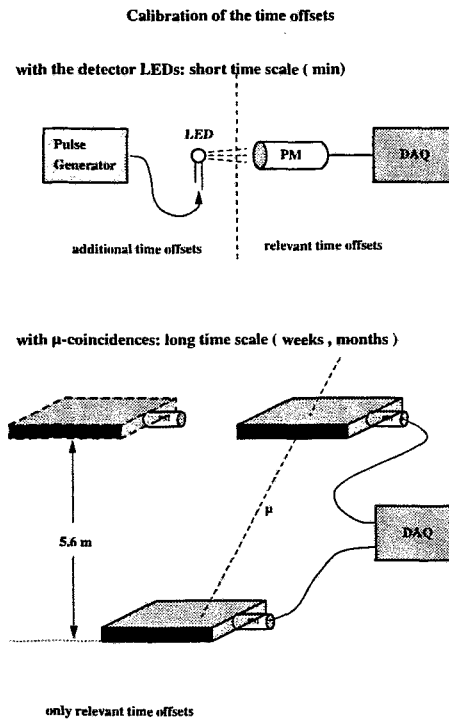


Abbildung 3: Schematische Darstellung der verwendeten Zeitkalibrationsmethoden

Bei der Zeitkalibrierung mit TDC-Spektren kohärenter LED-Pulse werden die für die eigentliche Datenaufnahme irrelevanten Zeitoffsets τ_{PG} von Pulsgenerator, Kabel zur jeweiligen LED und deren Ansprechverhalten mitgemessen: $\Delta\tau_{LED} = \tau_{PG} + \tau_{DAQ}$. Wir bestimmen die zusätzlichen Zeitoffsets τ_{PG} mit Hilfe einer zweiten Kalibrationsmethode: bei ihr werden die Zeiten von Myonen gemessen, die durch einen Detektor der Triggerebene und einen 5.6 m darunter auf dem Kellerboden des Zentraldetektorgebäudes liegenden Referenzdetektor fliegen (vgl. Abb. 3). Durch diese Messung kann die typische zeitliche Lage jedes Triggerebenedetektors relativ zum Referenzdetektor bestimmt werden, dabei gehen im Prinzip nur die relevanten Durchlaufverzögerungen τ_{DAQ} durch das Datenaufnahmesystem ein. Wenn jedoch während der Kalibrierung mit Myonen die Online-Offsetkorrektur mit den Detektor-LEDs mitläuft, sind ihre Ergebnisse $\Delta\tau_{\mu}$ gerade die für Pulsgenerator und LEDs typischen Zeit-Offsets τ_{PG} :

$$\begin{aligned} \Delta\tau_{\mu} &= \tau_{DAQ} - \Delta\tau_{LED} \\ &= -\tau_{PG} \end{aligned} \quad (1)$$

Die so gemessenen τ_{PG} werden bei der Datenrekonstruktion wieder zu den gemessenen und mit der LED-Kalibrierung korrigierten Zeiten addiert.

5 Temperaturkompensation des Pulsengenerators

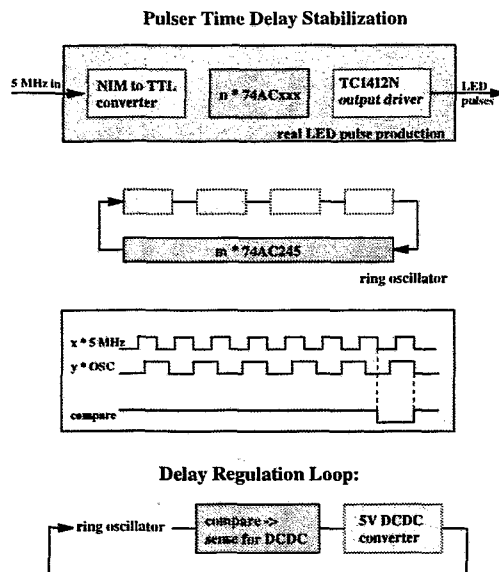


Abbildung 4: Schematische Darstellung der Temperaturkompensation des Pulsengenerators.

Da die Myon-Kalibrierung etliche Stunden separate Meßzeit erfordert, wird sie im Abstand von Wochen und Monaten durchgeführt. Die Aktualität der LED-Kalibrierung ist deshalb nur sinnvoll, wenn die τ_{PG} wesentlich temperaturstabiler sind als die τ_{DAQ} . Um dies zu gewährleisten, ist der Pulsengenerator für die Erzeugung der kohärenten LED-Pulse mit einer Regelschleife ausgestattet, die die Temperaturdriften seiner Durchlaufzeiten durch die Nachregelung der Versorgungsspannung ausgleicht (vgl. Abb. 4). Diese Kompensation wirkt zwar nicht individuell auf die einzelnen Ausgänge des Pulsengenerators, sondern betrifft alle Ausgänge zugleich, trotzdem wird durch sie die Streuung der Temperaturdriften verringert.

Die Phasenverschiebung zwischen einer ausgewählten Flanke des KASCADE-5-MHz-Takts und dem zugehörigen kohärenten Pulsengenerator-Ausgangssignal setzt sich aus den Durchlaufzeiten durch Eingangs-NIM-zu-TTL-Wandler, mehrere AC-Bausteine und die Ausgangstreiber zusammen. Die Temperaturkompensation enthält einen Ringoszillator, der aus gleichartigen Bauelementen aufgebaut ist, so daß eine temperaturbedingte Änderung der Phasenlage zwischen Takt und Ausgangssignalen mit einer Frequenzänderung des Ringoszillators einhergeht. Um das Temperaturverhalten des Ringoszillators möglichst gut an das der Pulsengenerator-Ausgangskanäle anzupassen, ist die Anzahl seiner AC-Stufen durch Jumper einstellbar. Mit einem aus dem Vergleich der Ringoszillatorfrequenz mit dem KASCADE-5-MHz-Signal gewonnenen Signal wird der DC-DC-Wandler für die 5-V-Versorgung der Pulselektronik angesteuert. Sinkt die Ringoszillatorfrequenz aufgrund

einer Temperaturerhöhung ab, so wird dies mit einer Erhöhung der Versorgungsspannung ausgeglichen und die Ringoszillatorfrequenz damit stabilisiert.

Zur Ansteuerung der LEDs verwenden wir schnelle MOSFET-Treiberbausteine vom Typ TC1412N von Telcom, die Ausgangsimpulse bis 16 V an 50 Ω machen können. Die Durchlaufzeiten dieser Bausteine liegen zwischen 40 und 50 ns, durch die Auswahl der verwendeten Exemplare aus einer dreimal größeren Anzahl war es möglich, die Durchlaufzeit-Streuungen der verwendeten TC1412N auf 1 ns zu verringern.

Abbildung 5 zeigt den Vergleich der Temperaturkoeffizienten der Datenaufnahme-Elektronik und des Pulsgenerators. Seine Temperaturstabilität ermöglicht die Verwendung der in großen zeitlichen Abständen bestimmten τ_{PG} für die Zeitkalibrierung der Triggerebenen-Meßdaten.

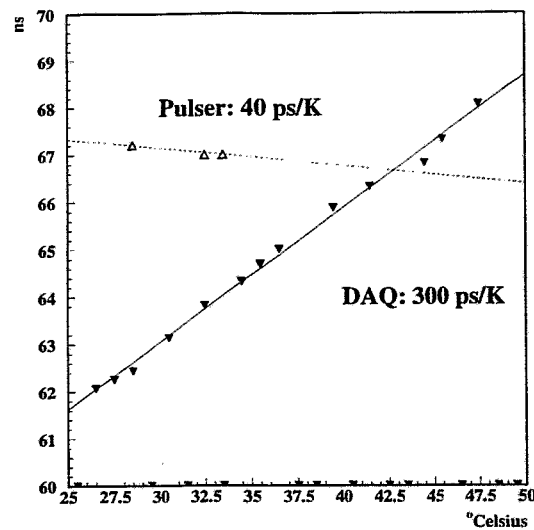


Abbildung 5: Vergleich der Temperaturkoeffizienten der Datenaufnahme-Elektronik und des kohärenten Zweigs im Pulsgenerator.

NOVEL DIGITAL NEURAL HARDWARE FOR TRIGGER APPLICATIONS IN PARTICLE PHYSICS

T. Fischer, W. Eppler, H. Gemmeke, *Research Center Karlsruhe (FZK), POB 3640, 76021 Karlsruhe, Germany*
Email: Gemmeke@hpe.fzk.de

A. Menchikov, *JINR Dubna, Russia*

S. Neusser, *Institute for Microelectronics Stuttgart (IMS), Germany*

1. INTRODUCTION

Pattern recognition as used in triggers for large particle physics experiments should be at the same time *fast* and *adaptive*. It has to be fast to manage the high data rates, and adaptive to optimize the performance of a trigger to the a priori not completely known complex signal of the detectors. Neural networks (NN) realized in hardware are the optimal choice for these demands due to their natural features. They are adaptive and parallel by construction, and allow upgrade to very fast devices because of their simple scalable structure.

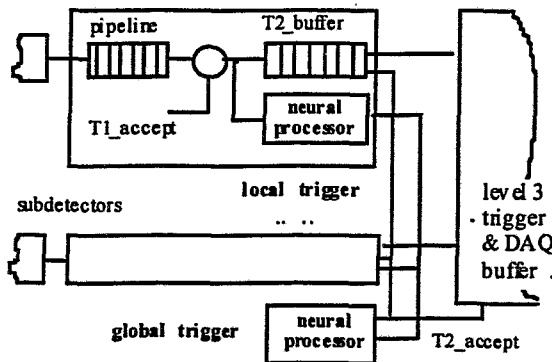


Fig.1: Typical trigger structure at level T_1 with neural networks

Nowadays the trigger structure of a typical high energy particle experiment contains a pipelined data acquisition system with trigger rates and decision times for the second level trigger in the range of tens kHz and of a few μ s, respectively. That is easily obtainable for neural network chips and leads to a typical possible block diagram with local and global neural trigger processors as shown in fig.1. A good overview of neural network applications in Particle Physics may be obtained from the proceedings of AIPHEN (Pisa 1995, Lausanne 1996).

Currently at FZK in collaboration with IMS, two neuro chips SIOF (Serial Input - Operating Parallel) and SAND/1 (Simple Applicable Neural Device) are under development. They are feasible for pattern recognition, prognostic industrial applications, and first and second level trigger in astrophysics experiments (KASCADE, AUGER, MILAGRO). Both chips are optimized to give a good price-performance ratio and may be easily integrated within a system without a large "chip-overhead" for external administration. The architecture of both systems and design criteria of SAND/1 will be described.

2. ARCHITECTURE AND PERFORMANCE OF SIOF

Based on a bit-serial multiplier for each synaptic connection the chip SIOF was developed at IMS [1]. The

sigmoid output function on a chip is approximated by a quadratic function block. A test chip with a 5×5 input structure and fixed precision, 12 bits for data and 8 bits for weights, led to a chip layout shown in fig.3. A more appropriate architecture of SIOF with higher precision 16×16 bit multiplication for particle physics application is given in Fig.2. The 8:4:1 structure (8 inputs, 4 hidden neurons, 1 output neuron) may be altered by controller operation to 16:2:1 or 32:1. Because of the 0.8μ m Gate Forest technology now available at IMS a higher clock speed (50 MHz) is feasible.

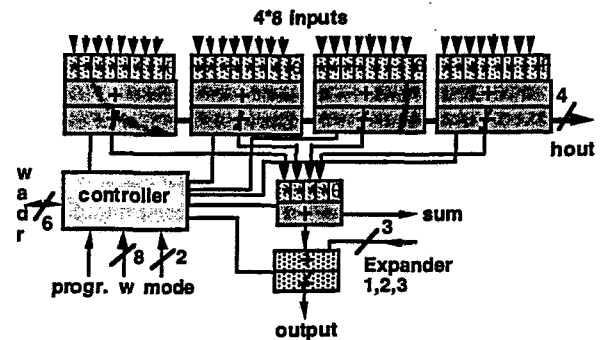


Fig.2: Architecture of SIOF bit-serial neural network chip with 8 inputs, 4 hidden neurons and 1 output, or 32 inputs, 1 hidden neuron and 1 output.

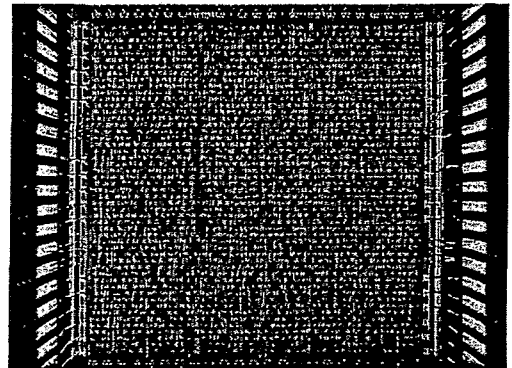


Fig.3: Semi-custom layout of SIOF with standard cells (22000 gates). By using a 1.2μ m CMOS process and an E-beam direct write technology, a $11 \times 11 \text{ mm}^2$ chip is obtained. A clock frequency of 30 MHz and 62 I/O pins are used.

3. ARCHITECTURE AND PERFORMANCE OF SAND/1

SAND/1 is a cascadable, systolic processor array designed for fast processing of neural networks. The neurochip SAND/1 may be mapped on feedforward NN's, radial basis function networks (RBF) and Kohonen feature maps. By this universality SAND/1 covers about 75% of all important applications, as estimated by analyzing 154 applications in the literature. In the following part these

three network types and their implementations are described.

3.1 Multilayer Perceptron

The function of a neuron output x_j in a feedforward neural network can be described as

$$x_j = f\left(\sum_{i=1}^n w_{ji} \cdot o_i + \Theta\right) \quad (1)$$

where w_{ji} is the connection weight between neuron j and i and o_i is the output of neuron i . The threshold Θ is added to the weighted sum. f is a non-linear activation function, e.g. sigmoidal. One can see that (1) is part of a matrix/vector multiplication of a weight-matrix \underline{W} and an activity-vector \underline{o} :

$$\underline{x} = f(\underline{W} * \underline{o}) \quad (2)$$

The implementation of (2) in hardware can be done with a processor, equipped with n parallel processing elements

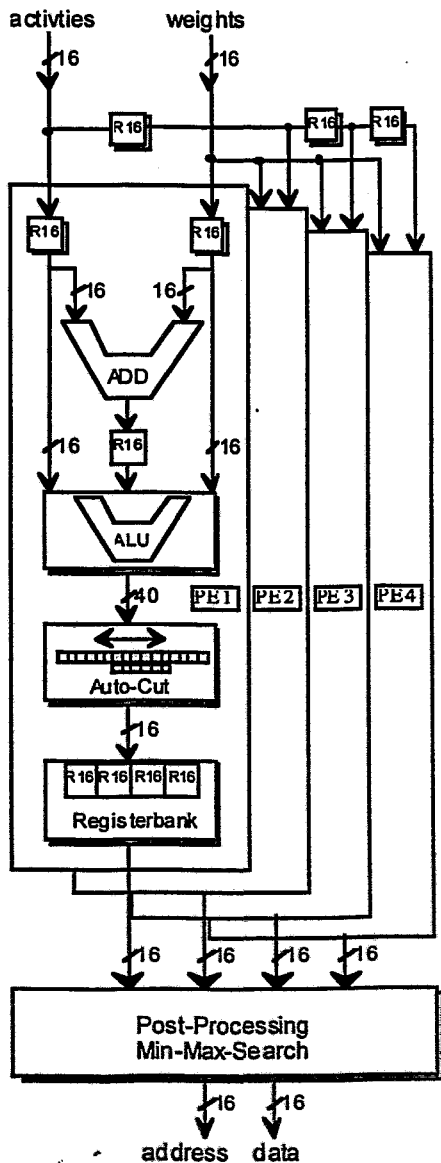


Fig.4: SAND/1 Neurochip

(PE), if vector x is of dimension n . This is possible because of the independent calculation of all components x_j . There is one important disadvantage of a matrix/vector multiplication unit: the number of cycles needed to transfer the elements of \underline{W} is larger than that of the activation vector \underline{o} . During processing there occur phases with parts of the PE's turning idle. Full use of the parallel structure can be insured if the matrix/vector multiplication is replaced by a matrix/matrix multiplication. In this case four epochs of activities are processed in one cycle ($r=4$) and passed in a systolic array from one PE to the next (fig. 4).

The internal bit width of the arithmetic logic unit (ALU) is 40 bits, allowing the computation of a large number of input neurons (up to 512) without loss of precision. To be compatible with 16 bit wide busses outside of the chip, and to allow cascading to higher level networks, the

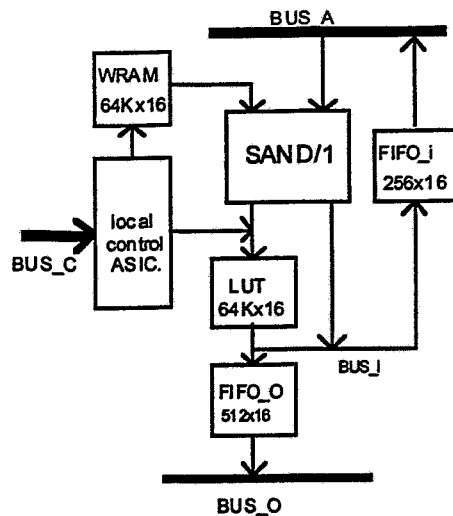


Fig.5: Modular local structure supporting one SAND/1

bit-width has to be adjusted properly. Therefore 16 significant bits are cut out of the 40 bit representation by a sliding window. In the auto-cut mode the chip optimizes the precision of the output automatically. Within the post-processing module two outputs can be selected: an address output for a look-up-table (LUT) working with any type of nonlinear activation function, and a data output for linear activation.

Besides the possibility of processing multilayer-perceptrons, two other types of neural networks can be used with SAND/1: radial basis function networks and Kohonen feature maps. Both kinds of networks require additional processing elements which are integrated into the SAND/1's architecture.

3.2 Radial Basis Function Network (RBF)

The function of a RBF-neuron is usually described as

$$x_j = \sum_{i=1}^h c_i \cdot h_{rad}(\|\underline{w} - \underline{o}\|) \quad (3)$$

where \underline{w} is a weight-vector and \underline{o} an activity-vector. The Euclidian distance of \underline{w} and \underline{o} is calculated by

$$\|w - o\| = \left| \sqrt{(w_1 - o_1)^2 + \dots + (w_n - o_n)^2} \right|. \quad (4)$$

Therefore SAND/1 has an additional 16 bit adder which is placed in a pipeline together with SAND/1's ALU to calculate the differences $w_i - o_i$, and the ALU calculates the sum of squares x . Instead of holding the radial basis function $h_{rad}(x)$ in the LUT, $h_{rad}(\sqrt{x})$ is used so there is no need to calculate the square-root of the sum of squares.

3.3 Kohonen Feature Maps

For the use of Kohonen maps it is important to find the neuron with the highest activity. Therefore SAND/1 contains an additional maximum-search module integrated into the postprocessing block, see fig. 4. This module can be used together with the systolic array to find local maxima. It is also possible to use it in a stand-alone mode and to take data via a bypass from other sources like system-bus A. In some previous neuro chips based on matrix operations, Kohonen maps are processed much slower than feedforward networks due to required distance computations. Additional adder units in SAND/1 help to avoid this unfavourable effect.

3.4 Technical Data and Performance

SAND/1 is manufactured in a 0.8 μ m CMOS process, using a sea-of-gates technology with almost 50K Gates. At a cycle-time of 20 ns, SAND/1 reaches a performance of 200 mega operation per s (MOPS). The packaging of SAND/1 is PGA with 144 signal-pins.

SAND/1 has four parallel working processing elements (PE) on one chip, each equipped with a 16 bit fixed point multiplier and a 40 bit adder in a pipeline. Data that comes from the input is passed through clocked registers from one PE to the next (fig. 4). To make use of the parallel structure, four epoches of activities are processed in one cycle. In this way a matrix/vector multiplication is

replaced by a matrix/matrix multiplication, insuring a permanent and full use of the parallel processing units and yielding 200 MOPS per chip operation speed.

The non-linear activation function is calculated by the use of a free programmable look-up table allowing for a maximum of flexibility. A controller chip, the memories, the look-up table and the SAND/1 chip are arranged as a fixed modular unit guaranteeing the tight timing for 50 MHz operation (fig. 5).

3.5 Comparison with other chips

There are two well known applications of digital neural network processors in second level triggers: CNAPS[4] in H1 [3] and MA16 [2] in WA92 [5], see table 1. The Neural processor module based on SAND/1 demonstrates throughput similar to the CNAPS-board and successfully competes with it when the data acquisition system is equipped with an event buffer. Moreover, the module allows processing of higher accuracy input activities. The SAND/1 processor module shows 5.5 times higher throughput than the trigger module based on MA-16 due to the simultaneous processing of four events and the higher clock frequency of SAND/1.

Tab.1: Comparison of existing MA16 and CNAPS data with SAND/1

	input activities	computation time	latency time	ANN structure
CNAPS	8bit/20MHz	8 μ s (1 event)	-	64x64x1
SAND/1	16-bit/40MHz	20.5 μ s(4 events)	27 μ s	
MA-16	16-bit/8MHz	5.5 μ s	8 μ s	16x5x1
SAND/1	16-bit/40MHz	2.0 μ s(4 events)	3.6 μ s	

4. CONCLUSION

Depending on the application several design criteria have to be met. These are partly different, especially in respect

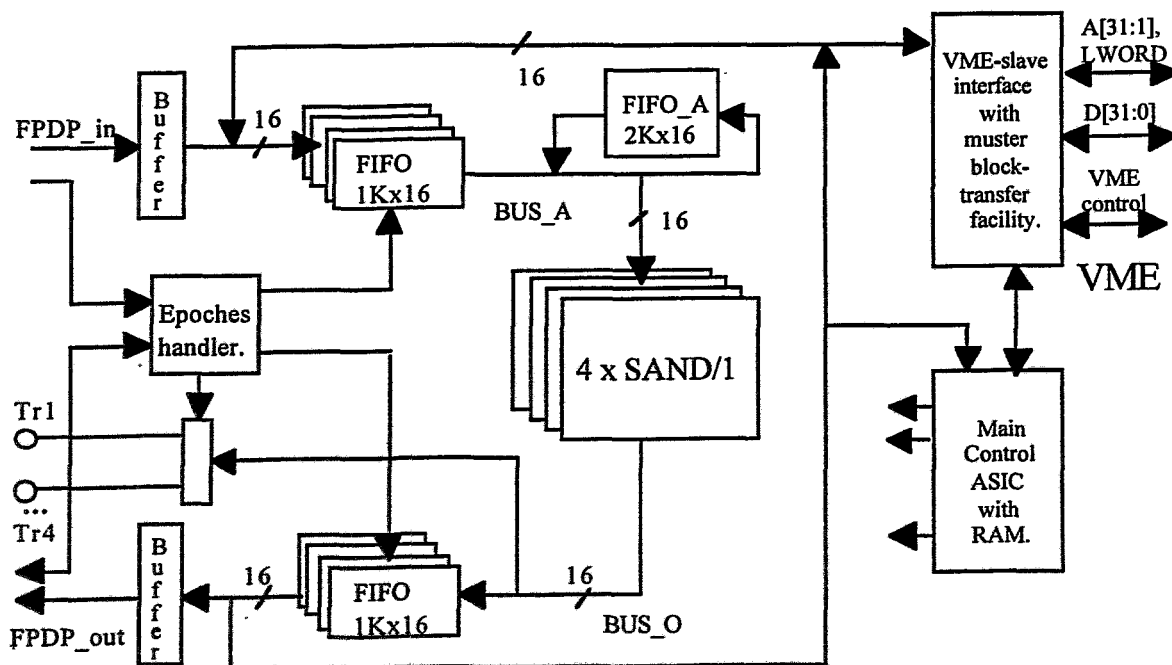


Fig.6: Block scheme of a VME board for the KASCADE - experiment supporting four SAND/1 chips.

to the size and the type of the neural net. If small networks are used and latencies of a few μ s are no problem, SIOP may be the better choice; for larger nets the SAND/1-architecture is cheaper. The central processing unit of both chips was designed in a way that only few additional devices are required compared to previous designs. To facilitate a stand-alone operation of SAND/1, the neuron activities are buffered. SIOP is designed for a fixed number of neurons. If networks are larger than the maximum network size of the chip, additional chips must be cascaded. No additional peripheral devices are required. SIOP processes only feedforward networks. Because of the modular structure performance improvements may be achieved by adding more processing elements. Furthermore a VME (see fig.6) and PCI board supporting four chips of SAND/1 (adding up to 800 MOPS) are under development.

It is the main goal of this paper to stimulate the discussion for a new generation of digital neural chips. At FZK for medical and industrial applications, and at particle physics experiments for trigger purposes computing power for neural network operations in the range of 1000 MOPS and more is demanded, but the number of peripheral devices supporting the processing unit should be minimized. A first silicon implementation for SAND/1, a semi custom chip with 200 MOPS, is expected by the end of 1996. Faster versions using full custom design and supporting hardware learning features are under development. Therefore critical comments, especially from users of earlier chips in particle physics, would be highly appreciated.

5. REFERENCES

- [1] S. Neusser et al., Digital neural hardware for control applications, Proceeding of 14th IMAC World Congress, 1994
- [2] U. Ramacher et al., "Design of a First Generation Neurocomputer", in VLSI-Design of Neural Networks, eds. U. Ramacher and U. Rückert, Kluwer Academic Publishers, 1991
- [3] J.Möck et al., Proceedings of 4th International Workshop on software Engineering, Artificial Intelligence and Expert Systems for High Energy and Nuclear Physics, April 3 - 8, 1995, Pisa, Italy
- [4] Adaptive Solutions, CNAPS product Information, 1995
- [5] C. Baldanza et al., NIM A 376 (1996) 411 and NIM A 373(1996) 261

Datentransfer von VME über FDDI

Dieter Notz
Deutsches Elektronen-Synchrotron, DESY, Hamburg, Germany
EMAIL: notz@desy.de

Zusammenfassung

Um die Übertragungsgeschwindigkeit von VME über FDDI zu einer Workstation von Silicon Graphics zu testen, wurde das VME Board PME FDDI-1 von Radstone Technology untersucht.

Testaufbau

Der PME FDDI-1 Controller war mit 8 Mbyte (DRAM), 128 kByte FDDI Buffer (SRAM), 1 MByte local SRAM für den 25 MHz SPARClite RISC Processor und einem AMD Supernet-2 FDDI Chipset ausgestattet. Das Board enthält Software für das Interface von FDDI zum Anwender, TCP/IP und Programme für die unterste Transportschicht.

Als Betriebssystem wurde VxWROKS benutzt.

Zum Testen wurden die Daten vom VME Board über FDDI zu einer Silicon Graphics Workstation über einen Concentrator verbunden. Programme wurden auf einer SUN Workstation entwickelt (Fig. 1).

1 Die verschiedenen Messungen

1.1 Memory-to-memory Transfer Raten

Bei einigen Treibern werden die Daten zunächst in einen lokalen Buffer übertragen und dann transportiert. Die Übertragungsraten von Speicher-zu-Speicher erreichten folgende Größenordnung:

- (DRAM - to - DRAM), rate = 4.44 Mbyte/s;
- (SRAM - to - DRAM), rate = 6.15 Mbyte/s.

4000 Byte Blöcke wurden kopiert, was der Simulation von FDDI Frames entspricht. Der interne Datentransfer kann sich durchaus negativ auf die Geschwindigkeit auswirken.

1.2 Low Level FDDI-1 Treiber Test

VxWorks 5.1 BSP für PME FDDI-1 bietet einen On-board Network Interface Treiber an, mit dem man FDDI Frames senden und empfangen kann.

Die Rate zum Verschicken von Daten betrug unter Benutzung von UDP Frames:

- Daten in DRAM, Rate = 2.11 Mbyte/s;
- Daten in SRAM, Rate = 2.42 Mbyte/s.

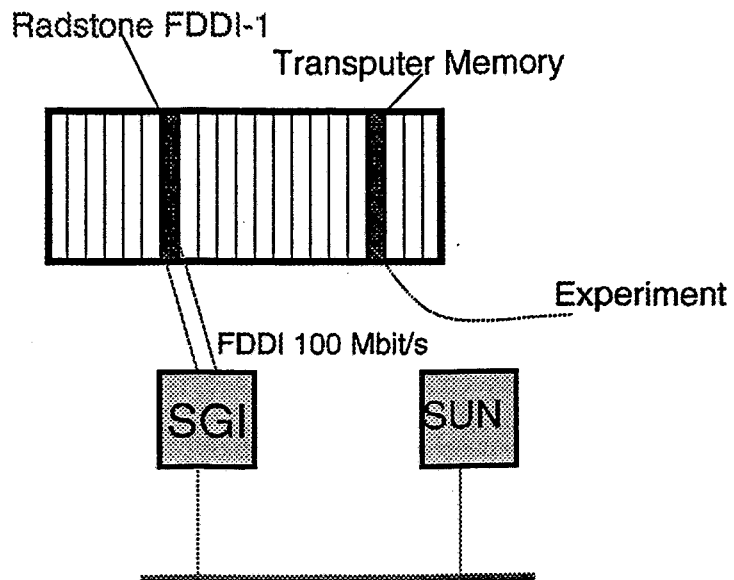


Abbildung 1: Testaufbau für VME-FDDI Übertragung

Es wurde gleichzeitig gemessen, wie oft die low-level Treiber gerufen wurden:

- 4000 Byte Frame, Rate = 909 calls per second;
- 1000 Byte Frame, Rate = 2857 calls per second;
- 100 Byte Frame, Rate = 8000 calls per second;
- 10 Byte Frame, Rate = 9132 calls per second.

Der Treiber erzeugt also einen hohen Overhead.

1.3 Low level Routinen für UDP Frame senden

Es wurden eigene low level Routinen geschrieben, um die Daten direkt aus dem DRAM zu verschicken, ohne sie erst in einen lokalen Buffer zu kopieren. Diese Routine benutzen weder die VxWORKS Netzwerk Routinen noch die FDDI Treiber. Die Routinen sprechen direkt die Register der DMA Controller auf dem PME FDDI-1 Board und den FORMAC+ (Supernet-2 Chip) an.

Die Raten wurden mit und ohne Checksumme gemessen:

- UDP Frame send ohne Checksumme:

Tabelle 1.

Total data size (Mbyte)	UDP datagramm size (Bytes)	Rate (Mbyte/sec)
420	4200	11.05
420	3000	10.24
420	2000	9.33
420	1000	7.78
420	500	4.94

- UDP Frame sending mit Hardware Checksumme (by ERIC):

Tabelle 2.

Total data size (Mbyte)	UDP datagramm size (Byte)	Rate (Mbyte/sec)
420	4200	9.33
420	3000	8.75
420	2000	7.78
420	1000	5.25
420	500	3.11

Auf der Silicon Graphics wurde gemessen, daß bei 1000 Byte/Frame der Datenverlust bei 0.5 % lag.

1.4 High level Programme mit reliable UDP

Es wurden Routinen geschrieben, mit denen ein zuverlässiger (reliable) UDP Transfer für unsere Daten durchgeführt wurden. Es wird zusätzliche Information bei der Übertragung eingebaut und dann gewartet, daß die Information auch angekommen ist.

Auf der Silicon Graphics Workstation wurden die Funktionen der standard Socket Library benutzt.

Die Resultate sind in folgender Tabelle angegeben:

Tabelle 3.

Event size (Byte)	Total data size (Mbyte)	UDP datagramm size (Byte)	Rate (Mbyte/sec)
102400	1000	4227	6.52
102400	1000	4027	6.56
102400	1000	3027	6.44
102400	1000	2027	5.89
102400	1000	1527	5.10
50000	500	4027	5.81
30000	300	4227	4.92
30000	300	4027	5.08
10240	100	4027	3.01

Bei den Datenraten wurden nur die Benutzerdaten ohne die 27 Worte Header Information berücksichtigt.

2 Ratentests mit einem zusätzlichen Memory

Die Daten des Experiments werden über das Memory eines Transputerboards zur Verfügung gestellt. Zunächst müssen die Daten also vom Transputer über VME zum FDDI-1 Board transportiert werden. Im Fall 1 wurde hierfür der DMA Controller des FDDI-Boards benutzt, im 2. Fall wurde der Transputer Master auf dem VME Bus. Die Transfergeschwindigkeiten ergaben sich zu

Tabelle 4.

Event size (Byte)	Total data size (MB)	Fall 1 (MB/s)	Fall 2 (MB/s)
65536	1638	5.6	4.55

In der ZEUS Anwendung werden die Daten vom Transputer zum FDDI-1 Board und gleichzeitig über den FDDI Ring zur Silicon Graphics Workstation transferriert. Die erreichten Geschwindigkeiten sind in der folgenden Tabelle angegeben:

Tabelle 5.

Total data size (MB)	Event size (Byte)	RUDP rate alone (MB/s)	DMA rate alone (MB/s)	FDDI_send and DMA (MB/s)
13107	131072	6.56	5.70	5.60 (—)
10000	100000	6.42	5.67	5.56 (—)
8000	80000	6.15	5.67	5.53 (—)
6000	60000	6.03	5.63	5.49 (—)
5000	50000	5.66	5.58	4.97 (5.27)
4000	40000	5.24	5.58	4.69 (4.93)
3000	30000	4.67	5.58	4.33 (4.42)
2000	20000	4.03	5.57	3.66 (3.72)

3 Schlußfolgerung

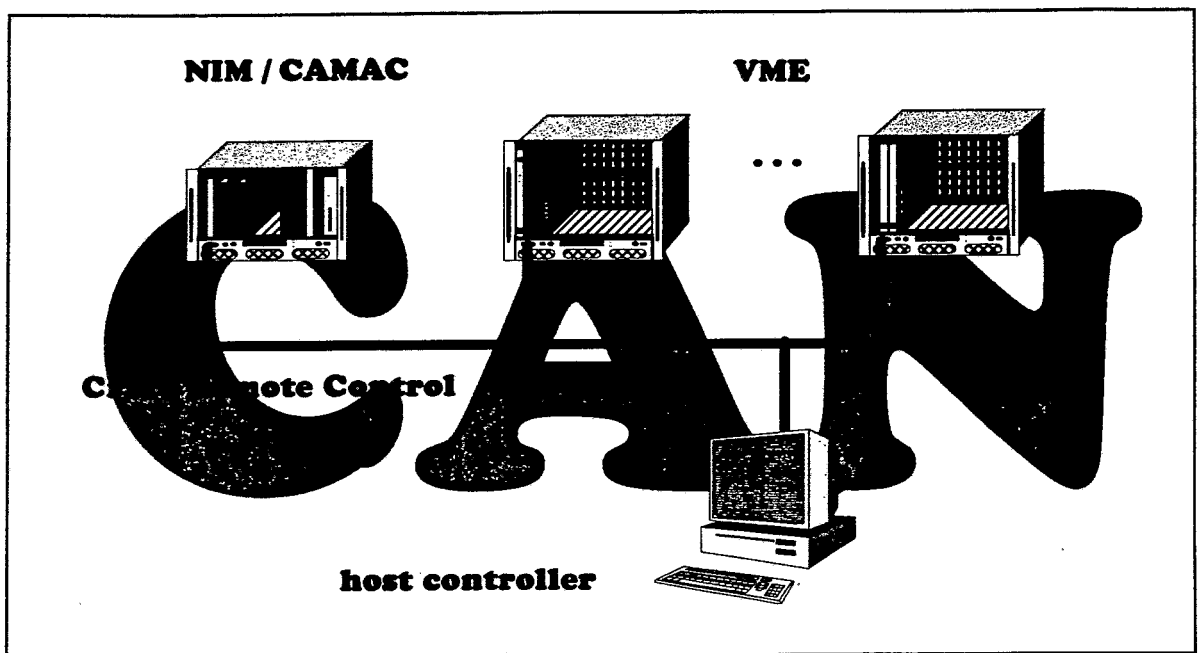
Es war etwa ein halbes Jahr Arbeit nötig, um die Routinen zu schreiben, die eine hohe Transfergeschwindigkeit erlauben.

4 Danksagung

Die Programme und die Messungen wurden von A.Kalagov and V.Rybnikov (ZEUS) geschrieben und durchgeführt. Ihnen sei hiermit gedankt.

Stored in 'notz.tex.public(zeuthen.tex)'

Der CAN - Bus und seine Anwendung in der Crateüberwachung



A. Ruben, A. Köster, M. Plein

W-IE-NE-R, Plein & Baus GmbH
Müllersbaum 20, D-51399 Burscheid

Studiengruppe für Elektronische Instrumentierung
Zeuthen, 30.09.-02.10.96

1. Einführung in den CAN-Bus

- 1985 als Feldbus definiert durch Bosch für Einsatz in Kfz,
- wesentliche Eigenschaften:
 - ⇒ serielle, asynchrone, objektorientierte multi-master Kommunikation,
 - ⇒ prinzipiell unbegrenzte Knotenzahl (phys. Layer),
 - ⇒ hohe Zuverlässigkeit durch integrierte Fehlererkennung und Behandlung (HD=6), $<10^{-13}$ nichterkannte Fehler / Nachricht
 - ⇒ Prioritätsorientierte Buszuweisung (CSMA/CA) mit bitweiser nichtzerstörender Arbitrierung
 - ⇒ 2032 Prioritäten (ID) im Standard Frame
 - ⇒ maximal 8 Datenbytes pro Nachricht
- breites Angebot an preiswerten CAN-bus Controllern (PHILIPS, INTEL, MOTOROLA,...) und Microrechnern mit CAN-bus Interface,
- Definitionen / Standards:
 - ISO Reference Model (Open Systems Interconnections)

OSI-Layer 7		specified by system designer, proposals as CMS(CAL)
OSI-Layer 6	Application	-
OSI-Layer 5	Session	-
OSI-Layer 4	Transport	-
OSI-Layer 3	Network	-
OSI-Layer 2	Data Link	covered by CAN-protocol specs and ISO standard, implemented on CAN-controller ICs
OSI-Layer 1	Physical	covered by ISO standard and partially by CAN protocol

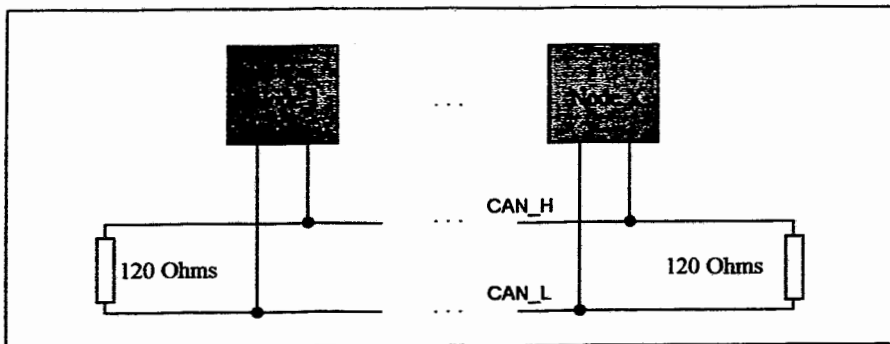
- CAN Spec. 2.0 part A (standard frame) und B (extended frame)
- ISO/DIS11898 - CAN high-speed; 125 kbit/s ... 1 Mbit/s, max. 30 nodes
- ISO/DIS11519 part 1 - CAN low-speed; up to 125 kbit/s, max. 20 nodes

• Hardware / Physikalischer Layer

- Zweidraht Leitung, Linien- oder Stern-Topologie
- Übertragungsraten bis 1.6MHz, abhängig von Netzausdehnung

Max. Distance	Bit Rate	Type
10 m	1.6 Mbit/s	high- speed
40 m	1.0 Mbit/s	
130 m	500 kbit/s	
270 m	250 kit/s	
530 m	125 kbit/s	
620 m	100 kbit/s	low-speed
1300 m	50 kbit/s	
3300 m	20 kbit/s	
6700 m	10 kbit/s	
10.000 m	5 kbit/s	

- Terminierung: 120Ohm (High speed CAN)

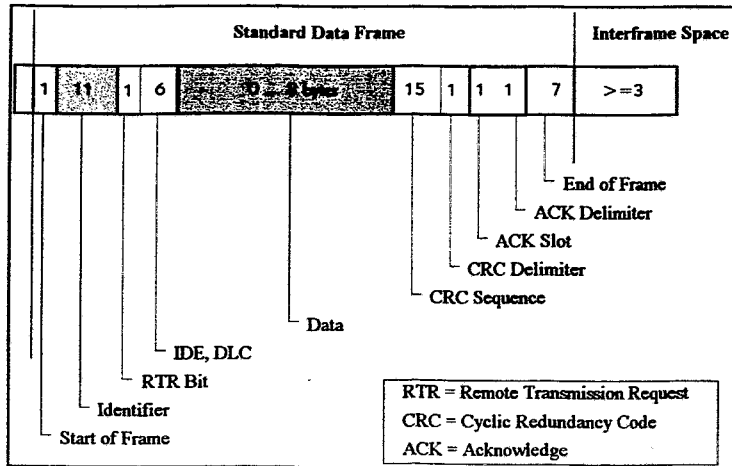


- differentielle Buspegel

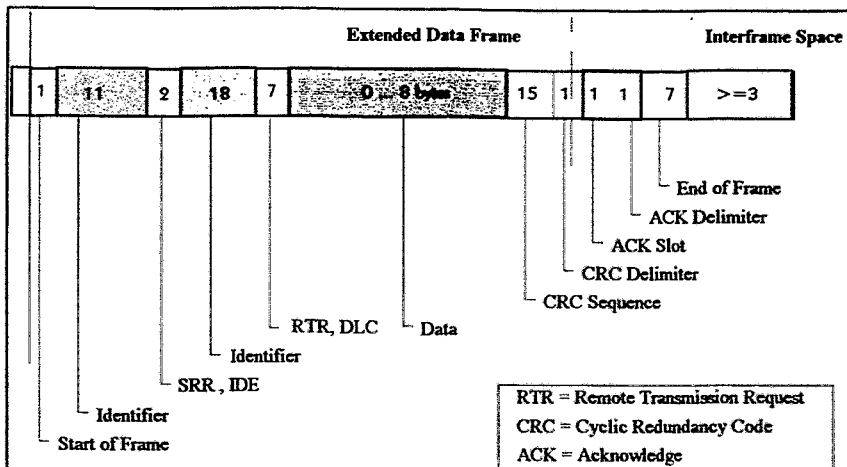
	recessive	dominant
$V_{CAN-H} - V_{CAN-L}$	-500mV to +500mV, no load	+1.5V to +3.0V (600hm load)

• CAN Datenstruktur

- objektorientierte Nachrichtenübermittlung
- keine festen Node-Adressen aber prioritätsbestimmende Identifier (ID)
- Nachrichten an alle Nodes, Bearbeitung nach Akzeptanzprüfung mit ID-Filter.
- maximal 8 Daten-Bytes pro Nachricht
- Datenstruktur Standard Frame



- Datenstruktur Extended Frame



- Nachrichtenlängen

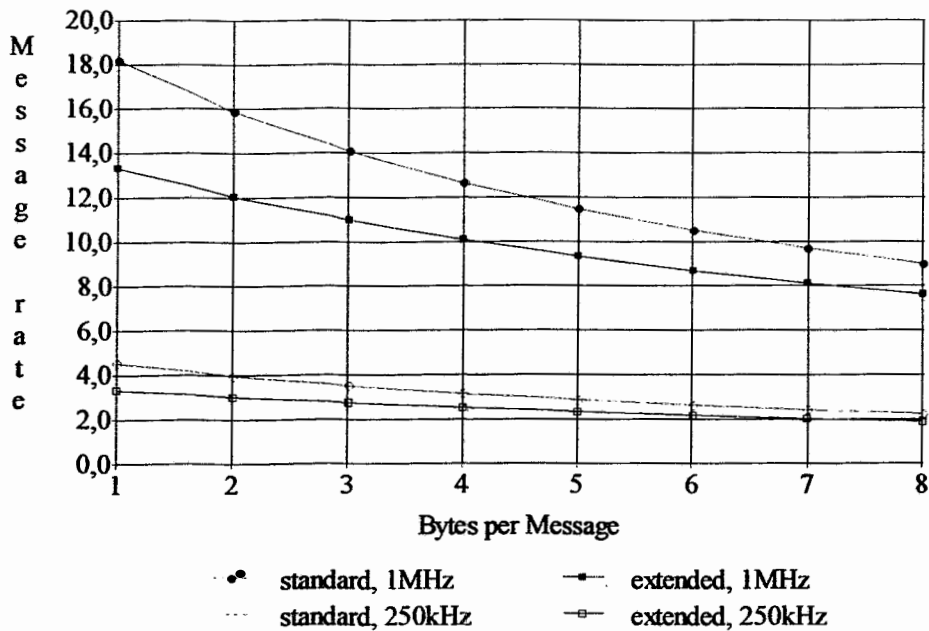
$$N_{\text{standard}} = (47 + \text{DLC} * 8) \text{ bits}$$

$$N_{\text{extended}} = (55 + \text{DLC} * 8) \text{ bits.}$$

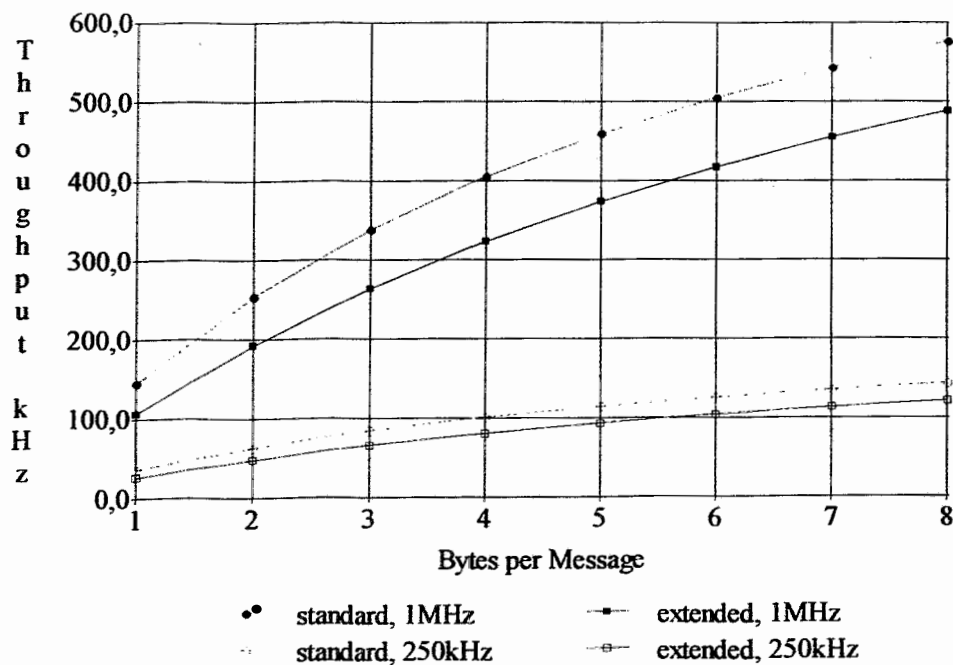


• CAN Daten- und Nachrichtenraten

– maximale Nachrichtenraten (DLC abhängig!)



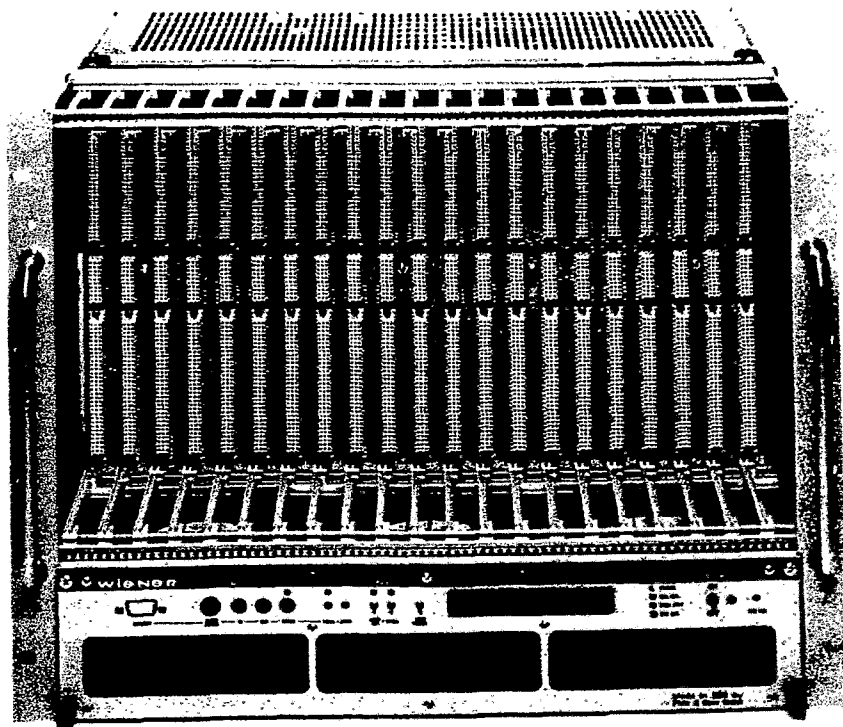
– maximaler Busdurchsatz (DLC abhängig!)



– Realtime-Fähigkeit (latency time <math><134\mu\text{s}</math> / 1Mbit/s, high priority)

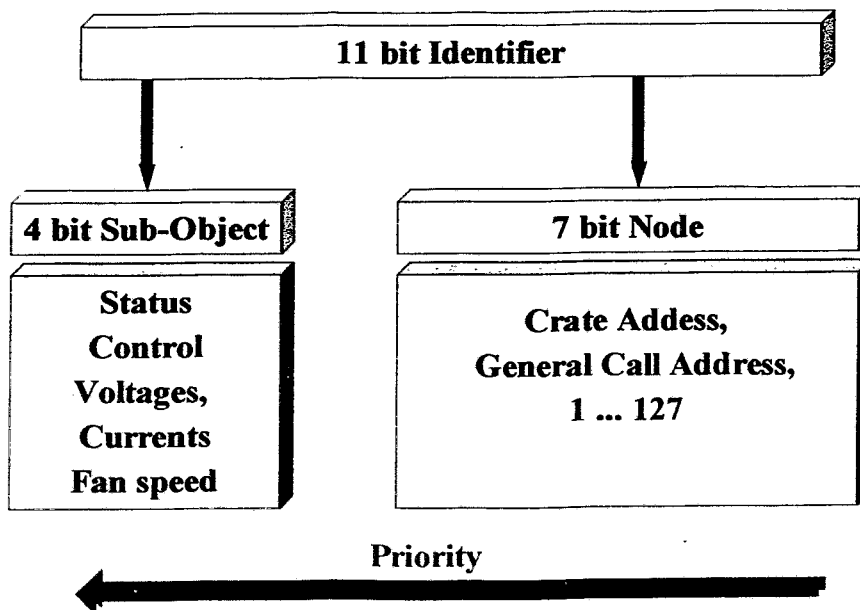
2.1. Grundprinzipien der Crate-Überwachung

- Basis: μ -prozessorüberwachte W-IE-NE-R Lüfterschublade
- Anforderungen:
 - ⇒ effiziente und zuverlässige serielle Kommunikation,
 - ⇒ maximal ca. 100 Crates pro Netzwerk
 - ⇒ Netzwerklängen bis ca. 100m (500kBits/s)
 - ⇒ intelligentes Protokoll mit automatischer Fehlermeldung
- zu überwachende Parameter:
 - Status
 - alle Spannungs- und Stromwerte
 - alle Lüfterdrehzahlen
 - Temperaturen
- Fernbedienungsfunktionen:
 - Ein / Aus
 - VME System Reset
 - Änderung der Lüfterdrehzahlen.
- vollständige Servicefunktionen (Ferndiagnostik)



2.2. CAN - Bus Protokoll (1)

- Standard Data Frame (11-bit ID)
- Berücksichtigung OSI-Layer7 Protokolle: CMS-CAL
- 2 Adressen je Crate (single, globale und Blockfunktionen)
- Aufteilung des 11-bit Identifierbereiches



⇒ 127 gleichberechtigte Nodes (Crateadressen),

⇒ 13 prioritätsbestimmende Funktionen,

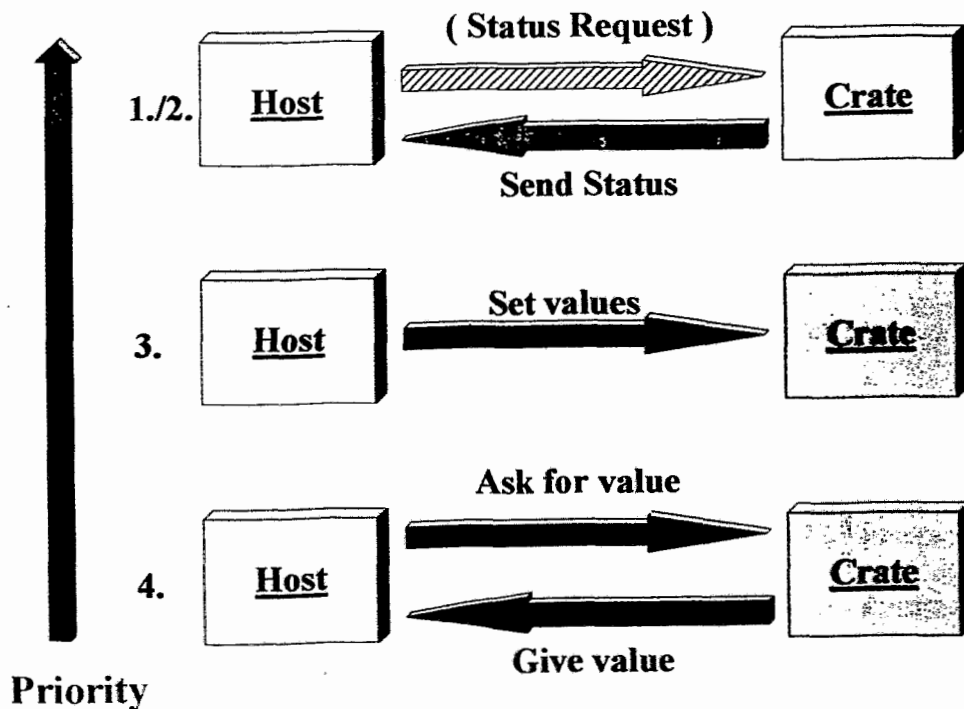
- genutzer ID-Bereich: 1 ... 1663 (CAL-CMS konform),
- Kompatibilität zu existierenden Protokollen (BESSY)

2.2. CAN - Bus Protokoll (2)

- Message Exchange Prinzipien:

1. Write Data to Host: Status (failure messages)
Data Frame
2. Read Crate Data: Monitoring (Status, U, I, Temperatures, ...)
Remote Frame
3. Write Data to Crate : Control (On/Off, Sysres, ...)
Data Frame
4. Indexed Read-Write: Read-Out / Control (Config., Service, ...)
Indexed data request

- Message Exchange:



Can-bus data transfer

2.3. Technische Realisierung CAN-Lüfterinterface

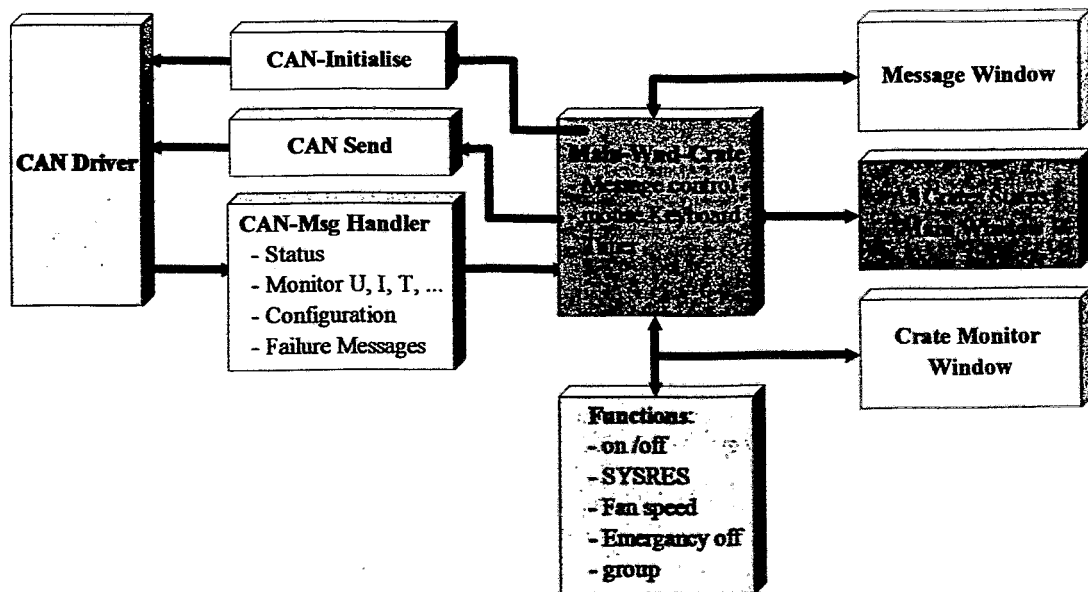
- Plug-On-Board (105mm x 60mm) für Lüfterprozessorkarte für
 W-IE-NE-R Lüfter: VME UEL 4020 (DESY spec.),
 VME UEL 425 (CERN spec.),
 CAMAC UEL 03M,
 NIM UEL 03M.
- CAN Controller Typ: P80C592 (CAN 2.0A protocol)
- Physical Layer: differential according to ISO 11898
- Transceiver: PCA82C250,
 opto-isolated,
 rise and fall slope control
- CAN Connector: Front panel: 9-pin D-Sub male (CiA DS 102-1)
 Rear Side : at 15-pin D-Sub CERN-Monitoring
 (* optional, 4020 bins only)

Pin	Line	Comment
1	-	reserved by CiA
2 (10*)	CAN L	CAN L bus line (dominant low)
3 (9*)	GND	Ground
4	-	reserved by CiA
5	-	reserved by CiA
6	-	
7 (11*)	CAN H	CAN H bus line (dominant high)
8	-	reserved by CiA (failure signal)
9	-	

- max. Transmission rate 1.6 Mbit / s
- Crate fan tray operations and display:
 - Node-ID (station number or disabled)
 - General call address (or disabled)
 - Transmission rate

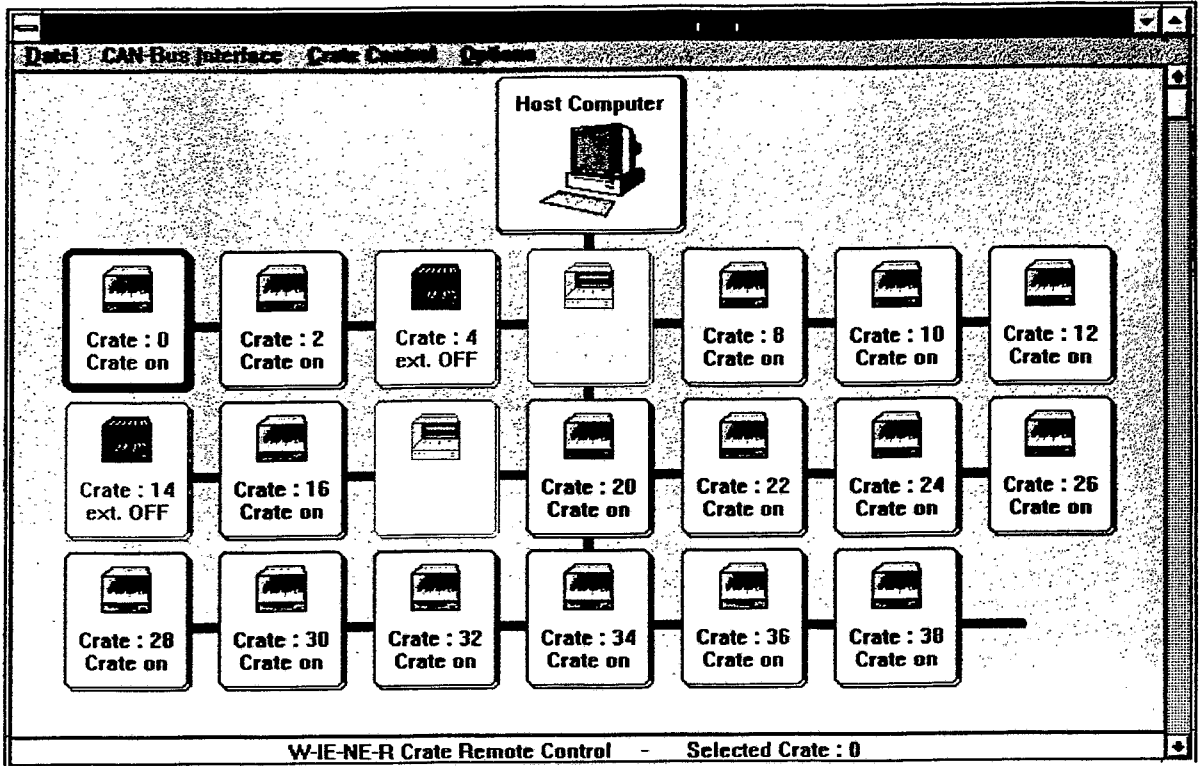
3. Software Crate - Manager

- Windows 3.11 / Win 95 Programm,
- Übersicht (Status) für bis zu 127 Crates,
- Message-Generierung(opt.):
 - Crate lost / found
 - Crate failure
 - changed status
- Single Crate Monitor:
 - Status
 - alle Spannungen und Ströme,
 - Temperaturen
 - Lüfterdrehzahlen
- Funktionen:
 - on / off
 - Lüfterdrehzahl
 - SYSRES
 - Emergency ALL Off
- Nutzung CAN P16 Treiber, variable Datenrate bis 1Mbit/s



- CAN Crate Manager

- Main-Window

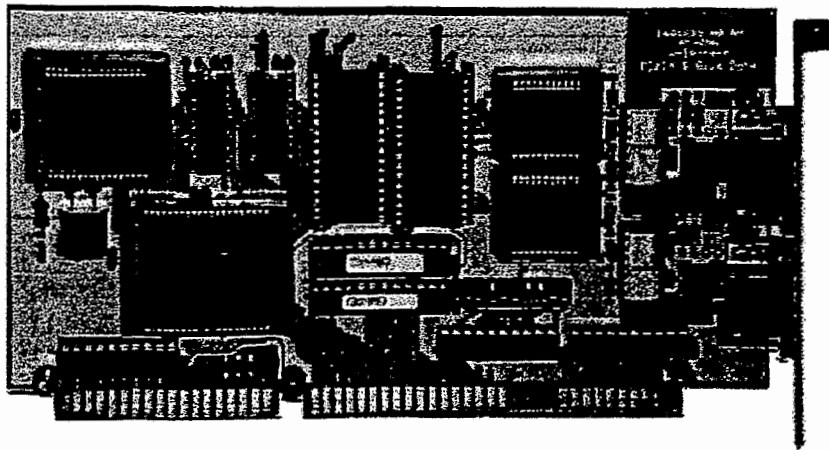


- Main-Window

Crate Monitoring							
W-IE-NE-R Crate Remote Monitoring							
Crate Number:		2		Crate on			
Channel	Voltage	Current	Crate Temperatures				
0	5.0	1.60	Fan Air Inlet : 32 °C				
1	12.0	0.06	Power Supply : 49 °C				
2	15.0	0.04	Bin (opt.) : 28 °C				
3	0.0	0.00					
4	-5.2	0.40					
5	-12.0	0.12					
6	-15.0	0.10					
7	-2.0	1.20					
Set	Fan1	Fan2	Fan3	Fan4	Fan5	Fan6	RPM
1080	1140	1080	1140	0	0	0	
Fan tray ident		: H1 5.00					
CAN-bus software version:		CAN1.00					

4. CAN-Bus PC Interface CANP 16

- intelligent high-performance IBM-PC CAN-bus interface, for 1 or 2 independent CAN networks
- Full CAN controller Intel 82527
- on-board processor 80C186LX/32MHz (0 waitstates) with 256 kbyte RAM and 8/16 kbyte dual ported S - RAM
 - ⇒ up to 20kHz message-rate!
- ISA bus 16 bit interface
- compatibel to CAN 2.0 A and B protokol - Extended Data Frame !
- networks galvanically isolated against each other and from PC
- Physical Layer: differential according to ISO 11898
- Transceiver: opto-isolated, rise and fall slope control
- CAN connector: 1 or 2 DSUB 9-Pin (CiA DS 102-1)
- max. Baudrate: 1.6 Mbaud
- Software: driver / libraries for DOS and MS Windows, software examples



Das GRapisch Interaktive Projektier System - *GRIPS* zur Programmierung von Prozeßsteuerungen

Borutta, Hans und Apelt, Raik: Ingenieurbüro Wächter GmbH Sömmerda

Die Programmiersprache GRIPS, eine graphische Ablaufsprache für Prozeßsteuerungsautomaten auf der Basis von Mikrocontrollern, zwingt mit sanftem Druck bereits in der Entwurfsphase zum strukturierten Denken bei der Konzeption einer Prozeßablaufprogrammierung.

Hardware

Die Modulare Kommunikative Steuerung MKS 16 mit dem Herzstück MKS 16 MCU und SAB 80C166 als Prozessor, der mit 40 MHz getaktet wird, kann entsprechend der Aufgabenstellung aus verschiedenen Modulen so angepaßt werden, daß eine optimale Konfiguration angewendet wird. (Bild 1)

Im Prinzip nutzt man eine Speicher Programmierbare Steuerung (SPS) aber mit einer völlig andersgearteten Programmierphilosophie.

Anwendung

In folgenden Bereichen kam die MKS 16 mit Programmen, die mit dem Werkzeug GRIPS entstanden sind, zur Anwendung:

- Fernwirktechnik (Datenübertragung und aktive Steuerung) bei der Trinkwasserversorgung des Thüringer Trinkwasserzweckverbandes „Thüringer Becken“ im Landkreis Sömmerda. (Bild 2)
- Steuerung und Überwachung von Kleinkläranlagen (Belebungs- und Tropfkörperkläranlage) beim Abwasserzweckverband „Finne“ im gleichen Kreisgebiet.
- Steuerung einer Unterschubfeuerungsanlage zur umweltschonenden Verbrennung von lackbeschichteten Holzresten
- Aufzeichnung von Rollgeräuschen großer Lager, die nach einer FFT und Auswertung mit Expertensystem frühzeitige Fehlererkennung zulassen und durch prophylaktische Reparaturmöglichkeit enorme Kostenersparnis bringt.
- Realisierung einer komfortablen Hausleittechnik mit LON Netzwerk zur Überwachung von Temperatur, Luftfeuchtigkeit und damit der Behaglichkeit ! in Wohneinheiten mit der Firma ISATECH Mühlhausen.
- Anwendung von FUZZY-Logik und neuronale Netze im eigenen Territorium bei nichtlinearen nicht determinierten Abläufen.

Prozeßvisualisierung

Die gesteuerten Abläufe sind über interaktive Prozeßvisualisierung anschaulich in den Leitzentralen zu überwachen. Im Bedarfsfall kann aktiv mit der Fernwirktechnik eingegriffen werden (Steuerung mit Rückinformation) und durch Anzeige von analogen und digitalen Meßwerten ist die Reaktion über große Entfernungen kontrollierbar. (Bild 3 und 4)

Kommunikation

Das Medium der Datenfernübertragung kann, entsprechend den Gegebenheiten in der Umgebung, beliebig gewählt werden. Dazu wird ein entsprechendes Kommunikationsmodul ausgesucht. Es sind gemischte Anwendungen in einem System möglich. (Bild 5)

Folgende Übertragungsarten sind wählbar: Standleitung, RS 232, Telefon mit Selbstwählmodem für den automatischen Alarmruf, Funktelefon, Bündelfunk oder

Betriebsfunk. Die Alarmierung beim Überschreiten vom Anwender programmierter Grenzen wird automatisch (Selbstwählvorgang) auf der Leitstation ausgegeben und mit Datum, Uhrzeit und Verursacher im Archiv gespeichert.

Software

Die Ablaufsprache GRIPS auf Basis der Hochsprache C hat folgende Systembestandteile (TOOLS): Compiler, Editor, Debugger, Linker. Die theoretische Grundlage ist die Theorie der Petrinetze. (Bild 6)

GRIPS zwingt den Softwarebearbeiter, ein Problem nach der Top-down-Methodik zu bearbeiten. Dadurch ist es möglich, daß der Prozeßtechnologie die Prozeßfolge beschreibt und damit den Rahmen für den Steuerungsprogrammierer vorgibt. Das vielen bekannte Problem, daß beide in einer unterschiedlichen Sprache sprechen, kann damit beseitigt werden.

Der Programmierer bewegt sich in einer komfortablen graphischen WINDOWS-Oberfläche. Mit Hilfe der Maus läßt sich der komplette Ablaufplan für das Steuerungsprogramm entwerfen.

Der Vorteil von GRIPS liegt dabei in der Möglichkeit, einen Gesamtprozeß in parallel ablaufende Teilprozesse zu zerlegen. Durch die Definition von Weiterschaltbedingungen lassen sich auf einfachste Weise Programmverzweigungen erreichen.

Dadurch öffnen sich völlig neue Möglichkeiten der Programmentwicklung für den Prozeßtechnologien.

Da GRIPS auf der Theorie der Petri-Netze aufbaut ist, sind folgende Grundelemente der Netze immer vorhanden: Knoten, Weiterschaltbedingungen, Verzweigungen, Zusammenführungen und Kanten. Damit sind nebeneinander laufende Aufgaben und ihre Realisierung in der sequentiell arbeitenden Steuerung problemlos möglich.

Dies gestattet den Test des Prozeßabbildes sowohl in graphischer Form auf der Ebene des Petri-Netzes als auch im Detail in den Petri-Netz-Elementen. Durch die Strukturierung des Programms ist ein nahezu realer Vergleich zwischen Theorie und Praxis möglich.

Die Ablaufsprache GRIPS bietet die Möglichkeit Befehle in der Umgangs- und Fachsprache zu beschreiben, den Ablauf und die Verknüpfungen jederzeit und ohne Probleme zu verändern. Es sind keine umfassenden Kenntnisse im Programmieren bzw. einer Programmiersprache erforderlich; lediglich etwas Syntaxwissen ist zu erlernen.

1. Es ist kein Programmierer erforderlich
2. Der Prozeßspezialist beschreibt den Ablauf
3. Das Programm wird graphisch in seiner Gesamtheit überschaubar

Durch die Anwendung des Graphischen Interaktiven Projektier Systems war in unserem Unternehmen eine Zeit- und Kostenersparnis von 47% bei der Realisierung von Projekten mit Prozeßsteuerungen im Rahmen der Softwareentwicklung möglich.

Modulare Kommunikative Steuerung MKS16

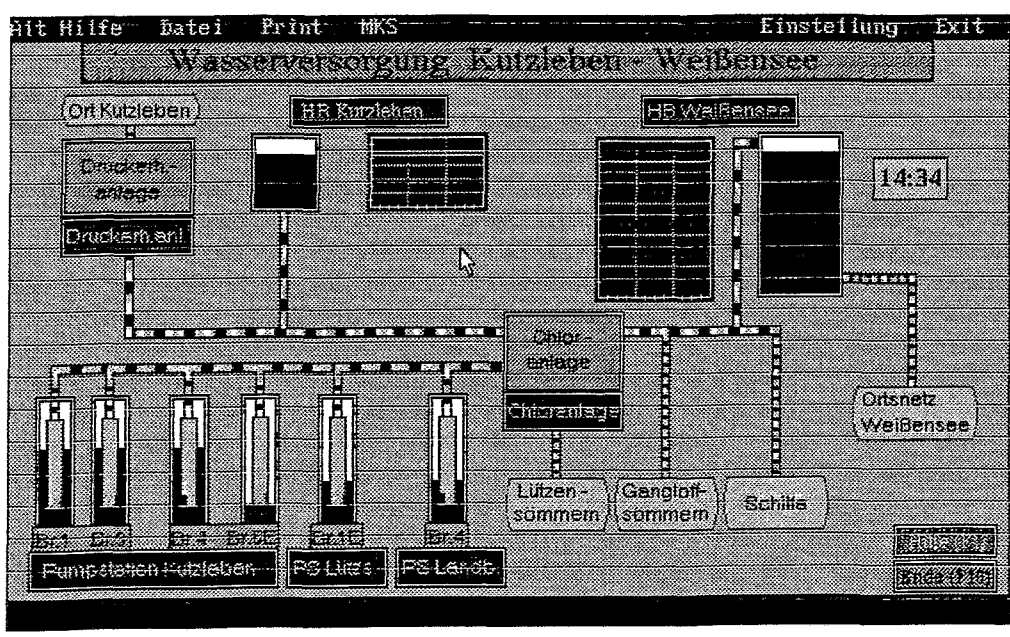
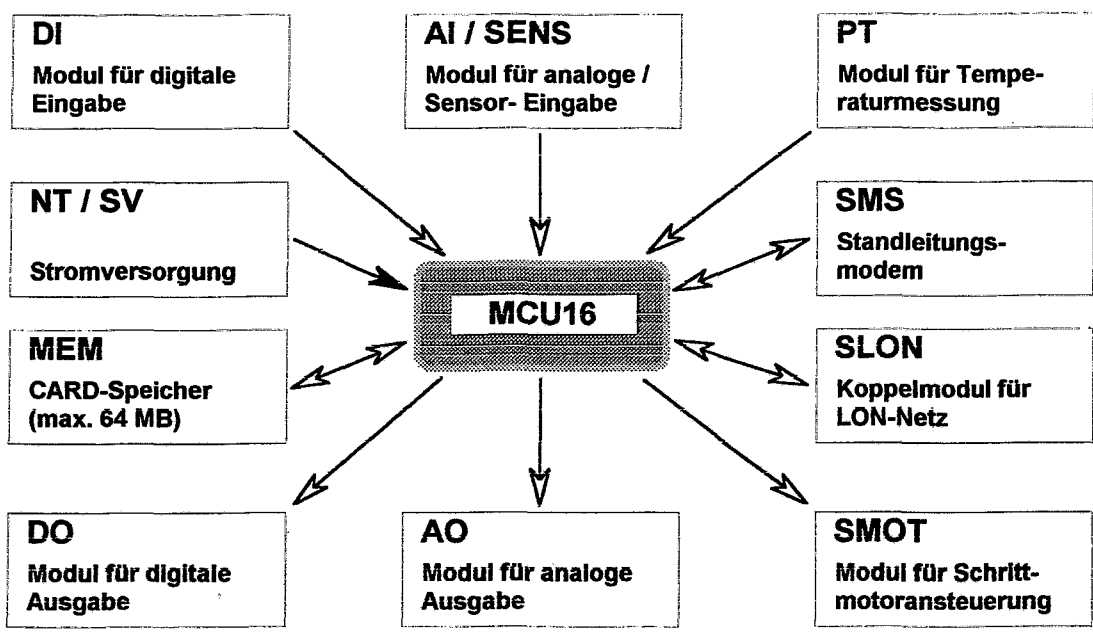
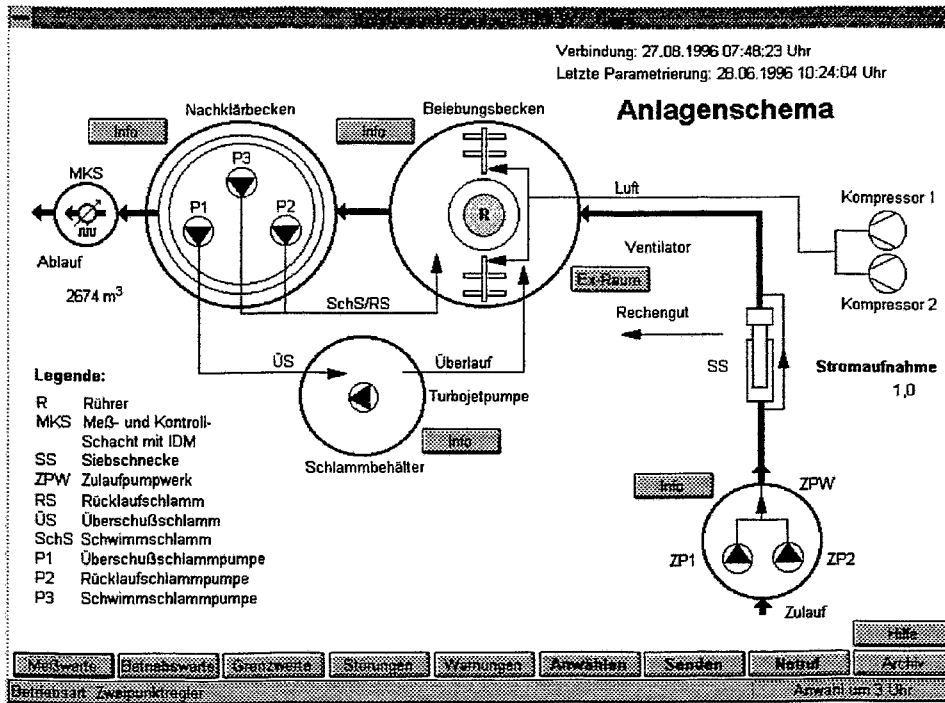
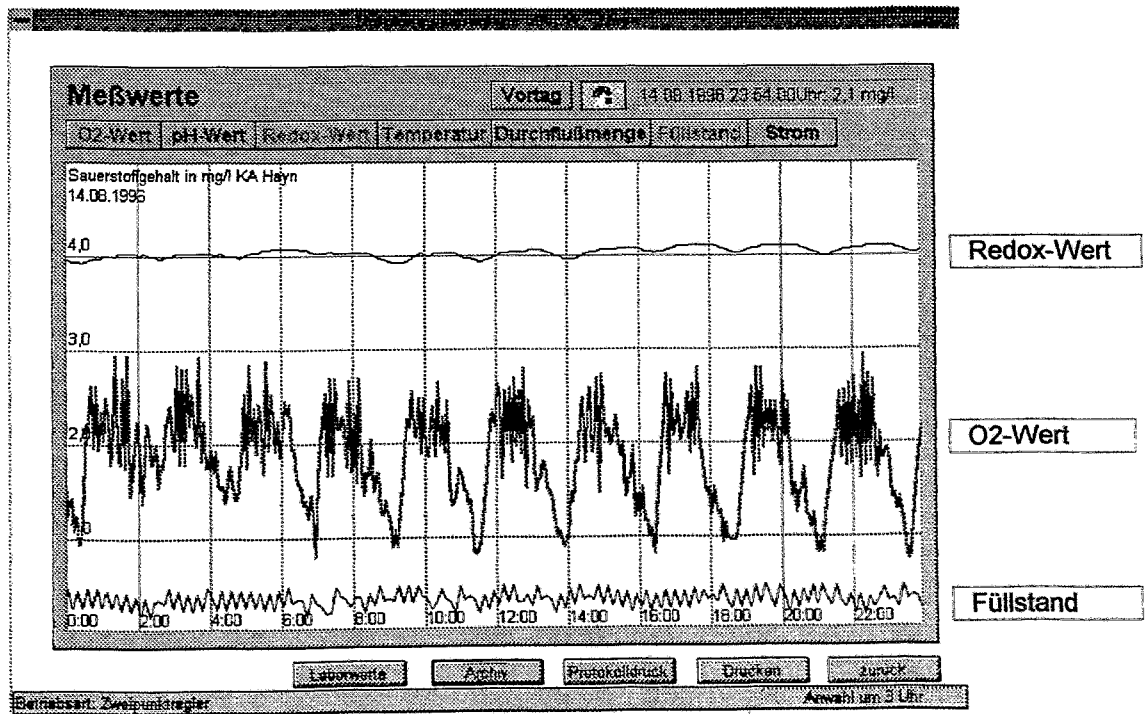


Bild 1 - 2

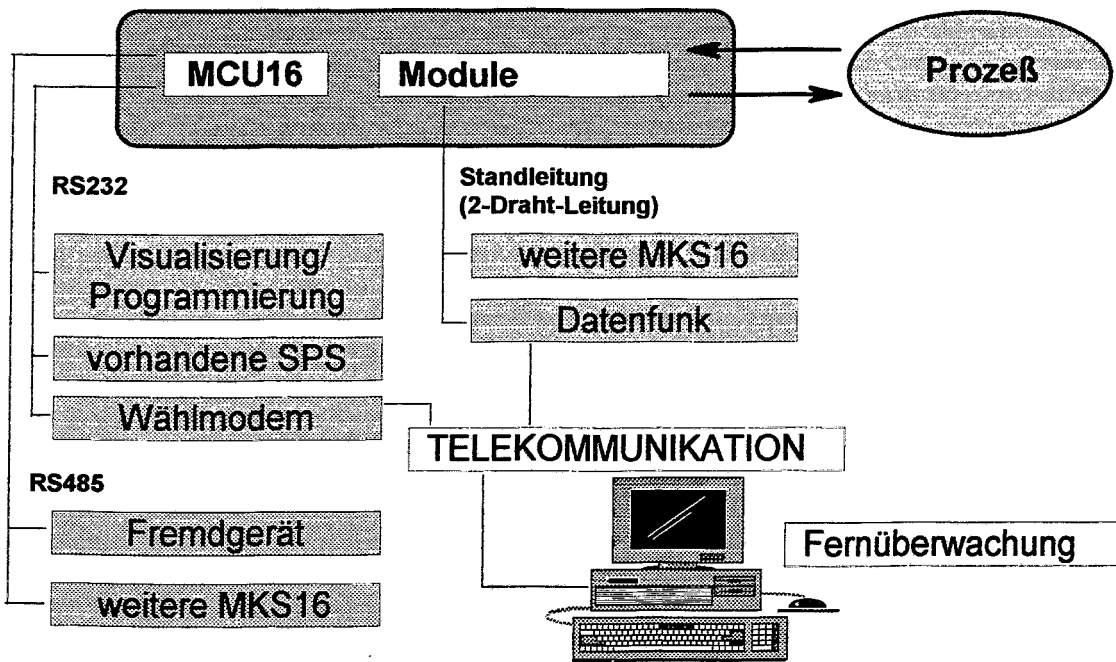
Anlagenschema Belebungskläranlage



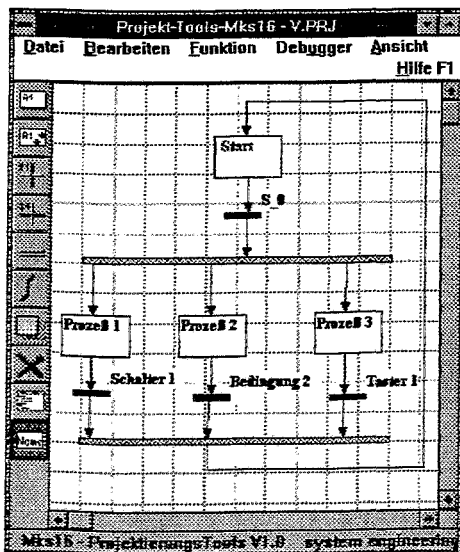
Überwachung und Beeinflussung der Anlagenbiologie



MKS16 - Kommunikationsmöglichkeiten



Programmierung mittels Petri-Netzen



Elemente der Petri-Netze:

- Knoten
- Weichschaltbedingungen
- Verzweigungen
- Zusammenführungen
- Kanten

DSP Entwicklungs-Board mit dem TMS320C30

Im Rahmen des DSP Projekts DH.02 -DSP in Frontend-Elektronik- ist ein Entwicklungs-Board mit dem digitalen Signal-Prozessor TMS320C30 von Texas Instruments entworfen worden und jetzt auch für externe Anwender verfügbar. In der digitalen Signalverarbeitung sind „Embedded Controller“ für Realzeitanwendungen heute unverzichtbar. Der 32-Bit Floating-point DSP lag bei der Schaltungsentwicklung als digitales Simulations-Model aus der „SmartModel Library“ von Synopsys vor. Er wurde in umfangreichen Simulationen, sowohl bei digitalen und analogen Schaltungen, als auch bei der Entwicklung der DSP Algorithmen eingesetzt.

H. Becker, M. Scheler, S. Tschirley

Entwicklungskonzept und Vorgehensweise

Das Projekt -DSP in Frontend-Elektronik- macht den Einsatz von Simulations-Werkzeugen führender DSP - und CAE/CAD- Anbieter notwendig. Für die Entwicklung von Regelalgorithmen, den Entwurf von digitalen Filtern, bei der Impulsformung und in der Datenvorverarbeitung (Event - und Koinzidenzbearbeitung) ist die DSP Station von Mentor Graphics eingesetzt worden.

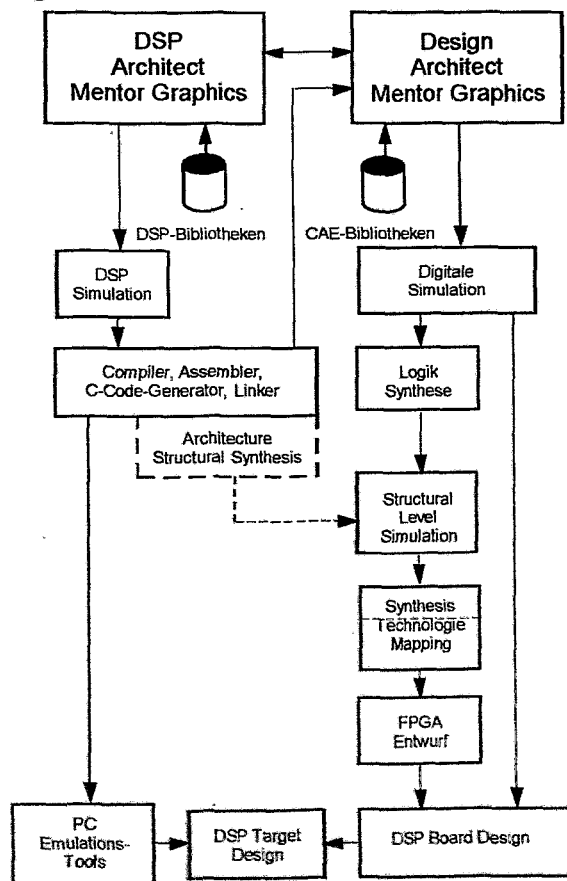


Bild 1: DSP-Entwicklungs- u. Simulationskonzept

Die DSP Station erlaubt die Spezifizierung von DSP Algorithmen nicht nur in den Hochsprachen DFL und C, sondern auch in grafischer Form. Hierbei ist jedes grafisches Symbol der umfangreichen DSP Bibliothek mit DFL-Code (Design Flow Language) unterlegt und gestattet anschließend die Simulation des Algorithmus im Zeit- und Frequenzbereich. Der Compiler übersetzt anschließend den entwickelten Algorithmus in den Assembler-Code des verwendeten Zielprozessors TMS320C30 (Bild1). Je nach Anwendungsfall kann auch C-Code erzeugt werden. Die Assembler und Linker sind Software-Produkte von TI und generieren den ablauffähigen Code.

Bei der Verwendung der komplexen digitalen „SmartModel Library“ von Synopsys ergeben sich nach dem Assemblieren erhebliche Vorteile bei der weiteren Schaltungs-Simulation. Hierbei wird der ablauffähige Code des übersetzten Algorithmus den Simulations-Modellen der verwendeten Speicher (EPROM AM27C010), oder dem internen RAM des DSP Modells über die MEM-File Property bekannt gemacht. Simulationstechnisch wirkt sich das so aus, als ob der Code in das entsprechende Memory geladen wird (Bild1). Nach dem Starten der Simulation, wird nicht nur der ausgeführte Assembler Code in Realzeit im entsprechenden Fenster des Simulators sichtbar, sondern von hieraus eröffnet sich ein weites Betätigungsfeld für die digitale- und analoge Schaltungs-Simulation der gesamten Hardware, die zum DSP Schaltungsentwurf gehört.

Bei dieser Vorgehensweise einer Schaltungsentwicklung vermeidet man mehrmalige Durchläufe des Entwicklungszyklusses, weil versteckte Entwurfs- und Programmierfehler frühzeitig entdeckt werden.

Aufbau und Funktionsweise

Die Daten- und Adressleitungen der beiden Ports (primary bus und expansion bus) des TMS320C30, sowie alle Interrupt-, Timer- und seriellen Signale sind über Stiftleisten zum Anschluß von externer Hardware herausgeführt worden (Bild 2). Das Board ist zusätzlich mit einem JTAG Interface ausgerüstet und bietet damit die Möglichkeit die von TI angebotenen Compiler, Assembler, Linker und Debugger zu benutzen.

Besonderer Wert wurde auf die Adressdekoder für die beiden Ports gelegt. Hiermit erhält der Anwender die Möglichkeit, unterschiedlichste Hardware über die beiden Ports zu selektieren. Für den primary bus steht ein schneller XILINX EPLD mit 5 ns und für den expansion bus ein AMD PAL 22V10H mit 7.5 ns Durchlaufzeit zur Verfügung. Die programmierbare Logik befindet sich auf Sockeln und ist somit vom Anwender selbst konfigurierbar. Mit dem bereits entwickelten und über Kabel anschließbaren 16-Bit breiten ADC- und DAC- Interface (ADS7805 und DAC712 von BURR-BROWN) ist das DSP Entwicklungs-Board flexibler, allgemeiner verwendbar und besitzt höhere Leistungsdaten als herkömmliche Starter Kits. Je nach externer Beschaltung arbeitet der DSP mit 0, 1 oder 2 wait states. Der Prozessor kann über die Reset Logik oder über den Debugger initialisiert werden.

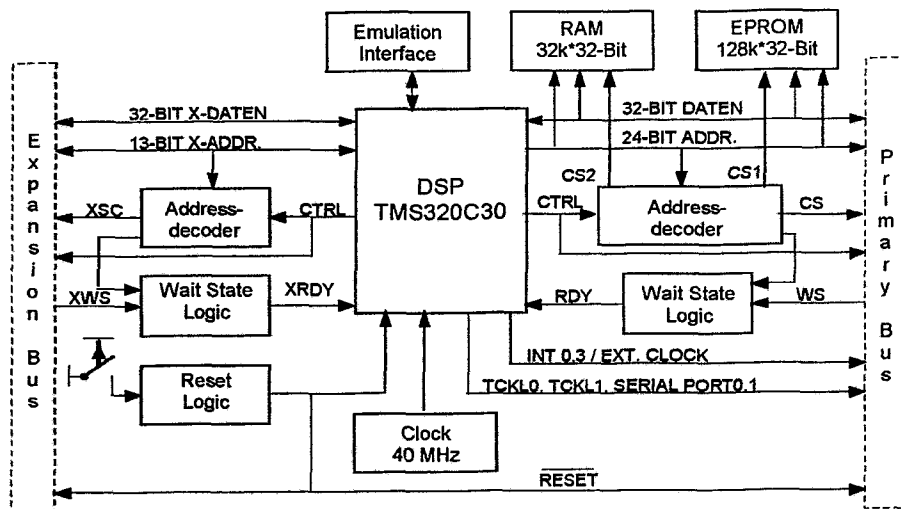


Bild 2: DSP Entwicklungs-Board

Ein boot-loader steht dem Anwender zum Kopieren seiner Programme vom 32-Bit EPROM ins interne RAM des DSP zur Verfügung.

- ADS7805 16-Bit 10 μ s Sampling CMOS ADC
 - DAC712 16-Bit DAC mit 16-Bit Bus Interface
- Die zusätzlichen analogen Komponenten beschränken sich auf die notwendigen Abgleichschaltungen für die Verstärkung, den Offset und Pufferverstärker für jeden Ein- und Ausgang. Die Anti-Aliasing- und Rekonstruktionsfilter werden vom Anwender aufge-

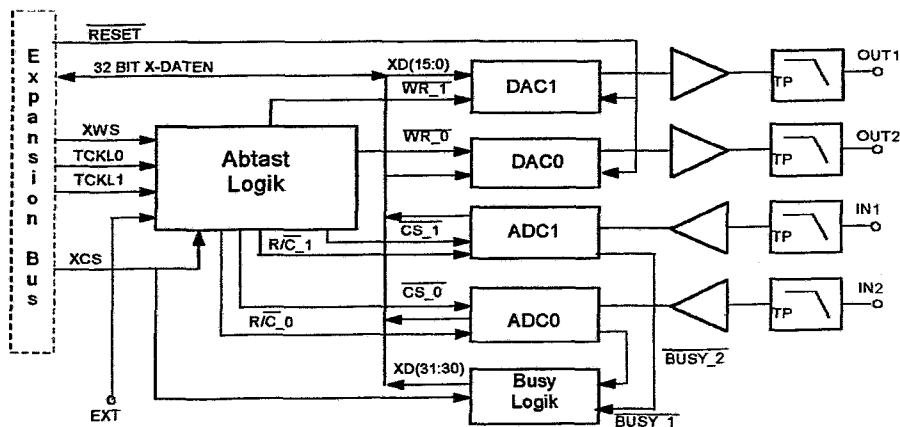


Bild3: Das AMI-16 ADC- DAC-Interface

Das Board im Überblick

- JTAG Interface
- 40 MHz System Clock
- 128K x 32-Bit EPROM AM27C010
- 32K x 32-Bit RAM M628032-15
- Wait state generator (0, 1, oder 2 wait states)
- Reset Logik
- Adressdecoder XILINX XC7336, 5 ns EPLD
- Adressdecoder AMD 22V10H, 7,5 ns PAL
- Stiftleisten zum Anschluß externer Hardware

Das ADC- DAC-Interface

Mit dem Board AIM-16 wird die Ankopplung des DSPs an die analoge Außenwelt ermöglicht. Es stehen zwei Kanäle mit einer Auflösung von 16-Bit bei einem Eingangsspannungsbereich von +/- 10V zur Verfügung (Bild 3). Verwendet werden folgende Umsetzer:

baut. Hierzu steht ein Lochrasterfeld zur Verfügung. Die Abtastraten können für ADU und DAU verschieden eingestellt werden. Als Eingangssignale dienen die zu programmierenden Timer-Signale des DSP oder externe Taktquellen. Die Abtastung geschieht über die Chip-Select-Signale des expansion Ports, wobei die notwendigen Steuersignale vom ADC-DAC-Interface selbst erzeugt werden. Das Interface ist extern über Flachbandkabel an das DSP Entwicklungs-Board anschließbar.

Das vielseitig verwendbare Entwicklungs-Board kann von der Abt. DH (Messechnik und Hardware) des Hahn-Meitner-Instituts Berlin GmbH im Rahmen des Technologietransfers für die mittelständige Industrie preisgünstig bezogen werden .

Hahn-Meitner-Institut Berlin GmbH
Datenverarbeitung und Elektronik, Abt. DH
 Tel. (030) 8062 2619/2583
 Fax (030) 8062 2548