

**FZR-226**

**Juli 1998**

**Archiv-Ex.**

**Bericht der Frühjahrstagung  
der Studiengruppe für  
Elektronische Instrumentierung  
vom 30. März bis 1. April 1998  
bei DESY in Hamburg**

**S**  
**E**  
**I**

Herausgeber:  
FORSCHUNGSZENTRUM ROSSENDORF  
Postfach 51 01 19  
D-01314 Dresden  
Telefon (03 51) 26 00  
Telefax (03 51) 2 69 04 61

Als Manuskript gedruckt  
Alle Rechte beim Herausgeber

---

Bericht der Frühjahrstagung  
der Studiengruppe für Elektronische Instrumentierung  
vom 30. März bis 1. April 1998  
bei DESY in Hamburg

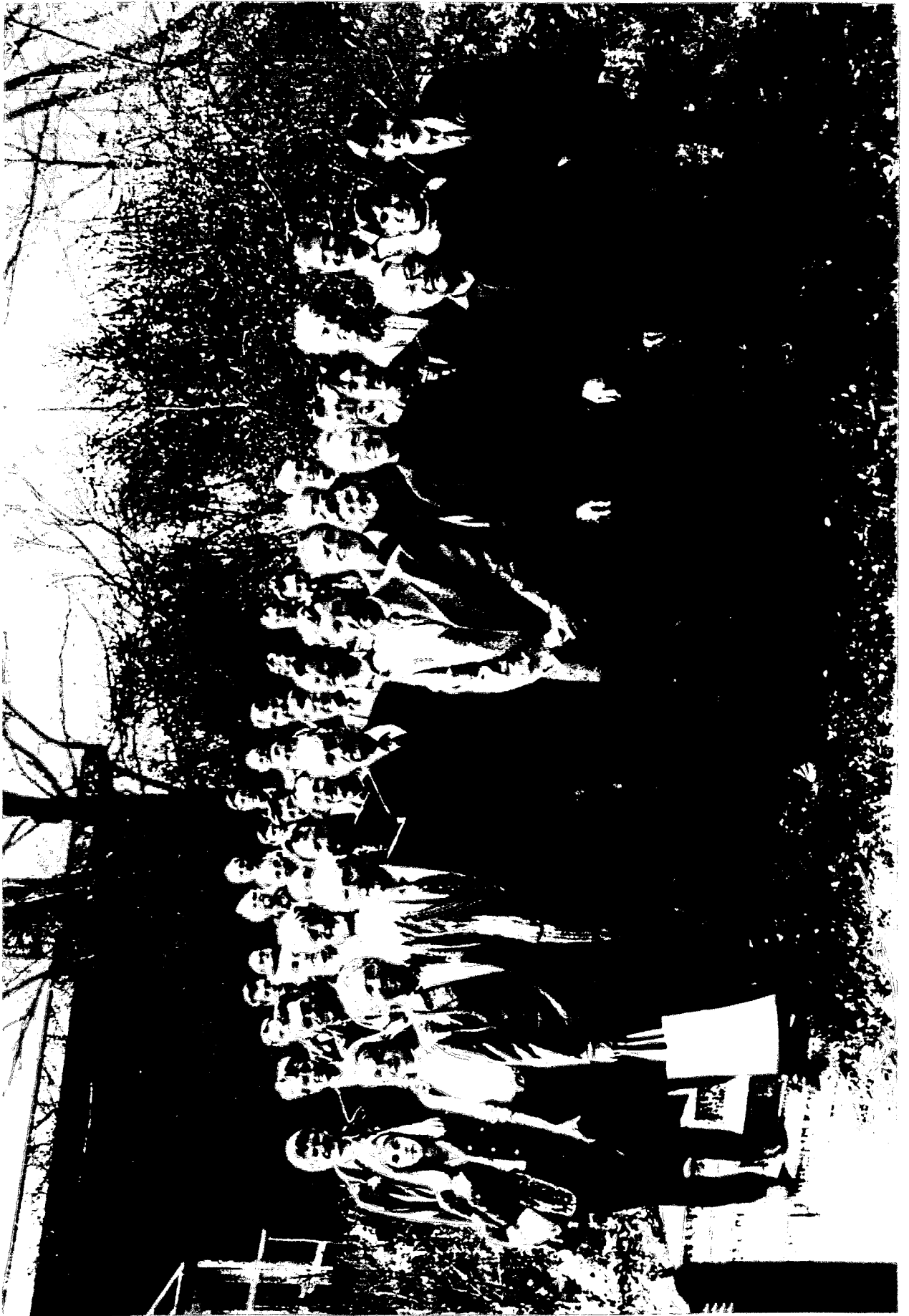
# Studiengruppe für Elektronische Instrumentierung



---

## Teilnehmerliste 30.03. bis 01.04.98 bei DESY in Hamburg

<i>Albrecht, Hans-Helge</i>	<i>PTB</i>
<i>Auckthun, Günter</i>	<i>MPI f. Strömungsforschung Göttingen</i>
<i>Badura, Eugen</i>	<i>GSI Darmstadt</i>
<i>Bastian, Claude</i>	<i>IRMM Geel</i>
<i>Boru, Mathias</i>	<i>Uni</i>
<i>Brandt, B.-A.</i>	<i>Kirchhain</i>
<i>Clausen, Matthias</i>	<i>DESY Hamburg</i>
<i>David, Dörte</i>	<i>DESY Hamburg</i>
<i>Deutsch, Werner</i>	<i>MPI f. Strömungsforschung Göttingen</i>
<i>Frommberger, Frank</i>	<i>Uni Bonn</i>
<i>Gabriel, Frank</i>	<i>FZ Rossendorf</i>
<i>Hansen, Karsten</i>	<i>DESY Hamburg</i>
<i>Hilgers Gerhard</i>	<i>PTB Braunschweig</i>
<i>Kennepohl, Klemens</i>	<i>FZ Jülich</i>
<i>Knoll, Detlef</i>	<i>DESY Hamburg</i>
<i>Krause, Helmut</i>	<i>Uni Hamburg</i>
<i>Kriens, Wilhelm</i>	<i>DESY Hamburg</i>
<i>Kühn, Wolfgang</i>	<i>WES - Crates</i>
<i>Landrock, Konrad</i>	<i>Strahlenmeßtechnik Coswig</i>
<i>Lehmann, Michael</i>	<i>DESY Hamburg</i>
<i>Martin, Michael</i>	<i>HMI Berlin</i>
<i>Matsumura, Hajime</i>	
<i>Meisel, Ulrich</i>	<i>HMI Berlin</i>
<i>Menzel, Marc</i>	<i>Uni Marburg</i>
<i>Meß, Karl Hubert</i>	<i>DESY Hamburg</i>
<i>Meyer, Ullrich</i>	<i>DESY Zeuthen</i>
<i>Mihlan, Heinz F.</i>	<i>PTB Braunschweig</i>
<i>Möbius, Walter</i>	<i>Uni Konstanz</i>
<i>Müller, Ute Carina</i>	<i>DESY Hamburg</i>
<i>Nietzel, Christian</i>	<i>Uni Bonn</i>
<i>Notz, Dieter</i>	<i>DESY Hamburg</i>
<i>Ortmann, Matthias</i>	<i>DV - Ruhr - Uni Bochum</i>
<i>Panagopovlov, Anna</i>	<i>IRMM Geel</i>
<i>Paul, Hans-Joachim</i>	<i>Uni Hannover</i>
<i>Reckleben, Christian</i>	<i>DESY Hamburg</i>
<i>Rehlich, Kay</i>	<i>DESY Hamburg</i>
<i>Reinecke, Mathias</i>	<i>DESY Hamburg</i>
<i>Riege, Harald</i>	<i>Uni Hamburg</i>
<i>Rüschmann, Gustav</i>	<i>Uni Frankfurt / Main</i>
<i>Schütt, Jürgen</i>	<i>Uni Hamburg</i>
<i>Stein, Michael</i>	<i>MPI f. Kernphysik</i>
<i>Stollfuß, Detlef</i>	<i>PTB</i>
<i>Stolper, Matthias</i>	<i>DESY Hamburg</i>
<i>Welt, H. J.</i>	<i>Uni Bonn</i>
<i>Wieder, Volker</i>	<i>MPI Heidelberg</i>
<i>Wolff, Ulrich</i>	<i>MPI f. Strömungsforschung Göttingen</i>
<i>Zillikens, Hans-Peter</i>	<i>FZ-Jülich</i>
<i>Zimmermann, Egon</i>	<i>FZ-Jülich</i>



# Verzeichnis der Vorträge

	Seite
Ein Silizium-Multielement-Driftdetektorsystem für die Röntgenholographie und -spektroskopie <b>Hansen, Karsten</b> <i>DESY Hamburg</i>	1
GPFC – ein General Purpose Fieldbus Controller <b>Clausen, Matthias</b> <i>DESY Hamburg</i>	5
Ein hochempfindlicher Zweizeilen-Detektor mit großem dynamischen Bereich für die nichtinvasive Koronarangiographie <b>Lohmann, Michael</b> <i>DESY Hamburg</i>	7
Untersuchung von Sigma-Delta Modulatoren <b>Albrecht, Hans-Helge</b> <i>PTB Berlin</i>	10
Ein Pixeldetektor als Strahlagenmonitor für TTF-FEL am DESY <b>Müller, Ute Carina</b> <i>DESY Hamburg</i>	15
Parameterextraktion bei bipolaren Transistoren <b>Reckleben, Christian</b> <i>DESY Hamburg</i>	18
HERA Protonen Frequenzsteuerung <b>Kriens, Wilhelm</b> <i>DESY Hamburg</i>	22
Real Time Digital RF Control for the TESLA Test Facility <b>Rehlich, Kay</b> <i>DESY Hamburg</i>	26
Modulares Meßdatenerfassungssystem mit DSPs und FPGAs <b>Zimmermann, E.</b> <i>FZ Jülich</i>	31
Ein optisches Übertragungssystem zur Meßdatenauslese <b>Reinecke, Matthias</b> <i>DESY Hamburg</i>	34
Die Ausregelung mechanischer Oszillatoren <b>Nowack, Gerd</b> <i>Ruhr-Uni Bochum</i>	38
Event list sorting in JAVA <b>Bastian, C.</b> <i>IRMM Geel / Belgien</i>	42
Schnelle Mustererkennung als Trigger für das Kaon Spektrometer <b>Menzel, Marc</b> <i>Uni Marburg</i>	50
Demonstration flexibler FPGA basierender VME Elektronik an Hand der SIS72xx/7600 Scaler/Latch Familie <b>Kirsch, Matthias</b> <i>Fa. Dr. Struck Tangstedt</i>	54
VME-Crate-Interface-Anpassung an unteschiedliche CAN-Protokolle <b>Kühn, Wolfgang</b> <i>Wes-Crates GmbH</i>	58
CAMAC Multifunktionsmodul für Zähler- und Triggeranwendungen <b>Heidt , Werner F.</b> <i>Heidt Industrie Technik Pfungstedt</i>	65
Benefits of long Memory in DSOs <b>Such, Peter</b> <i>LeCroy Europe GmbH</i>	69

# EIN SILIZIUM-MULTIELEMENT-DRIFTDETEKTORSYSTEM FÜR DIE RÖNTGENHOLOGRAPHIE UND -SPEKTROSKOPIE

*K. Hansen (DESY-FEC)*

**Kurzfassung:** Das Konzept eines modular aufgebauten, 900-kanäligen Silizium-Driftdetektorsystems für röntgenholographische und -spektroskopische Experimente mit atomarer Auflösung wird vorgestellt. Es sollen Photonen im Energiebereich zwischen 250 eV und 30 keV mit einer Auflösung von 12 Bit gemessen werden. Am Beispiel dieser Systementwicklung werden FEC-interne Tätigkeitsfelder vorgestellt.

## 1 Einleitung

In den vergangenen Jahren wurden deutliche Fortschritte bei der Entwicklung und Fertigung orts- und energieauflösender Silizium-Röntgendetektoren erzielt. Am Halbleiterlabor des Max-Planck-Instituts in München gelang die monolithische Integration hochempfindlicher Driftdetektorzellen mit Feldefekttransistoren auf der Basis hochohmiger Siliziumsubstrate [1]. Am HASYLAB wird dieser Detektortyp in der Arbeitsgruppe um G. Materlik auf dem Gebiet der Röntgenholographie genutzt [2]. Die monochromatische Referenzwelle eines Synchrotronstrahls baut innerhalb der zu untersuchenden Probe ein Interferenzfeld auf und regt die Atome zur Fluoreszenz an. Der Detektor weist die schwache Fluoreszenzstrahlung energiedispersiv nach. Seine elektrischen Signale geben Aufschluß über die räumliche Struktur der Materialien, wenn sich derartige Messungen über den Raumwinkelbereich einer Halbkugel oberhalb der Probe erstrecken. Die bislang übliche Verwendung einzelliger Detektoren erfordert dabei eine mechanisch aufwendige Drehung der Probe-Detektor-Anordnung in der einfallenden Synchrotronstrahlung. Um die charakteristischen Linien innerhalb des Spektrums mit der erforderlichen Genauigkeit nachweisen zu können, sind beispielsweise etwa  $2 \cdot 10^6$  Einträge pro Raum-

winkelement notwendig. Bis zu einer Ereignisrate von etwa 150 kHz lassen sich die Linien ohne größere Beeinträchtigungen ihrer Breite bestimmen. Dabei können etwa 7200 Aufnahmen unter verschiedenen Einfallswinkeln für ein vollständiges Hologramm notwendig sein. Insgesamt ergibt sich dann eine Meßzeit von etwa 1 Tag. Dabei trägt jedoch die Fluoreszenz von ungefähr 10000 Atomlagen zur Hologrammfassung bei.

Der Einsatz entsprechender Detektorarrays ermöglicht dagegen eine simultane Erfassung der Fluoreszenzlichtes unter Verzicht der sonst üblichen Präzisionsdrehbewegungen. Auf diese Weise kann der Anwender die Meßzeit bei gleicher Auflösung deutlich reduzieren oder aber die Auflösung meßzeiterhaltend verringern. Im Rahmen dieses Beitrages sollen die technischen Aspekte einer entsprechenden Systementwicklung beleuchtet und gleichzeitig FEC-interne Tätigkeitsfelder vorgestellt werden.

## 2 Systemkonzept

Die technische Realisierung eines kugelsymmetrischen Multielement-Detektors knüpft an die gekappte Ikosaeder-Struktur der C<sub>60</sub>-Fullerene (Bucky Ball) an. Zehn hexagonale Module bilden ein inneres Grundgerüst, dessen polabgewandten, pentagonalen Lücken

von fünf weiteren Modulen abgedeckt werden. Bild 1 zeigt den angedachten Aufbau eines Driftdetektors mit insgesamt 900 Bildelementen. Der ideale Kugelradius beträgt ca. 3,6 cm. Es wird eine Raumwinkelauflösung von etwa  $4^\circ$  erreicht. Die zugrundelie-

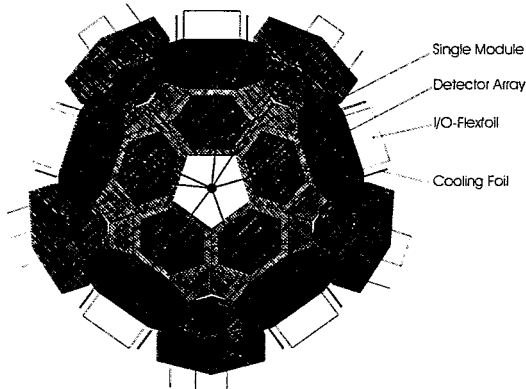


Bild 1: 3D-Ansicht des Detektoraufbaus.

gende Detektortechnologie erfordert den Einsatz konventioneller Drahtbondtechniken zur elektrischen Kontaktierung der Bildelemente. Pro Element mit einer sensitiven Fläche von  $5 \text{ mm}^2$  sind insgesamt 6 Anschlüsse zu realisieren. Aufgrund der notwendigen, parasitätsarmen Ankopplung ist die analogsignalverarbeitende Elektronik detektornah zu integrieren. Diese Rahmenbedingungen führen auf eine Anzahl von 60 Bildelementen pro Array und Modul. Die erwartete Leistungsaufnahme von bis zu  $30 \text{ mW}$  pro Kanal entspricht einer Leistungsdichte von  $0,5 \text{ W/cm}^2$  und unterstreicht die Notwendigkeit einer Aufbaukonzeptionierung unter thermischen Gesichtspunkten. Die Wahl geeigneter Materialien ist ferner durch Formgebungs- und Fügetechniken bestimmt, berücksichtigt allerdings auch die besonderen Gesichtspunkte möglicher Rückstreuereffekte und Strahlenbelastungen.

Der experimentelle Nachweis monoenergetischer Quantenstrahlung ist natürlichen Linienverbreitungsmechanismen unterworfen. Korrelierte Ionisierungsereignisse innerhalb des Halbleiterdetektors (Fano-Rauschen)

und die Rauschmechanismen der nachgeschalteten Elektronik lassen bei Raumtemperatur eine Halbwertsbreite von etwa  $250 \text{ eV}$  erwarten. Bei einer Klassenbreite von  $7 \text{ eV}$  und einer angesetzten Grenze auf der nieder- und hochenergetischen Flanke einer gaußförmigen Linie von einem Fünzigstel des Spitzenwertes verteilen sich die Einträge auf eine angemessene Zahl von etwa 100 Klassen. Hinsichtlich des abzudeckenden Energiebereiches ist eine Unterschreitung von  $250 \text{ eV}$  wenig sinnvoll. Die sich aus den Anwendungen ergebende obere Grenze von ca.  $30 \text{ keV}$  erfordert demnach eine digitale Auflösung von 12 Bit. Unter Berücksichtigung einer Paarbildungsenergie von etwa  $3,7 \text{ eV}$  erstreckt sich der Dynamikbereich von ca. 70 bis  $8000$  Elektronen. Die Impulsantwort des Detektors ist durch die Ladungssammelzeit limitiert und ist charakterisiert durch Halbwertsbreiten im Bereich weniger  $100 \text{ ns}$ , wobei die Ereignisperiode einige  $100 \text{ ns}$  betragen kann (s.o.). Charakteristische Zeitkonstanten nachgeschalteter, analoger Funktionsblöcke wie der ladungsempfindliche Verstärker, das Filternetzwerk oder das Abtast- und Halteglied (s.a. Bild 2) addieren sich quadratisch hinzu und unterstreichen die Anknüpfung der Ausleseperiode an die DORIS-Umlaufperiode von etwa  $1 \mu\text{s}$ .

Die Auswerteelektronik empfängt neben den digitalisierten Energiewerten auch Steuer- und Zeitsignale. Der hierfür vorgesehene Überhang von ca.  $30 \%$  führt zusammen mit den  $12 \text{ Mbit/s}$  pro Pixel auf einen Gesamtdatendurchsatz von ungefähr  $14 \text{ Gbit/s}$ . Die digitale und optische Form der Signalübertragung empfiehlt sich wegen der inhärenten, hohen Störsicherheit und Mobilität.

Hinsichtlich des Datenumfanges ist von  $10^8$  Einträgen pro Pixel und Linie auszugehen. Die Energieauflösung und Pixelanzahl erfordert die Bereitstellung eines Histogrammspeichers der Größe  $10 \text{ MB}$ . Die Baugruppen der Datenübertragung und digitalen Signalverarbeitung werden als VME-Module ausge-



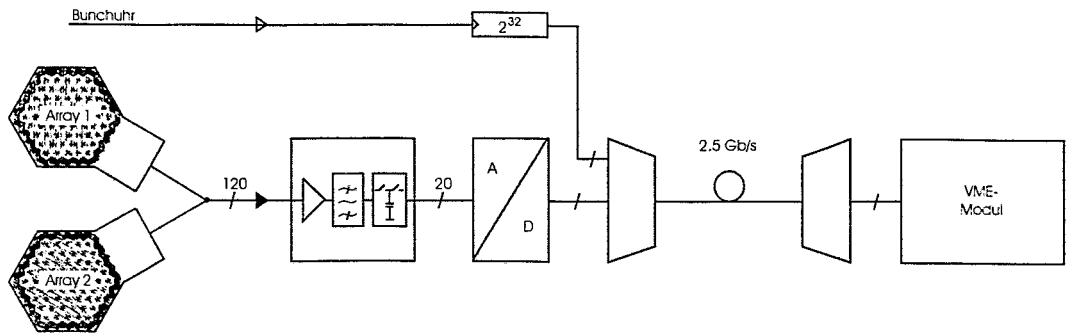


Bild 2: Blockschaltbild eines Teilsystems.

legt. Damit ist der Entwicklungsrahmen des anvisierten Gesamtsystems auf den Gebieten der Aufbau- und Verbindungstechnik, der Analogsignalverarbeitung, der Signalübertragung und digitalen Signalverarbeitung umrissen.

In einem ersten Schritt soll zunächst ein System mit 120 Kanälen entwickelt und realisiert werden. Im Rahmen eines von der EU geförderten multinationalen Projektes sollen diese Systeme für den Einsatz in drei verschiedenen Experimenten realisiert werden. Bild 2 zeigt das vereinfachte Blockschaltbild. Die Detektorsignale werden hinter einer 6:1-Multiplexstufe digitalisiert, das Übertragungssystem faßt diese und weitere Signale zu einem seriellen Datenstrom einer Datenrate von etwa 2,5 Gbit/s (SDH: STM16) zusammen und deserialisiert die Daten empfangsseitig in das originäre Format. Ein Multi-kanalanalysator histogrammiert die Energiewerte dergestalt, daß für jeden Kanal das volle Spektrum verfügbar ist. Eine VME-Baugruppe dient der Systemsteuerung und Rekonstruktion der 3D-Ansicht der untersuchten Struktur.

### 3 Stand der Entwicklungen

Für ein 7-zelliges Silizium-Driftdetektor-Array wurde ein ladungsempfindliches Verstärkungs- und ein Vorspannungsmodul auf der Basis gehäuseter und kommerzieller Bausteine entwickelt. Untersuchungen zum Detektorverhalten unter verschiedenen, anwen-

dungsrelevanten Betriebsbedingungen begleiten die gerade angelaufene Entwicklung der angestrebten Vielkanalversion. Der momentane Integrationsgrad gibt jedoch keinen Aufschluß über den FEC-internen Erfahrungsgrad bei der Entwicklung hybrid integrierter Schaltkreise. Daher soll dies anhand einer Elektronikentwicklung für die Auslese von Mikrostreifendetektoren des H1-Experimentes demonstriert werden. Bild 3 zeigt das

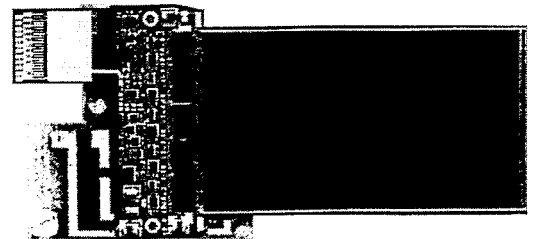


Bild 3: Multi-Chip-Modul (links) mit Mikrostreifendetektor (rechts) auf einer Trägeranordnung.

Modul mit 25 integrierten Schaltungen und 47 passiven Komponenten, hybrid integriert auf einer Gesamtfläche von 6,7 cm<sup>2</sup> und gefertigt in einer kostengünstigen Laminat-Technologie auf der Basis von Polyimidfolien. Dieser flexible Schaltungsträger wurde mit einer Aluminiumplatte der Dicke 500 µm verpresst. Das gleiche Modul wurde für Vergleichsstudien auch in einer Dünnschichttechnik realisiert [3]. Bis zu 640 Detektorkanäle werden sequentiell ausgelesen. Im Experi-

ment beträgt die Abtastrate etwa 1 MHz. Die Verlustleistung beträgt  $800 \mu\text{W}$  pro Kanal und entspricht einer Leistungsdichte von  $77 \text{ mW/cm}^2$ , wobei Temperaturen knapp oberhalb von  $30^\circ\text{C}$  erreicht werden. Zum Vergleich, in einem Driftdetektormodul ist eine siebenfache Leistungsdichte zu erwarten (s.o.).

Auf dem Gebiet der digitalen, optischen Signalübertragung wurde ein erster Prototyp der VME-Baugruppenversion entwickelt. Bild 4 zeigt das Sendermodul, daß die Da-

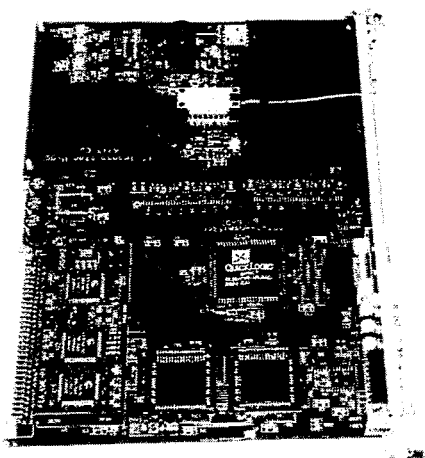


Bild 4: Prototyp des VME-Sendermoduls.

ten von 12 elektrischen, parallelen und synchronen Eingängen in einen optischen Datenstrom der Datenrate  $2,5 \text{ Gbit/s}$  zusammenfaßt. Die elektrische Schnittstelle unterstützt eine Datenrate von bis zu  $155 \text{ Mbit/s}$  pro Kanal. Die Leitungskodierung gestattet die Übertragung beliebiger Eingangsdatenströme.

Die Entwicklung einer monolithisch integrierten Verstärker-Filter-Schaltung für eine DORIS-synchrone Analogsignalverarbeitung befindet sich ebenfalls in einem sehr frühen Stadium. Bislang konzentrierten sich Chipentwicklungen auf eine Multiplexer-, Lasertreiber- und Transimpedanzverstärkerschaltung in BiCMOS-Technologie für platz- und

verlustleistungsoptimierte, optische Übertragungssysteme, die im Rahmen dieses Projektes jedoch nicht zum Einsatz kommen. Die für das Sendermodul in Form eines programmierbaren Bausteins entwickelten Funktionsblöcke könnten zu einem späteren Zeitpunkt mit diesen Teilschaltungen monolithisch integriert werden.

## 4 Zusammenfassung

Ein Konzept für ein modular aufgebautes Silizium-Multielement-Driftdetektorsystem für Experimente zwischen  $250 \text{ eV}$  und  $30 \text{ keV}$  wurde entwickelt. Die zur Energie der einfallenden Photonen proportionalen Ladungen von jeweils 120 Bildelementen werden jeweils ladungsempfindlich verstärkt und gefiltert, bevor sie im Zeitmultiplexverfahren mit einer Auflösung von 12 Bit digitalisiert und anschließend serialisiert über eine Glasfaser einem Analysator zur pixelweisen Histogrammierung zugeführt werden. Acht Systeme dieser Art würden benötigt, um zukünftig einmal ein Experiment mit 900 Elementen in kugelsymmetrischer Anordnung aufbauen zu können. Die Auflösung dieses System würde im Vergleich zum 1-Kanal-System um diesen Faktor verbessert oder die Meßzeit entsprechend verkürzt.

## Literatur

- [1] L. Strüder et al.: *High Resolution, High Speed Detectors with Integrated JFET Electronics*; Suppl. J. Phys. III d'avril 1997, (1997) C2-21
- [2] *Röntgenholographie im HASYLAB* *Echte Bilder von Atomen - und das in 3D*; Das Jahrbuch des Forschungszentrums DESY, DESY'98, (1998) 41
- [3] K. Hansen, M. Durica, H. Klär: *Thermal behaviour of front-end multi-chip modules*; Nucl. Instr. and Meth. A, im Druck

# GPFC

ein

## General Purpose Fieldbus Controller

Matthias Clausen, Bernd Schoeneburg (DESY)  
Serguei Zelepoukine, Piotr Vetrov, Alexander Sytin (IHEP)

Die Idee einen General Purpose Fieldbus Controller zu entwickeln entstand aus dem Bedürfnis heraus, einen vorhandenen Crate-Kontroller für den DESY-internen SEDAC Feldbus durch einen Kontroller zu ersetzen, welcher den Anschluß der SEDAC Crates an einen – oder möglichst (alternativ) mehrere – Feldbusse erlaubt.. Hierbei stand im Vordergrund, daß die zu entwickelnde Hardware und Software nicht nur für diesen speziellen Fall anwendbar ist, sondern universell einsetzbar ist.

Bei der Festlegung der technischen Daten standen folgende Aspekte im Vordergrund:

- Geringer Stromverbrauch, und damit geringe Wärmeentwicklung. Das System soll ohne aktive Kühlung betrieben werden können.
- Formfaktor der Platine möglichst ein Standardformat. Es wurde letztendlich das Europakarten-Format gewählt.
- Die Wahl der CPU wurde wesentlich durch die Wahl des Betriebssystems mit beeinflusst. Da als Betriebssystem nur VxWorks in Frage kommt (da es bereits mehrfach in der Gruppe MKS beim DESY im Einsatz ist), fiel die Wahl auf den aktuellen Mikrokontroller von Motorola: Coldfire. In der MCF5206-Version bietet dieser Mikrokontroller neben den erforderlichen Timern, Watchdog etc. sogar vollen DRAM-Support.
- Die Größe des DRAMs wurde durch den verfügbaren Platz auf der Platine und die aufgenommene Leistung begrenzt. In der Standardversion befinden sich 4MB auf der Platine.
- Als Bus zur Kommunikation mit der Außenwelt wurden der PC104-, der IP- und der PCI-Bus untersucht. Die Wahl fiel auf den IP ( Industry Pack) Bus, da der PC104 als reiner ISA Bus nicht genug Funktionalität aufweist, der PCI auf der anderen Seite jedoch für den geplanten Einsatz zu Komplex ist.
- Bei der Wahl der erforderlichen Betriebsspannungen wurde versucht, die Anzahl so gering wie möglich zu halten. Der GPFC kommt mit 5V Betriebsspannung aus.

Aktueller Stand:

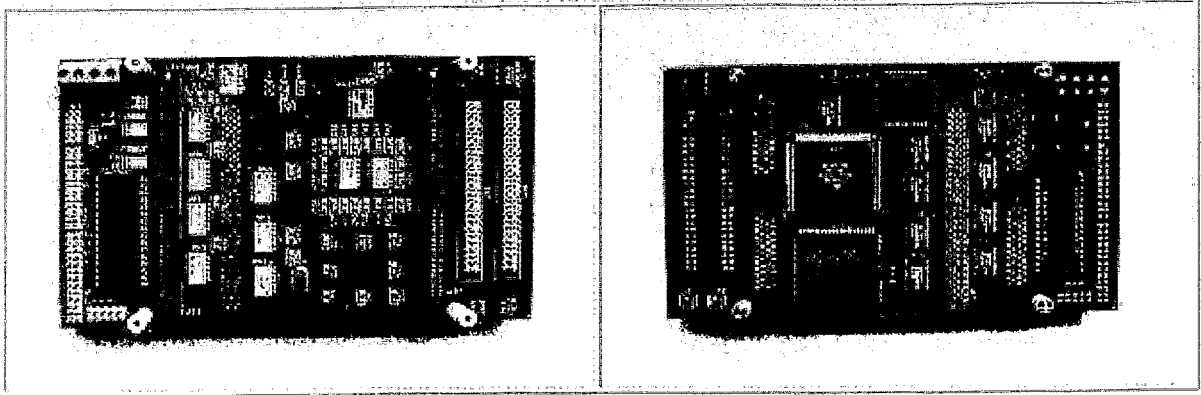
Das zweite Design des GPFC ist fertiggestellt. Es wurden nach einem Test von zwei Prototypen acht weitere Boards bestückt und getestet. Davon sind insgesamt neun Boards einsatzbereit. Es wurden zwei Applikationen mit Hilfe des GPFC realisiert:

1. Ein SEDAC Crate-Kontroller. In diesem Fall wird der GPFC auf eine Trägerkarte gesteckt, welche die erforderliche Peripherie ( LED, Reset-Button, RS232-Buchse, ext. Interrupt Buchsen usw) enthält. Die Trägerkarte ist zum einen direkt mit der SEDAC Backplane verbunden und auf der anderen Seite mit einem CAN IP-Modul auf dem GPFC. Die Applikations-Software wird komplett von einem EPROM geladen. Das Programm läuft unter VxWorks und liest die Daten von den Einschüben der SEDAC Backplane um die Daten einzeln auf den CAN zu schreiben. Ein zusätzlicher Hardware-Watchdog auf der Trägerkarte kann ein Hard-Reset des GPFC ausführen, wodurch ein sicherer Restart sowohl beim Halten der CPU als auch bei einem Fehler des Xylinx Kontrollers ermöglicht.
2. Die Daten auf dem CAN werden von einem zweiten GPFC in einem Euro-Crate gelesen. Dieser ist mit einem Ethernet IP-Modul bestückt und lädt den Betriebssystems-Kernel und die Applikation über das Ethernet.

Ausblick:

Weitere Applikationen für den GPFC werden z.Zt. vorbereitet. Es wird ein industrieller Partner für die Produktion des GPFC gesucht.

## Technical data summary



### Board form factor:

- 100x160 mm (3U Euromechanics).

### CPU:

- ColdFire MCF5206 (16 or 32 MHz).

### Memory resources (a single board configuration):

- 2 or 4 MB DRAM (soldered).
- 256 KB - 1 MB EPROM or 128 KB - 512 KB FLASH (32-pin socket).
- 8 or 16 KB EEPROM (soldered).

### I/O resources (a single board configuration):

- 2x IP (IndustryPack) modules.
- 2x UART channels (one is supplied with an onboard RS232 driver).
- 2x timers.
- 4x external interrupt inputs.
- 8-bit parallel I/O port (with a separate pin programming for IN/OUT).
- 8-bit parallel input port.

### Power consumption (a single board configuration):

- about 300 mA at +5V (without IP modules installed).

### Watchdog monitors:

- Supply voltage level monitor (5%),
- Watchdog timer (configurable).

### Operating/programming environment:

- VxWorks(R) and Tornado(TM) from WindRiver Systems.  
(Other RT kernels/systems can be ported as well).

# Ein hochempfindlicher Zweizeilen-Detektor mit großem dynamischen Bereich für die nichtinvasive Koronarangiografie

M.Lohmann

Fachbereich 7 Physik der Universität Gesamthochschule Siegen

## 1. Einleitung

Eine der häufigste Todesursache in der westlichen Welt ist der Herzinfarkt. Dabei liegt meistens eine Verengung der Herzkranzgefäße vor, die bei einem plötzlichen Verschuß den Herzinfarkt auslöst. Daher sind die Mediziner daran interessiert, diesen Verschuß rechtzeitig zu erkennen. Die zur Zeit übliche Methode zur Sichtbarmachung der Herzkranzgefäße ist das Röntgen nach Einbringen eines Kontrastmittels (Jod) über das arterielle System. Allerdings ist diese Methode risikobehaftet, da ein Katheter in die Arterien eingeführt werden muß. Daher wird diese Untersuchung nur nach strenger Indikation vorgenommen. Das Risiko könnte drastisch reduziert werden, wenn das Kontrastmittel intravenös injiziert werden könnte.

Beim HASYLAB am DESY wurde das System NIKOS entwickelt, welches eine intravenöse Kontrastmittelgabe ermöglicht. Dabei treten allerdings prinzipbedingt einige Probleme auf: Erstens kommt es zu einer erheblichen Verdünnung des Kontrastmittels von  $1/40$  bis  $1/50$ , da es von der Vene über die rechte Herzkammer, das Lungensystem und die linke Herzkammer in die Herzkranzgefäße gelangt. Zweitens kommt es zur Überlagerung mit größeren kontrastierten Strukturen. Und drittens stellt die schnelle Bewegung des Herzens ein Problem dar. Daher ist ein schneller, sehr empfindlicher Detektor mit hohem dynamischen Bereich notwendig.

Um den Kontrast erheblich zu verstärken, wird die Dichromographie benutzt. Dabei wird ein Bild vom Herzen mit Röntgenstrahlung bei einer Energie kurz unterhalb der K-Absorptionskante vom Jod und eines kurz oberhalb der Kante aufgenommen (Abb.1). Nach der Subtraktion dieser beiden Bilder bleibt im wesentlichen der Kontrastunterschied vom Jod übrig.

## 2. Der Detektor

### 2.1. Der Detektoraufbau

Als Detektor wird eine Zweizeilen-Ionisationskammer benutzt, die es ermöglicht, beide Röntgenstrahlen gleichzeitig aufzunehmen (Abb.2). Die zwei Kammern werden durch eine gemeinsame Driftkathode getrennt. In jeder Kammer ist ein Frisch-Gitter im Abstand von 3 mm von der Driftkathode eingebaut, welches die langsamen Ionen von den Anodenstreifen abschirmt. Die 336 Anodenstreifen pro Kammer bestehen aus 0,3 mm breiten vergoldeten Kupferstreifen im Abstand von 0,4 mm auf einer Leiterplatine. Diese Anodenstreifen sind innerhalb der Kammer 56 mm lang in Richtung der Röntgenstrahlen. Außerhalb der Kammer sind diese Streifen an die Ausleseelektronik angeschlossen. Als Konversionsgas wird eine Mischung aus 90% Kr und 10% CO<sub>2</sub> unter einem Druck von 13 bar benutzt.

### 2.1. Die Ausleseelektronik

Um die hohe Empfindlichkeit sowie den großen dynamischen Bereich zu realisieren, ist ein geeigneter Analog-Digital-Wandler (ADC) notwendig. Der 20-bit ADC DDC101 (Burr-Brown) genügt diesen Anforderungen prinzipiell. Die maximale Ladung pro Integration ist 500 pC. Die Ladungen werden digitalisiert, d.h. zu einer proportionalen Anzahl von Graustufen (GV) konvertiert ( $500 \text{ pC} \approx 2^{20} \text{ GV}$ ). Wegen des sehr empfindlichen Voverstärkers kann die Ladung bei sehr dünnen Patienten einen Wert bis zu 2500pC erreichen. Deswegen wird die Möglichkeit

des DDC101 ausgenutzt, mit einem 'set up mode' die Anzahl der Integrationen pro Konversion (L) einzustellen. Im NIKOS-System sind die Werte  $L=1,2,4$  und  $8$  programmierbar.

Weiterhin ist ein unipolar (20 bit) oder bipolar (19 bit) mode einstellbar. Allerdings muß für unsere Anwendung der 'unipolar mode' benutzt werden, weil der Rauschanteil des Wandlers im 'bipolar mode' etwa fünfmal höher ist. Im 'unipolar mode' können jedoch nur positive Ladungen ausgelesen werden. Im Falle einer schnell auszulesenden Ionisationskammer können wiederum nur die negativen Elektronen zur Auslese genutzt werden, da die Ionen viel zu langsam driften. Deshalb wurde eine Anpassungselektronik entwickelt, die aus einem Strom-Strom-Konverter mit einer Verstärkung von fünf besteht (Abb.3).

### 3. Die Eigenschaften

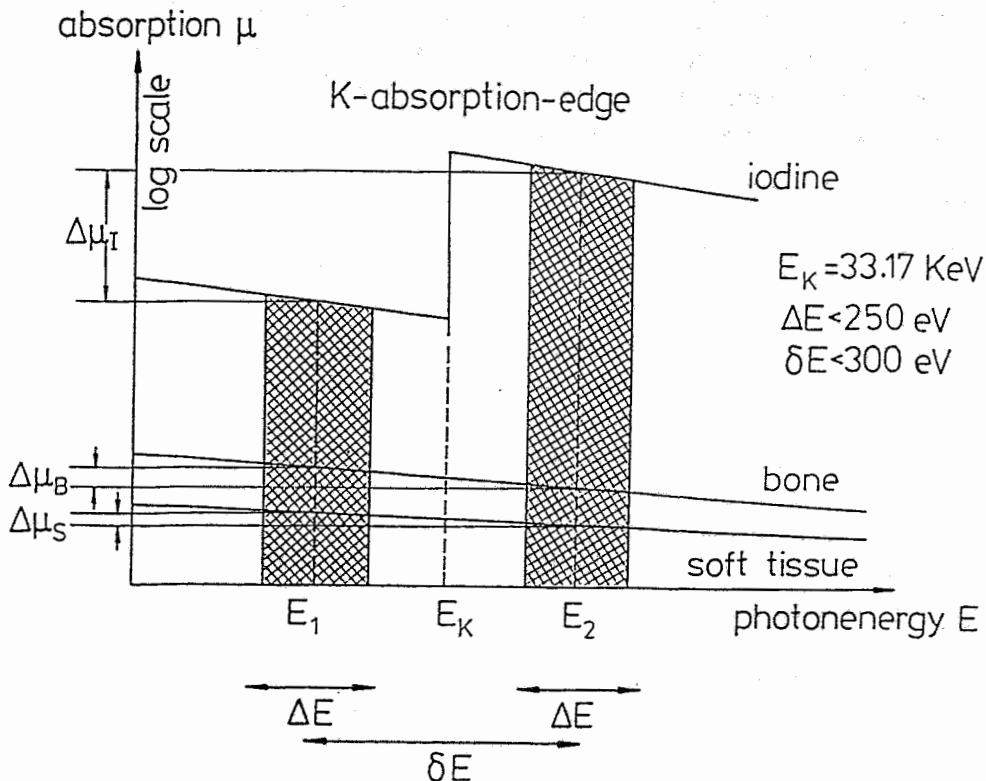
Die Verstärkung des Detektors ist an die Dicke des Patienten anpaßbar. Das produzierte Rauschen liegt in Abhängigkeit von der Wahl der L-Werte zwischen drei bis fünfzehn Photonen. Der dynamische Bereich von  $191.000:1$  bis  $328.000:1$  ist für alle Patienten völlig ausreichend und die Auslesezeit ist mit  $0,17$  ms bis  $0,226$  ms für  $672$  Pixel schnell genug (Abhängig von der Wahl der L-Werte).

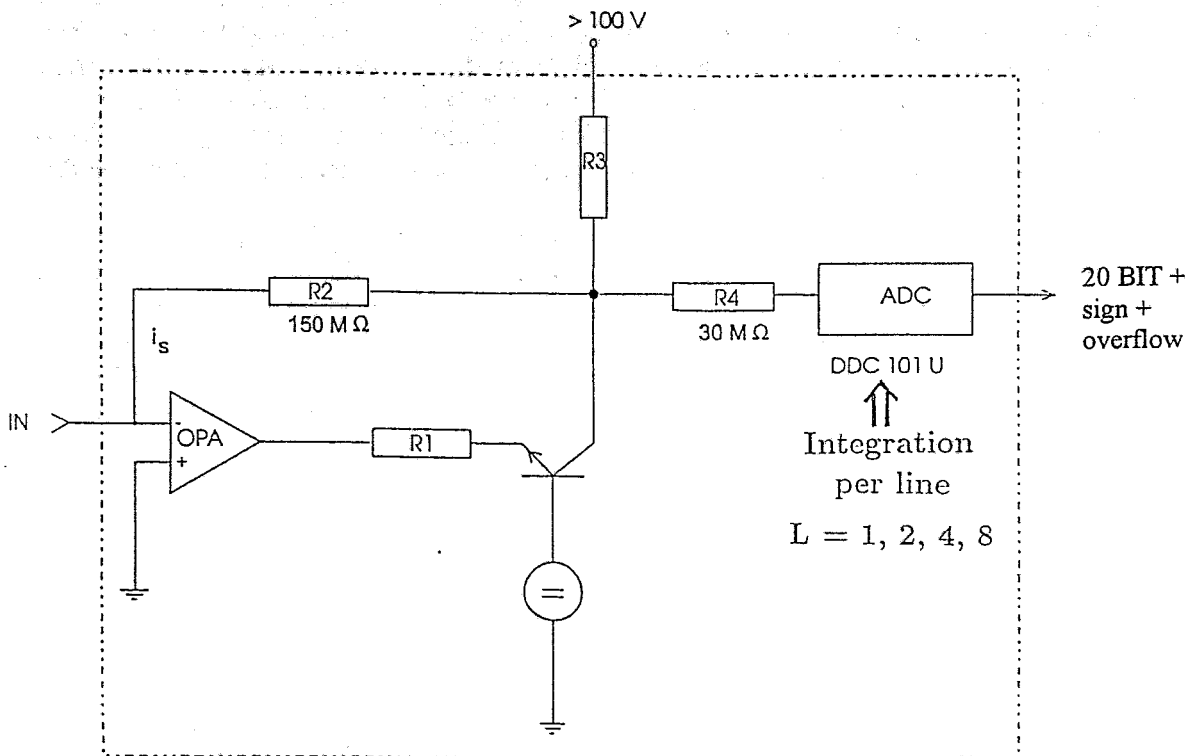
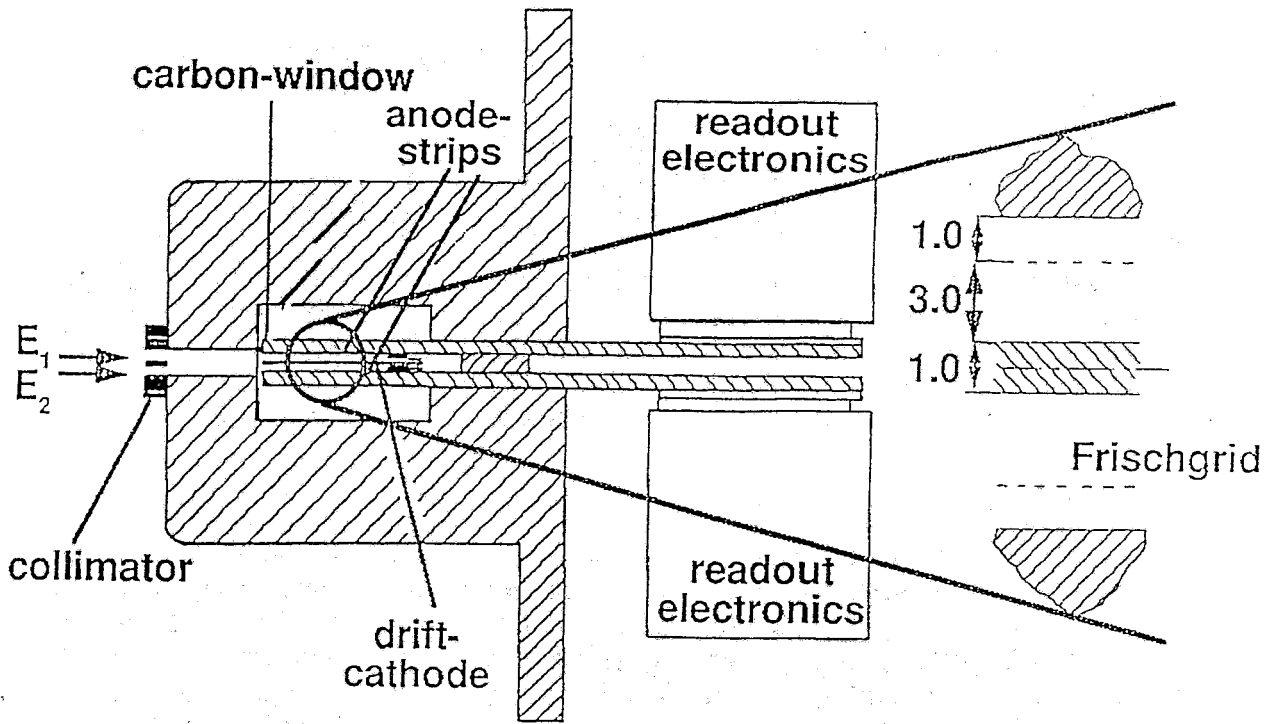
### 4. Abbildungen

Abb.1: Der Absorptionsunterschied an der K-Kante vom Jod.

Abb.2: Schematische Darstellung der Ionisationskammer.

Abb.3: Schematische Darstellung der Ausleseelektronik für ein Pixel.





Patent Nr.: 19758363.6

# UNTERSUCHUNG VON SIGMA-DELTA MODULATOREN

*Hans-Helge Albrecht*

Physikalisch-Technische Bundesanstalt (PTB)  
Labor "Meßdatenerfassung und -übertragungstechnik"

*Übersicht:* Sigma-Delta-Modulatoren sind aufgrund ihrer Auflösung und geringen Nichtlinearität für meßtechnische Anwendungen interessant. Dazu ist der meßtechnische Nachweis ihrer Eigenschaften erforderlich. Dieser Beitrag beschreibt den bei Untersuchungen verwendeten Meßaufbau, Aspekte des Designs von Baugruppen mit Sigma-Delta-Modulatoren und gibt einen kurzen Überblick über erste Ergebnisse.

## 1 EINFÜHRUNG

In der PTB wurde in den vergangenen Jahren eine Meßeinrichtung zur Bestimmung der Eigenschaften von AD-Umsetzern aufgebaut. Neben verschiedenen Untersuchungen an ADUs und ADU-Baugruppen für PTB-Laboratorien erfolgte 1996 die Untersuchung von Sigma-Delta-Modulatoren. Ziel war es, Erfahrungen mit diesem Wandlerprinzip zu sammeln und damit die Einsatzmöglichkeiten der Meßeinrichtung zu erweitern. Die Untersuchungen erfolgten im Rahmen einer Forschungsvereinbarung zwischen der Universität Rhode Island, der Technischen Universität Braunschweig und der Physikalisch-Technischen Bundesanstalt.

Sigma-Delta-Modulatoren sind eine Alternative zu Analog-Digital-Umsetzern, die mit den klassischen Umsetzerprinzipien (z. B. sukzessive Approximation) arbeiten. Sie erreichen hohe Auflösungen, geringe Nichtlinearitäten und benötigen keinen nachträglichen Abgleich der Transferkennlinie. Dies macht sie für meßtechnische Anwendungen interessant. Eine Verbesserung des SNR (signal to noise ratio) kann durch Verringerung der Bandbreite erreicht werden. Dagegen sind Nichtlinearitäten der Transferkennlinie damit nicht zu beseitigen. Sie führen zu Harmonischen im Spektrum des Modulatorausgangssignals. Dadurch wird der Dynamikbereich, der außer dem Meßsignal keine weiteren Spektraltermine enthält, begrenzt.

Verfügbare hochauflösende Sigma-Delta-Modulatoren weisen den Nachteil einer geringen Bandbreite auf. An der Universität Rhode Island wird an der Entwicklung breitbandiger Sigma-Delta-Modulatoren gearbeitet [1]. An ersten Entwicklungsmustern von Modulatoren 3. und 5. Ordnung wurde das Leistungsdichtespektrum des Ausgangssignals bei Ansteuerung mit einem Sinussignal bestimmt. Dabei gewonnene Meßdaten ermöglichen eine Optimierung der Modulatoren und des für den Modulatorentwurf verwendeten Simulators. Damit kann der Modulatorentwurfsprozeß beschleunigt werden.

## 2 MESSAUFBAU

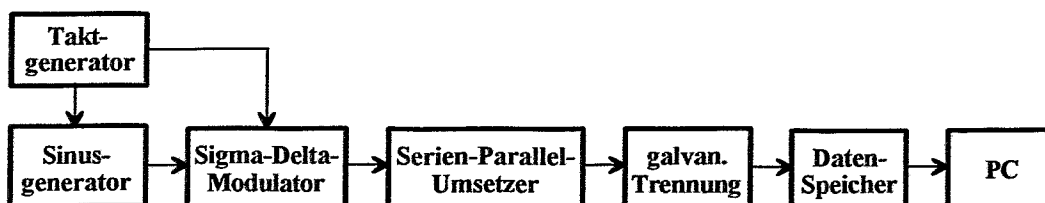


Bild 1. Meßaufbau (Prinzip)



Bild 1 zeigt den verwendeten Meßaufbau. Er entspricht im wesentlichen der in [2] beschriebenen Anordnung. Die Ansteuerung des Modulators erfolgt mit einem Sinussignal. Ein Serien-Parallel-Wandler ermöglicht den Anschluß von Sigma-Delta-Modulatoren mit Einbit- und Multibit-Ausgang. Es lassen sich Datenraten von bis zu 32 Mbit/s erreichen. Der Meßdatenspeicher hat eine Speicherkapazität von 96 Mbit. Als Sinusgenerator wurde ein Synthesizer-Generator verwendet. Tabelle 1 gibt einen Überblick über die Harmonischen für eine Sinusfrequenzen von 1,25 kHz. Da eine direkte Messung aufgrund zu geringer Dynamik der verfügbaren FFT-Analysatoren nicht möglich war, wurde das Sinussignal mit einem Doppel-T-Notchfilter entsprechend gedämpft.

Tabelle 1. Normierte Amplituden der Harmonischen des Generatorsignals  
 $(f_{\text{sinus}} = 1,25 \text{ kHz}, U_{\text{sinus\_rms}} = 1 \text{ V}, R_L = 50 \Omega)$

Frequenz	$2 \cdot f_{\text{sinus}}$	$3 \cdot f_{\text{sinus}}$	$4 \cdot f_{\text{sinus}}$	$5 \cdot f_{\text{sinus}}$	$6 \cdot f_{\text{sinus}}$	$7 \cdot f_{\text{sinus}}$
norm. Amplitude	-112 dBc	-116 dBc	-123 dBc	-121 dBc	-123 dBc	-119 dBc

### 3 MODULATORMODUL

Entscheidenden Einfluß auf das Meßergebnis hat das Schaltungs- und Layoutdesign der Modulatorbaugruppe. Um befriedigende Resultate zu erhalten, waren mehrere Entwürfe erforderlich. Als wesentliche Anforderungen wurden berücksichtigt:

- ein für Digital- und Analogsignale getrenntes und nur am Modulator verbundenes Massesystem
- getrennte Bereitstellung und HF-Filterung aller Versorgungsspannungen
- Stabilisierung und nochmalige Siebung aller Versorgungsspannungen auf der Modulatorbaugruppe
- gute Entkopplung zwischen Modulatoreingang und -ausgang

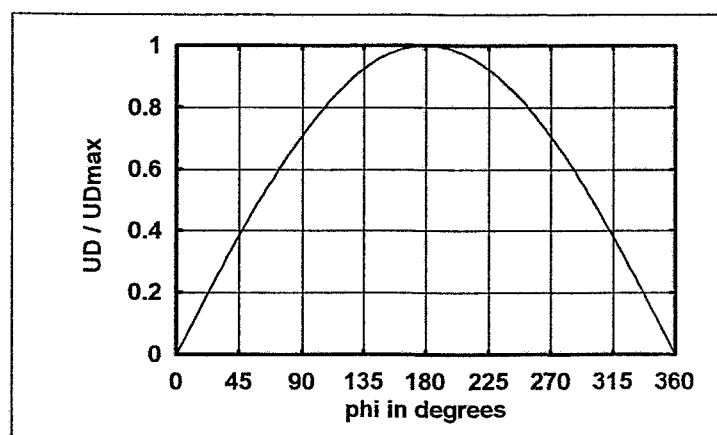


Bild 2. Normierte Amplitude der Differenz zweier Sinussignale gleicher Amplitude  $UD$  als Funktion ihrer Phasenwinkeldifferenz  $\phi$

Die untersuchten Modulatoren besitzen einen Differenzeingang und benötigen zwei um 180 Grad phasenverschobene Eingangssignale gleicher Amplitude. Dies kann durch eine einfache Operationsverstärkerschaltung realisiert werden. Die zunehmend bei höheren Frequenzen auftretende zusätzliche Phasendrehung durch den Operationsverstärker führt zu einer Verringerung der Verstärkung des Gesamtsystems (Bild 2). Der Einsatz von je einem invertierend und nichtinvertierend arbeitenden Operationsverstärker zur Kompensation dieser zusätzlichen Phasendrehung ist nicht möglich, da die Differenzeingangsstufe des verwendeten

nichtinvertierenden Verstärkers bei hoher Gleichsignalaussteuerung nicht mehr hinreichend linear arbeitet. Infolgedessen nimmt die Leistung der Harmonischen im Signalspektrum deutlich zu.

Kapazitive Kopplungen zwischen den digitalen und analogen Signalen auf der Modulatorbaugruppe können nicht vollständig vermieden werden. Um störende Einflüsse auf das Sinussignal zu reduzieren, wird der erforderliche Spannungspegel mittels Spannungsteiler erst unmittelbar am Modulatorschaltkreis bereitgestellt. Ein RC-Tiefpaß dämpft zusätzlich hochfrequente Störsignale.

#### 4 ERSTE MESSERGEBNISSE

Bei allen Untersuchungen wurde das aus 280 FFTs mit je  $2^{21}$  Punkten gemittelte Leistungsdichtespektrum des ungefilterten Modulatorausgangssignals bestimmt. Als Sinusgenerator kam ein Synthesizergenerator zum Einsatz. Um konstante spektrale Eigenschaften des Sinussignals zu erhalten, wurden die erforderlichen Sinusamplituden generell mittels ohmscher Spannungsteiler bei konstantem Generatorlastwiderstand eingestellt.

Die Modulatoren 3. Ordnung waren in  $1,2\ \mu\text{m}$  und  $2\ \mu\text{m}$  und die Modulatoren 5. Ordnung in  $2\ \mu\text{m}$  CMOS-Technologie verfügbar. Sie wurden bei 1 MHz und 5 MHz Sample-Clock und verschiedenen Signal- und Referenzspannungen untersucht. Eine ausführliche Darstellung der Ergebnisse ist hier nicht möglich. Die folgenden FFT-Plots geben einen kurzen Überblick.

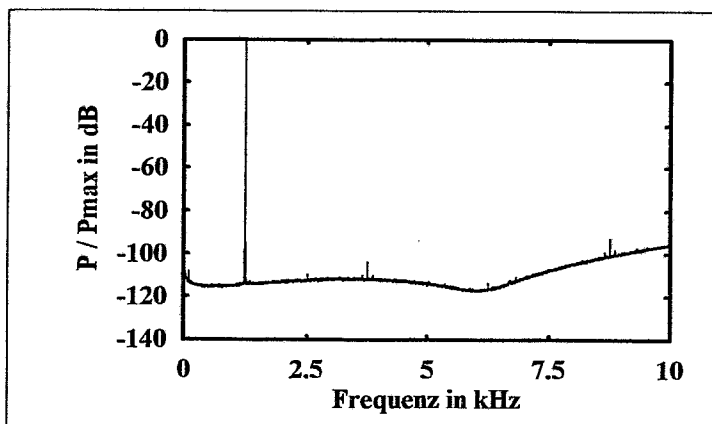


Bild 3. Modulator 3. Ordnung,  $1,2\ \mu\text{m}$  CMOS-Technologie,  
 $f_{\text{Sample}} = 1\ \text{MHz}$ ,  $f_{\text{Sinus}} = 1,25\ \text{kHz}$ ,  $U_{\text{Sinus}_{\text{rms}}} = 100\ \text{mV}$

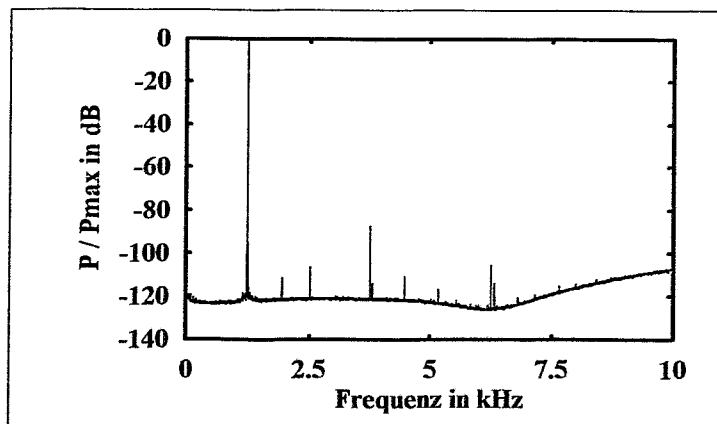


Bild 4. Modulator 3. Ordnung,  $1,2\ \mu\text{m}$  CMOS-Technologie,  
 $f_{\text{Sample}} = 1\ \text{MHz}$ ,  $f_{\text{Sinus}} = 1,25\ \text{kHz}$ ,  $U_{\text{Sinus}_{\text{rms}}} = 400\ \text{mV}$

Bei allen Modulatoren ist eine starke Abhängigkeit der Amplitude der Harmonischen von der Amplitude des Sinussignals zu beobachten. Dominierend ist die dritte Harmonische (Bild 3 und 4). Obwohl die Modulatoren Sinussignale mit einem Effektivwert von 400 mV verarbeiten können, sollte das Eingangssignal nicht größer als 100 mV sein.

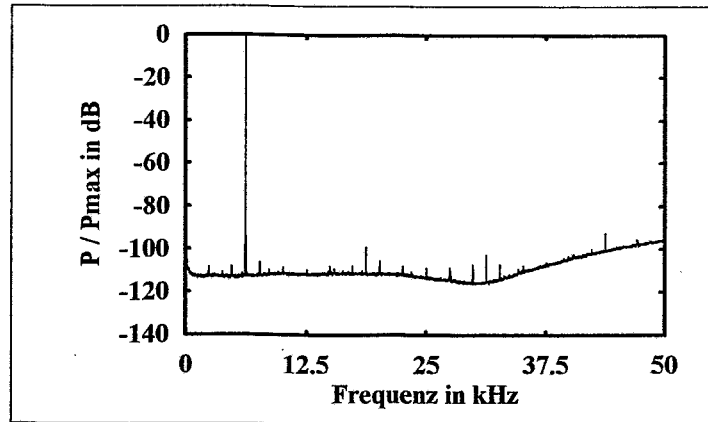


Bild 5. Modulator 3. Ordnung, 1,2  $\mu\text{m}$  CMOS-Technologie,  
 $f_{\text{Sample}} = 5 \text{ MHz}$ ,  $f_{\text{Sinus}} = 6,25 \text{ kHz}$ ,  $U_{\text{Sinus}_{\text{rms}}} = 100 \text{ mV}$

Bei Erhöhung der Samplefrequenz von 1 MHz auf 5 MHz vergrößert sich bei gleichem Verhältnis von  $f_{\text{Sample}}$  zu  $f_{\text{Sinus}}$  die Amplitude der Harmonischen, und es treten nichtharmonische Spektralsterme auf (Bild 3 und 5). Bei einer Samplefrequenz von 10 MHz arbeitet der untersuchte Modulatorschaltkreis nicht mehr.

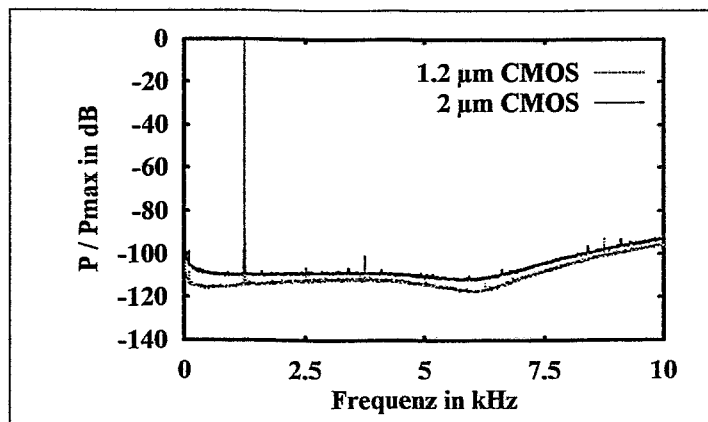


Bild 6. Modulator 3. Ordnung, 1,2 und 2  $\mu\text{m}$  CMOS-Technologie,  
 $f_{\text{Sample}} = 1 \text{ MHz}$ ,  $f_{\text{Sinus}} = 1,25 \text{ kHz}$ ,  $U_{\text{Sinus}_{\text{rms}}} = 100 \text{ mV}$

Die Modulatoren 3. Ordnung haben wie erwartet in beiden Herstellungstechnologien ähnliche Ausgangssignalspektren, allerdings weisen die mit optimiertem Design in 1,2  $\mu\text{m}$ -Technologie hergestellten Modulatoren ein günstigeres SNR auf (Bild 6).

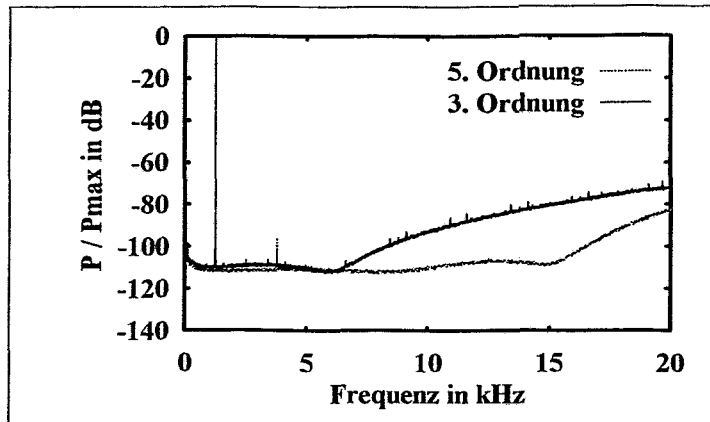


Bild 7. Modulatoren 3. und 5. Ordnung, 2  $\mu$ m CMOS-Technologie,  
 $f_{\text{Sample}} = 1$  MHz,  $f_{\text{Sinus}} = 1,25$  kHz,  $U_{\text{Sinus}_{\text{rms}}} = 100$  mV

Bei gleicher Samplefrequenz erreicht der Modulator 5. Ordnung etwa die doppelte Bandbreite des Modulators 3. Ordnung (Bild 7).

## 5 ZUSAMMENFASSUNG

Die Messungen haben gezeigt, daß mit dem ADU-Meßplatz Sigma-Delta-Modulatoren untersucht werden können. Die erzielten Ergebnisse dienen der Weiterentwicklung von breitbandigen Sigma-Delta-Modulatoren auch im Hinblick auf meßtechnische Anwendungen. Ziel der weiteren Arbeiten ist die Verbesserung der spektralen Reinheit des Sinussignals und die Reduzierung der durch die Meßdatenauswertung begrenzten Frequenzauflösung.

## LITERATUR

- [1] G. Fischer, A. J. Davis, A Sigma-Delta Architecture for Wide Bandwidth Applications, IEEE Proc. ISCAS'96, Band I, S. 25-28, Atlanta, GA, 12.-15. Mai, 1996
- [2] G. Fischer, J. U. Varchmin, Sigma-Delta A/D Umsetzer - Prinzip und Eigenschaften, in: PTB-Bericht IT-5 (Vorträge des 127. PTB-Seminars, Hrsg. H. Schumny), ISBN 3-89429-692-5, S. 133-165, Berlin, März, 1995
- [3] H.-H. Albrecht, N. Zisky, H. Schumny, Metrological investigation of high-resolution A/D converters. Proc. of the International Workshop on ADC Modelling, S. 38-43, Smolenice Castle (Slovakische Republik), 7.-9. Mai, 1996

Kontakt: Hans-Helge Albrecht, Physikalisch-Technische Bundesanstalt, Labor 8.32,  
 Fürstenwalder Damm 388, D-12587 Berlin, Germany  
 Tel.: +49 30 6441 400, Fax: +49 30 6441 586  
 E-mail: halbrecht@berlin.ptb.de

# Ein Pixeldetektor als Strahllagemonitor für TTF-FEL am DESY

U. C. Müller\*, DESY

Im Rahmen der Testanlage für einen zukünftigen 500 GeV-Linearbeschleuniger TESLA (der sog. TESLA Test Facility [1]) ist in den nächsten Jahren der Aufbau eines Freien Elektronen Lasers (TTF-FEL) [2] geplant. Der Aufbau des TTF-FELs erfolgt in zwei Stufen: 1999 soll der Test des SASE (Self Amplified Spontaneous Emission) FEL-Prinzips bei einer Elektronenstrahlenergie von 300-500 MeV durchgeführt werden. Die zweite Stufe wird als „user facility“, d. h. für externe Nutzer ausgebaut und wird bei einer Elektron-Strahlenergie von 1 GeV arbeiten. Dies führt zu einer Photonwellenlänge von 6.4 nm. FELs liefern eine um mehrere Größenordnung höhere Brillianz (Anzahl der Photonen/s/mrad<sup>2</sup>/mm<sup>2</sup>/0.1% Bandbreite) als derzeitige Synchrotronstrahlungsquellen und eröffnen damit neue Untersuchungsmöglichkeiten im Bereich der Materialwissenschaft, Biologie, Medizin und anderen Bereichen.

Das Grundprinzip eines FELs beruht darauf, daß ein Elektronstrahl mit Hilfe wechselnder magnetischer Dipolfelder (sog. Undulatoren) auf eine sinusförmige Bahn gezwungen wird. Entlang des Strahlweges werden nun ständig Photonen emittiert. Während bisherige FELs optische Resonatoren verwenden, in denen ein Photonfeld aufgebaut wird, daß durch den Elektronstrahl lawinenartig verstärkt wird, ist dies bei den hier angestrebten Wellenlängen unmöglich, da keine entsprechenden Spiegel zur Verfügung stehen. Daher muß das Photonfeld, mit dem der Elektronstrahl wechselwirken und das er verstärken soll, aus denjenigen Photonen aufgebaut werden, die der Elektronstrahl am Anfang des Undulators emittiert. Dieses Prinzip verbirgt sich hinter dem Begriff SASE.

Um die Wechselwirkung zwischen Elektron- und Photonstrahl zu erreichen, ist es entscheidend, daß sich Elektronstrahl und Photonstrahl auf der gesamten Undulatorlänge (für Phase I sind dies 15 m) sehr gut überlappen, d. h. der Elektronstrahl soll „so geradeaus wie möglich“ fliegen. Simulationen haben gezeigt, daß die Abweichung des Elektronstrahls von einer geraden Linie über die Gesamtlänge des Undulators nicht größer als  $\Delta x_{rms} = 10 \mu\text{m}$  sein darf, um die maximale Verstärkung des FELs nicht zu verlieren. Aufgrund der zu erwartenden Magnetfeldfehler der Dipol- und Quadrupolstrukturen im Undulator liegen die typischen  $\Delta x_{rms}$ -Werte der Spuren zwischen  $50 \mu\text{m}$  und  $100 \mu\text{m}$ . Innerhalb eines Undulatormoduls (der Undulator ist aus 3 Modulen von jeweils 4.5 m Länge aufgebaut) befinden sich daher 9 Korrekturspulen, um die Elektronen auf einer geraden Bahn zu halten und damit die Magnetfeldfehler zu kompensieren. Bevor die Korrekturspulen eingesetzt werden können, muß nun allerdings die Bahn der Elektronen im Undulator vermessen werden.

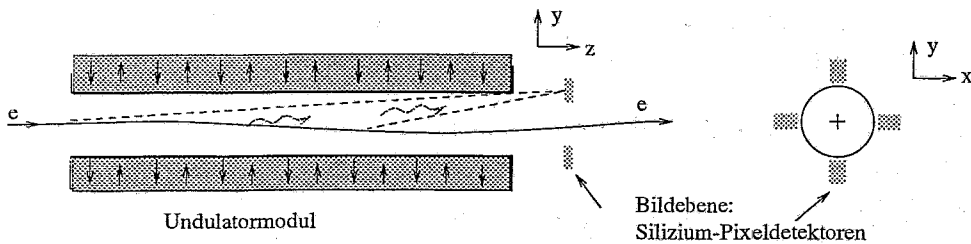
Neben dem häufig verwendeten Typ der Pick-up Monitore, die auch hier in die Undulatormodule eingebaut werden, wird hier das Konzept eines neuen Monitortyps [3], das einen komplementären Ansatz verfolgt, beschrieben. Hierbei wird der Elektronstrahl vom Ende eines Undulatormoduls mit einem Strahllagemonitor über die Gesamtlänge des Moduls beobachtet. Hierfür wird die spontane Undulatorstrahlung über eine Lochblende auf einen Silizium-Pixeldetektor abgebildet. Die

---

\* email: Ute.Carina.Mueller@desy.de

Referenzachse für die verschiedenen Meßbereiche innerhalb eines Undulatormoduls ist intrinsisch durch die Mittelachse des Detektors, die Implantationsgrenze der Pixel des Silizium-Pixeldetektors selbst gegeben. Das Prinzip des Strahlagemonitors ist in Abb. 1 skizziert: im oberen Teil des Bildes ist die Lage des Monitors am Ende eines Undulatormoduls gezeigt. Photonen der spontanen Undulatorstrahlung, die entlang des Undulators emittiert werden, erreichen den Pixeldetektor durch die Lochblende in verschiedenen Pixeln. Das untere Schema zeigt das Grundprinzip des Strahlagemonitors bestehend aus der Lochblendenebene und der Bildebene mit den Silizium-Pixeldetektoren. Die Aufteilung des Pixeldetektors ist schematisch dargestellt: jeder Detektor besteht aus zwei Spalten mit jeweils 12 aktiven Pixeln. Für die Rekonstruktion der Elektronstrahlposition muß das Signal von zwei Pixeldetektoren kombiniert werden. Der wesentliche Vorteil dieses Systems besteht darin, daß die Referenzachse, d. h. die nominelle Strahlachse, durch die Mittelachse des Detektors selbst gegeben ist und daher sehr gut bekannt ist. Vergleicht man also die Lage der Signalschwerpunkte in verschiedenen Pixelreihen bzgl. der gegebenen Mittelachse, so kann man daraus direkt die Bewegung des Elektronstrahls um die nominelle Strahlachse ablesen.

### Überblicksschema:



### Grundprinzip des Strahlagemonitors:

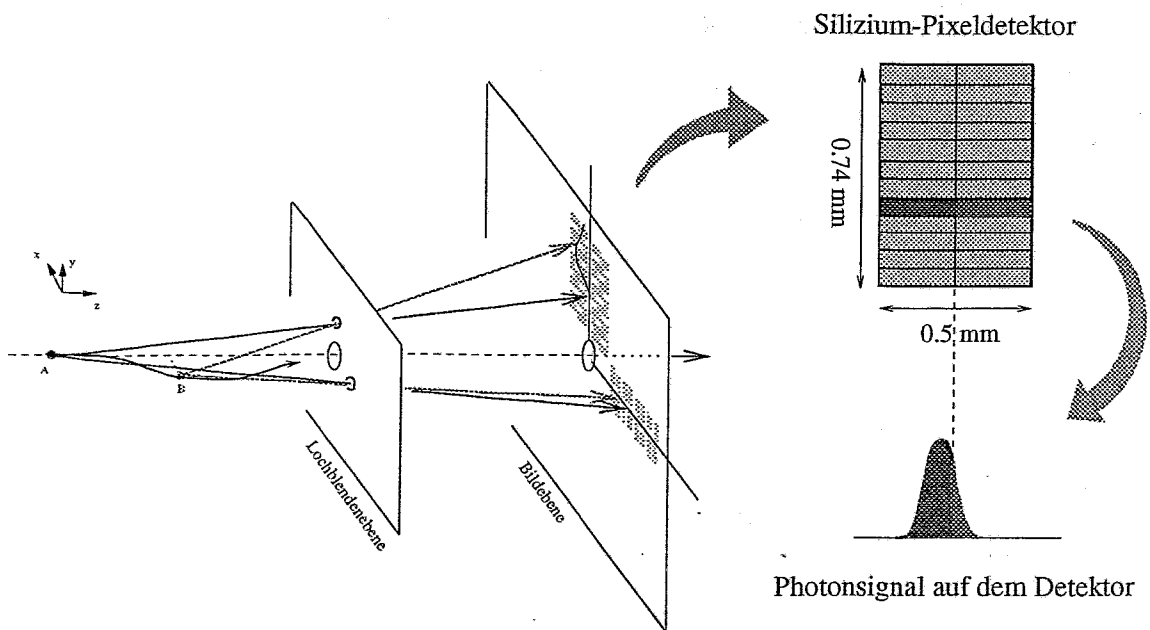


Abbildung 1: Überblicksschema und Grundprinzip des Strahlagemonitors.

Simulationen haben gezeigt, daß man selbst mit einem simplen Korrekturalgorithmus die Anforderungen an den Elektronstrahl ( $\Delta x_{rms} \leq 10 \mu\text{m}$ ) erreichen kann. Hierfür wird eine Genauigkeit bei der Rekonstruktion des Signalschwerpunktes in einer Pixelreihe von  $1 \mu\text{m}$  angenommen.

Für den SASE FEL Test ist der Einbau eines Prototypsystems für Anfang 1999 geplant. Das Monitorprinzip soll hierbei getestet werden. Der Sichtbereich des Strahlmonitors erstreckt sich in diesem Fall über die zweite Hälfte des zweiten Undulatormoduls und die erste Hälfte des dritten Undulatormoduls.

Wie schon oben angesprochen ist der Silizium-Pixeldetektor als aktiver Detektor die Schlüsselkomponente des Aufbaus. Er wurde speziell für diese Anwendung in Zusammenarbeit zwischen dem Halbleiterlabor (HLL) und der Firma KETEK in München entwickelt und soll im Sommer 1998 zur Verfügung stehen. Die Gesamtgröße des Siliziumchips, der neben den aktiven Pixeln Bondpads, Guardringstrukturen usw. trägt, liegt bei ca.  $4 \times 2.5 \text{ mm}^2$ . Die aktive Fläche ist  $500 \times 740 \mu\text{m}^2$ , wobei jedes Pixel  $250 \mu\text{m}$  breit und zwischen  $25 \mu\text{m}$  und  $100 \mu\text{m}$  hoch ist. Jeder Detektor hat zwei Spalten mit je 12 aktiven Pixeln. Auf dem Chip sind außerdem direkt Vorverstärker (JFET) integriert, um das Rauschen zu minimieren. Der Detektor wird aus einem n-bulk Silizium aufgebaut. Die Pixelstrukturen befinden sich auf der n-Seite des Detektors. Die Einfallseite für die Undulatorstrahlung liegt auf der p-Seite. Da die Energie der zu detektierenden Photonen um die  $100 \text{ eV}$  liegt, d. h. die Absorptionslänge weniger als  $50 \text{ nm}$  beträgt, muß das Standardimplantationsprofil modifiziert werden, um Photonen dieser Energie überhaupt nachweisen zu können. Vom HLL und KETEK in München wurden neue Implantationsverfahren entwickelt [4], die es erlauben, Photonen in diesem Energiebereich mit einer Effizienz von  $60\%$  zu detektieren. Diese Technologie wird auch für diesen Silizium-Pixeldetektor verwendet.

Die weitere Auslese erfolgt mit dem CAMEX-Chip [5] einem 64-kanaligen Multiplexchip und dem zugehörigen TIMEX-Chip, der die digitalen Signale für den CAMEX-Chip liefert. Sowohl Detektor als auch Auslesechips werden auf einem Keramikhybriden mit weiteren Filterkomponenten aufgebaut und innerhalb einer Vakuumkammer montiert. Der mechanische Aufbau der Siliziumdetektoren auf dem Keramikhybrid erfordert eine hohe Präzision: die Platzierung erfolgt mit einer Genauigkeit von einigen  $\mu\text{m}$  bei einem Abstand des Randes des Siliziumchips von der nominalen Strahlachse von nur  $4 \text{ mm}$ . Um Strahlenschädigung der Komponenten zu vermeiden, besteht die Möglichkeit das System aus der Strahlachse heraus zu fahren und durch ein unbestücktes Strahlrohr zu ersetzen.

Für Anfang 1999 ist der Einbau des BTM-Prototypen geplant. Erste Ergebnisse werden für Sommer 1999 erwartet.

## Literatur

- [1] TESLA Test Facility LINAC - Design Report, TESLA 95-01, DESY (1995).
- [2] TTF-FEL Conceptual Design Report, TESLA-FEL 95-03, DESY (1995);  
J. Roßbach *et al.*, Nucl. Instrum. and Methods A375 (1996) 269.
- [3] J. S. T. Ng, TESLA-FEL 96-16, DESY (1996).
- [4] R. Hartmann *et al.*, Nucl. Instrum. and Methods A377 (1996) 191.
- [5] W. Butler *et al.*, Nucl. Instrum. and Methods A273 (1988) 778.

# PARAMETEREXTRAKTION BEI BIPOLAREN TRANSISTOREN

C. Reckleben (DESY-FEC)

**Kurzfassung:** Die Verwendung moderner CAD-Programme wie Spice und Spectre für die Entwicklung und Optimierung analoger integrierter Schaltungen ist heute allgemein üblich. Die Zuverlässigkeit von Verhaltensvorhersagen hängt neben der korrekten Schaltungsbeschreibung hauptsächlich von der exakten Bauelemente-Modellierung ab. Im allgemeinen nimmt die Genauigkeit mit steigender Modell-Komplexität und damit zusammenhängender, steigender Parameteranzahl zu. Daher gewinnt eine zuverlässige Extraktionsmethode für genaue und eindeutige Parametersätze von komplexen Modellen immer mehr an Bedeutung. Am Beispiel des Gummel-Poon Modells für bipolare Transistoren wird hier eine parallele Extraktionsmethode der benötigten DC-Parameter vorgestellt.

## 1 Einleitung

Die Genauigkeit von Schaltungssimulationen - besonders bei analogen Schaltungen - hängt stark von der korrekten mathematischen Beschreibung verschiedener, physikalischer Phänomene der verwendeten Bauelemente ab. Die dafür benötigten Modellparameter haben eine ebenso große Bedeutung für die Vorhersage des Bauelementeverhaltens und damit für die Funktionsfähigkeit einer elektronischen Schaltung. Daher kommt einer zuverlässigen Extraktionsmethode für einen genauen und eindeutigen Parametersatz große Bedeutung zu.

Die Parameter weisen größtenteils neben Abhängigkeiten von der Betriebstemperatur des Bauelements auch einen deutlichen Einfluß von Strahlenbelastungen auf. Dies ist insbesondere bei Anwendungen in der Hochenergie-Physik von Bedeutung, da hier die Systeme häufig hohen Strahlenbelastungen ausgesetzt sind. Um das Verhalten und damit die Funktion einer Schaltung in Abhängigkeit von der Strahlendosis vorherzusagen, muß das Parameterverhalten ermittelt werden.

Desweiteren kann die Parameterextraktion einzelner Bauelemente für die Verifikation oder Analyse einer Schaltung verwendet werden.

## 2 Extraktionsstrategie

Die Struktur des entwickelten Programms ist in Bild 1 dargestellt. Die Eingabe besteht aus den Anfangswerten (Start Parametersatz) der zu extrahierenden Parameter, zusammengefaßt in dem Parametervektor  $\mathbf{p}^{(0)}$ . Desweiteren werden dem als Interface bezeichneten Programmteil die gemessenen Transistorkennlinien  $\mathbf{I}(\mathbf{V})$  zugeführt. Jeder der  $n$  Meßpunkte setzt sich zusammen aus den unabhängigen Variablen  $\mathbf{x}$ , in diesem Fall den Transistorspannungen  $V_{be}$  und  $V_{ce}$  an den Anschlüssen Basis-Emitter und Kollektor-Emitter sowie den abhängigen Meßgrößen  $\mathbf{I}$ , dem Basis- und Kollektorstrom.

Die unabhängigen Variablen  $\mathbf{x}$  werden zusammen mit dem aktuellen Parametervektor  $\mathbf{p}^{(k)}$  über das Interface den Modellgleichungen zugeführt. Mit deren



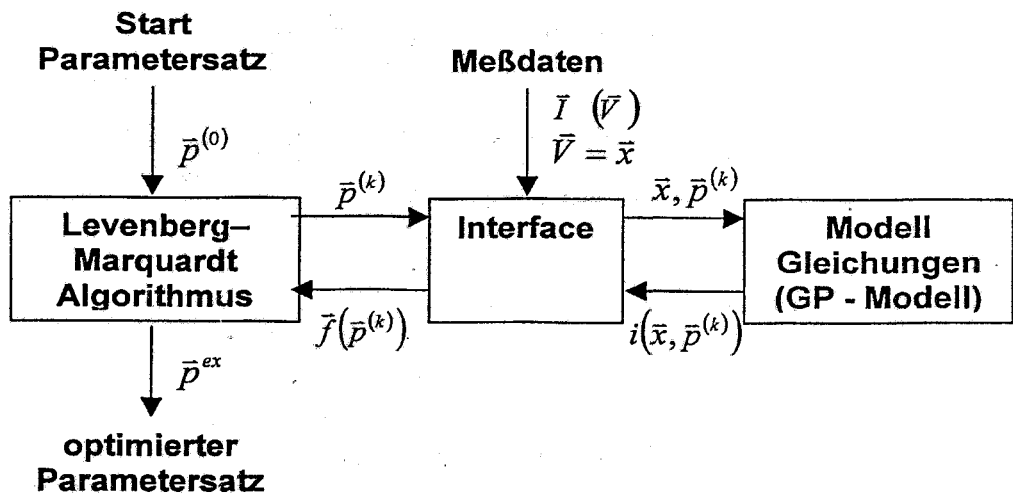


Bild 1: Modularer Programmaufbau.

Hilfe werden die abhängigen Größen  $i$  berechnet und gelangen zurück in das Interface. Dort wird für jeden Meßpunkt der relative Fehler  $f = (I - i)/I$  zwischen Meßwert und Modell errechnet. Sämtliche Einzelfehler werden in dem Fehlervektor  $\mathbf{f}(\mathbf{p}^{(k)})$  zusammengefaßt.

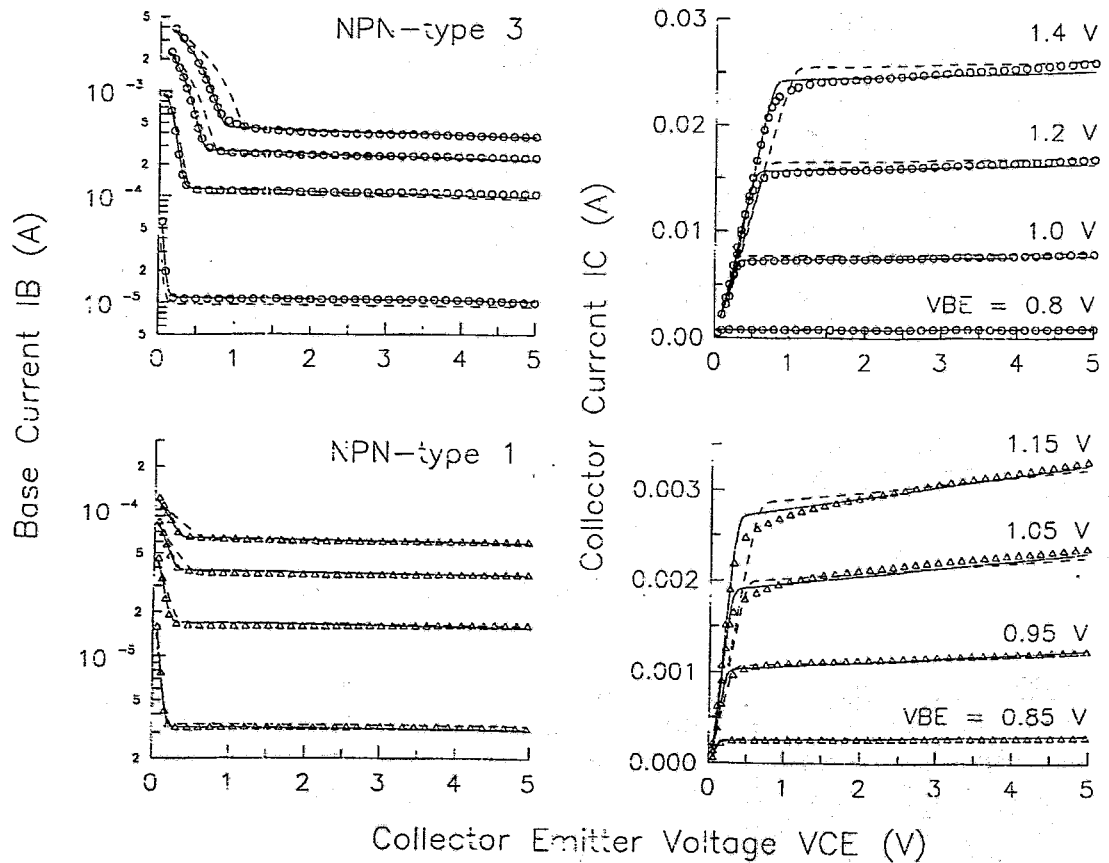
Die Norm des Fehlervektors  $\|\mathbf{f}\|^2$  und damit die Summe der Fehlerquadrate wird mit Hilfe des Levenberg-Marquardt Algorithmus minimiert. In diesem nichtlinearen Optimierungsprozeß wird der Parametervektor  $\mathbf{p}$  so lange verändert, bis  $\|\mathbf{f}\|^2$  minimal ist. Dazu werden die einzelnen Programmteile für jede Iteration einmal durchlaufen. Das Programm liefert auf diese Weise den optimierten Parametersatz  $\mathbf{p}^{ex}$ , für den die mittlere Abweichung rms von gemessener Charakteristik und simulierter Charakteristik minimal ist.

Zusätzlich werden die aus der Kovarianz-Matrix  $\mathbf{V}$  des optimalen Parametervektors  $\mathbf{p}^{ex}$  berechneten Korrelationskoeffizienten,

der Vertrauensbereich für jeden Parameter sowie die Empfindlichkeit des Modells auf jeden Parameter ausgegeben. Mit Hilfe dieser zusätzlichen, statistischen Informationen können potentielle Fehlerquellen, wie starke Korrelationen und große Unsicherheiten einzelner Parameter erkannt werden.

Darauf aufbauend kann die optimale Meßbereichswahl der unabhängigen Parameter (Stimuli) erfolgen oder einzelne Parameter können auf Default-Werten konstant gehalten werden. Der Parametersatz ist optimal, wenn der mittlere Fehler rms minimal ist und jeder Parameter mit minimaler Unsicherheit und kleiner Korrelation ermittelt wurde.

Für die Modellentwicklung des Bauelementeverhaltens kann dieses Extraktionsprogramm ebenfalls herangezogen werden. Es ist flexibel für verschiedene Bauelemente anwendbar, da neben kleinen Anpassungen am Interface lediglich der Programmteil der die



**Bild 2:** Basis- und Kollektorströme von npn-Typ-1 und npn-Typ-3 Transistoren; gemessene Charakteristik (o, Δ), Gummel-Poon Modell mit Startparametersatz (—) und Gummel-Poon Modell mit extrahierten Werten (—)

Modellgleichungen enthält, geändert werden muß. Desweiteren können ohne jede Änderung die abhängigen- und

unabhängigen Meßgrößen beliebig vertauscht werden.

### 3 Extraktionsbeispiel

Bild 2 zeigt für zwei verschiedene npn-Transistoren (Emittergröße  $0.8 \times 60 \mu\text{m}^2$  Typ-3 und  $0.8 \times 3 \mu\text{m}^2$  Typ-1) eines BiCMOS-Prozesses die gemessenen Basis- und Kollektorströme verglichen mit den simulierten Kennlinien unter Verwendung

des Startparametersatzes und der extrahierten Parameter. Die mittlere Abweichung des Gummel-Poon Modells zu der gemessenen Charakteristik reduziert sich während der Optimierung von etwa 10% auf  $\text{rms} = 2.5\%$  beim Typ-1 und  $\text{rms} =$

3.0% für Typ-3. Als Startparameter wurden Werte verwendet, die auf herkömmliche Weise extrahiert wurden. Beide Beispiele erforderten 8 Marquardt Iterationsschritte, was bei etwa 1000 Meßpunkten 20 Minuten CPU-Zeit auf einer SUN-Sparc 10 Station erfordert.

#### **4 Zusammenfassung**

Für die Extraktion von Modellparametern bipolarer Transistoren wurde eine parallele Methode entwickelt, die es erlaubt, alle benötigten Parameter (oder große Gruppen) gleichzeitig aus einem globalen Kennliniefeld zu extrahieren. Dadurch wird die Korrelation einzelner Parametergruppen optimal berücksichtigt,

was die Genauigkeit und Eindeutigkeit des Parameters deutlich verbessert.

Durch die flexible Programmstruktur ist es in einfacher Weise möglich, Modelländerungen vorzunehmen, ohne die Extraktionsstrategie für einzelne Parameter zu verändern. Damit ist das Programm schließlich auch für andere Bauelemente universell verwendbar.

# HERA Protonen Frequenzsteuerung

Wilhelm Kriens  
Deutsches Elektronen-Synchrotron, DESY  
Hamburg, Germany

31. März 1998

## 1 Grundlagen

- Die Frequenz  $f$  in den Hohlraumresonatoren muß ein Vielfaches  $h$  der Umlauffrequenz der Protonen in HERA sein.

$$f = h \cdot \frac{c}{2\pi R} \cdot \frac{v}{c} = 208.137 \dots 208.195 \text{ MHz}$$

Länge der Protonen Umlaufbahn =  $2\pi R$

- Die Teilchengeschwindigkeit  $v$  ist gemäß der Lorentz-Transformation mit dem Teilchenimpuls  $p$  verknüpft.

$$\frac{v}{c} = \frac{1}{\sqrt{1 + \left(\frac{E_0}{cp}\right)^2}}$$

Ruheenergie der Protonen =  $E_0$ , Lichtgeschwindigkeit =  $c$

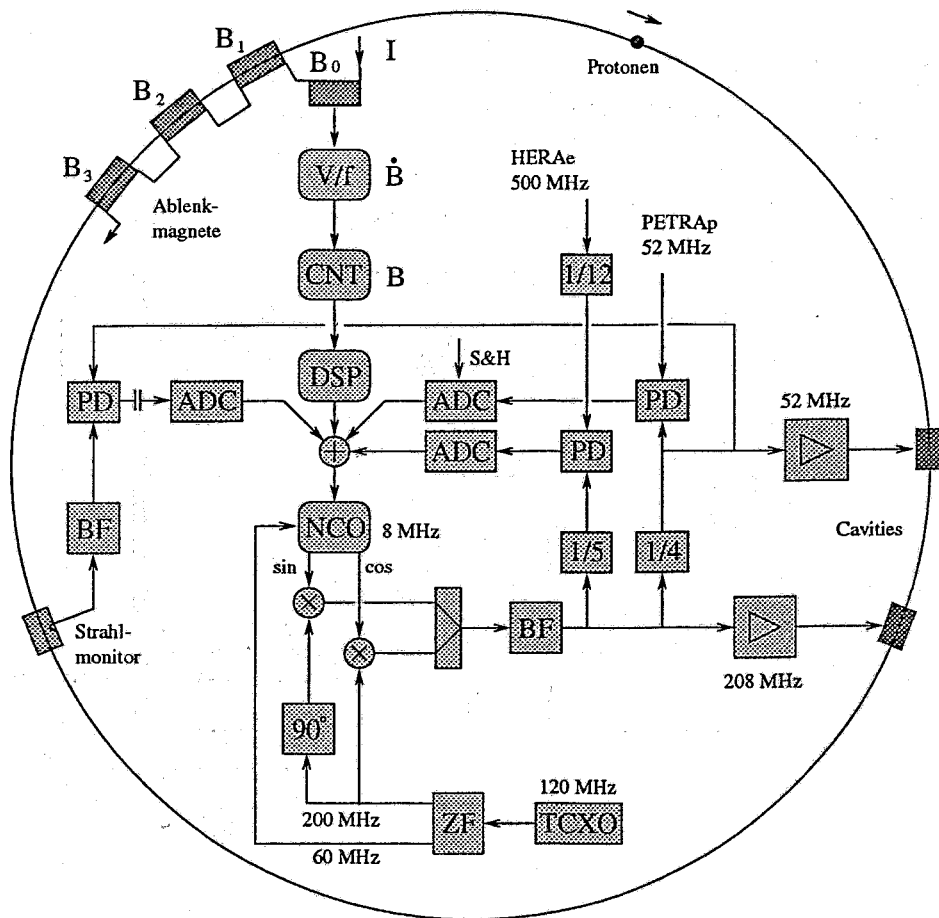
- Der Teilchenimpuls  $p$  ist wegen des Gleichgewichts von Lorentzkraft und Fliehkraft im Ablenkmagneten proportional zur Feldstärke  $B(I)$ .

$$p = e \cdot \rho \cdot B(I) = 40 \dots 900 \text{ GeV}/c$$

Elementarladung =  $e$ , Ablenkradius =  $\rho$ , Erregerstrom =  $I$

Wegen  $\frac{dp}{p} = -1305 \cdot \frac{df}{f}$  bei 40 GeV/c muß die Frequenz sehr stabil sein und darf nur in sehr kleinen Schritten geändert werden:  $\frac{df}{f} < 1 \cdot 10^{-9}$ .

## 2 Blockdiagramm

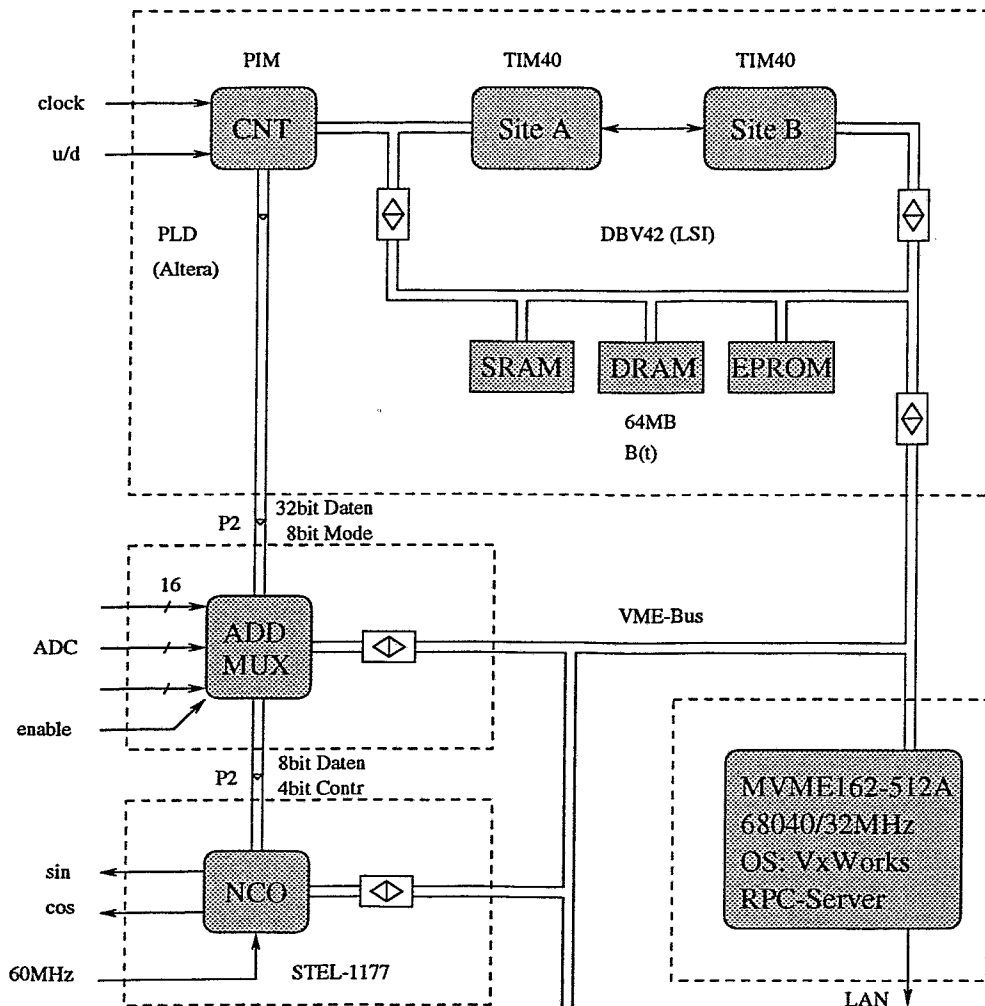


Ein Signalprozessor DSP berechnet die Frequenz aus gezählten  $\Delta B$ -Takten eines Referenzmagneten ( $B_0$ ) während die Protonen beschleunigt werden und übergibt sie einem numerisch steuerbaren Oszillator NCO. Dieser liefert ein variables 8 MHz Signal für die analoge Frequenzaufbereitung.

Zum Zeitpunkt der Injektion, vor dem Start der Beschleunigung, wird ein Phasenregelkreis bei definierter Differenzfrequenz im S&H-Mode geschlossen, damit die Protonen aus PETRA die richtige Hochfrequenzphase in HERA finden. Während des Experimentierbetriebes wird die Protonenfrequenz über einen anderen Phasenregelkreis mit der Elektronenfrequenz gekoppelt, damit sich Protonen und Elektronen stets im Wechselwirkungspunkt treffen.

Zusätzlich kann zur Bedämpfung von Strahlschwingungen, die durch verschiedenartige Störungen entstehen, ein Phasenregelkreis mit dynamischer Kopplung eingeschaltet werden.

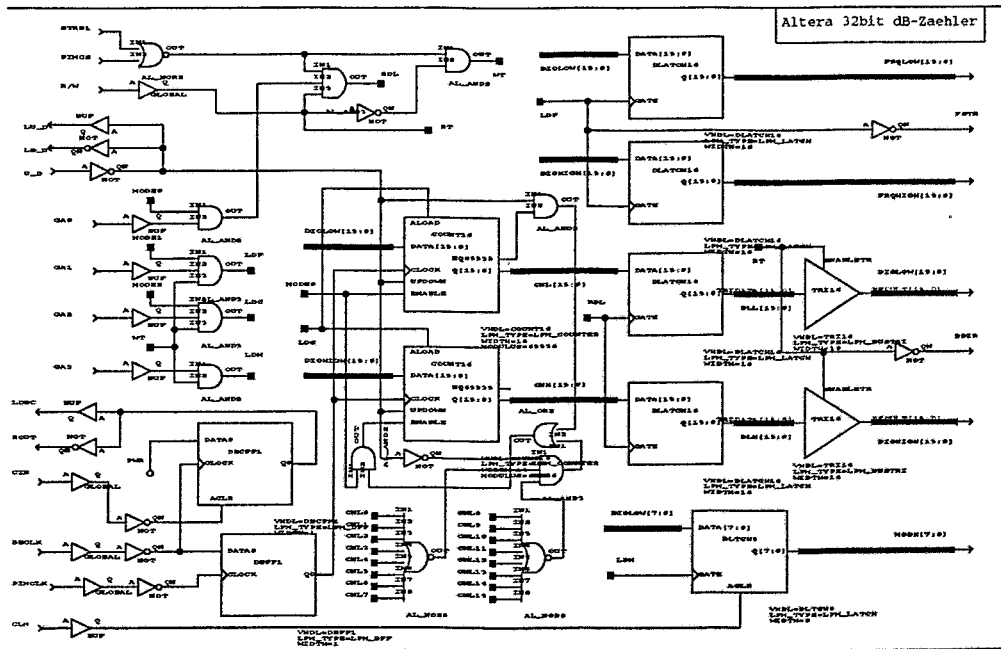
### 3 VME Module



Auf dem Signalprozessor-Board DBV42 (Fa. LSI) befinden sich zwei TMS320C40 Prozessoren. Site A ist für die Frequenzberechnung und die Ausgabe an das PIM Interface zuständig, Site B verwaltet den Datenspeicher und die Verbindung zum VME-Controller, der als RPC-Server mit dem Kontrollsystem verbunden ist.

Für den Zähler CNT auf dem PIM-Steckplatz sowie für den Addierer und Multiplexer ADD/MUX, als separates VME-Modul, werden PLD-Bausteine (Fa. Altera) verwendet. Der NCO (Fa. Stanford Telecom) ist ein kommerzieller 32bit Baustein mit 14 mHz Auflösung, dem 12bit D/A-Konverter HI5731 (Fa. Harris) nachgeschaltet sind.

## 4 Logik Design - PLD



Als Beispiel für das Logik Design ist das Interface-Modul CNT dargestellt, welches sich auf dem PIM-Steckplatz befindet.

Es handelt sich um einen 32bit auf- und abwärts  $\Delta B$ -Zähler mit Datenregister für Frequenz und Betriebsmode. Verwendet wird die PLD-Serie MAX9000 (Fa. Altera). Graphische Eingabe für den PLD-Compiler (s.Bild) und Schaltungs-Simulation mit POWERVIEW (Fa. Viewlogic).

Das ADD/MUX-Modul wird mit der gleichen Technologie realisiert. Es hat ein eigenes VME-Interface zur Überwachung der Frequenzsteuerung. Die Frequenzdaten werden in 8bit-Portionen mit 60 MHz an den NCO übertragen. Damit kann eine Übertragungsbandbreite im MHz-Bereich leicht realisiert werden.

# Real Time Digital RF Control for the TESLA Test Facility

A. Gamp, S. Goloborodko, M. Hüning, A. Kholodnyi, M. Liepe, T. Plawski, K. Rehlich, T. Schilcher, S.N. Simrock and Y. Tchernouosko  
 DESY, Notkestr. 85, 22603 Hamburg, Germany

## Abstract

The superconducting cavities in the TESLA Test Facility [1] are operated in pulsed mode at gradients of up to 25 MV/m with each klystron driving multiple cavities. Significant Lorentz force detuning and control of the vector-sum are the main issues for the low level RF controls. A digital feedback system has been developed to provide flexibility in the control algorithms, precise calibration of the vector-sum, and extensive diagnostics and exception handling. The main features are the sampling rate of 1 MHz for the individual cavity signals, digital in-phase and quadrature detection, calculation of the vector-sum which includes gradient calibration and the correction of phase offsets, and the feedback algorithm. Measured performance results of the RF control system will be presented.

## I. TTF RF SYSTEM

The acceleration section of the TTF Linac will consist of 64 superconducting cavities each providing an accelerating voltage of up to 25 MV. The first cryomodule with 8 cavities has been installed in April 97. The RF system must therefore supply up to 200 kW/m of pulsed RF power to the cavities to maintain the maximum accelerating voltage at the design electron beam current of 8 mA ( $25\text{MV} \cdot 8\text{mA} = 200\text{ kW}$ ). The accelerating field must also be stabilized to 0.5% in amplitude and 0.3 degrees in phase to achieve the desired low energy spread of  $10^{-3}$ . An active feedback system is required to provide the necessary field control in presence of field perturbations caused by microphonics, Lorentz force detuning and beamloading.

The design of the RF feedback is complicated by fact that up to 32 cavities will be driven by a single 10 MW klystron. The RF control system must therefore control the vector-sum of the 32 cavities. Calibration errors of the individual cavity field vector can result in fluctuations of the vector-sum as seen by the

beam, while the measured vector-sum is perfectly regulated. The residual fluctuations increase with the microphonic noise level and require that individual field vectors must be calibrated to better than 10% in gradient and 1 degree in phase for a microphonic noise level of  $\pm 10$  degrees.

## II. PRINCIPLE OF DIGITAL FEEDBACK

The digital feedback is based on the control of the in-phase (I) and quadrature (Q) component of the cavity field [2]. That means the real and imaginary part of the RF-field vector are controlled instead of traditional amplitude and phase control. The cavity probe signal is down converted to 250 kHz and then sampled with a sampling rate of 1MHz. These samples can be considered as the real and imaginary part of the complex field vector, called I&Q (fig. 1).

The sampled field vectors of each cavity are rotated and scaled to compensate phase differences due to different cable lengths and to calibrate the accelerating fields in the different cavities. The vector-sum is calculated and also rotated to adjust the overall phase in the control loop to ensure negative feedback. It seemed convenient to separate these rotations. The present feedback algorithm applies proportional gain to the error signal and uses a digital low-pass filter to reduce the sensor noise. For maximum flexibility setpoint and gain values are updated from tables every microsecond. Additionally, a feed forward signal is added to the correction signal. It is also read from a table. These feed forward tables are optimized by measurement of the average correction signal from the feedback loop such that the average feedback signals are close to zero. The I&Q-actuator signals directly control the I&Q component of the RF vector by the use of a vector modulator. Due to conversion and computation time the total delay in the digital feedback loop is in the order of a few  $\mu\text{s}$ . The maximum achievable feedback gain is limited by this delay.

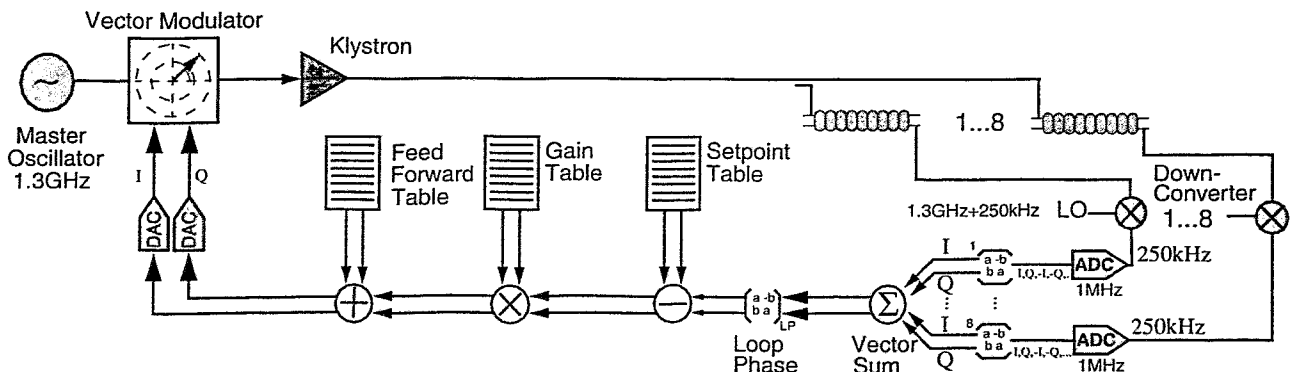


Figure 1: Scheme of the digital feedback system



### III. REAL TIME FEEDBACK DESIGN

The real time RF feedback system consists of various hardware components as shown in fig. 2. The RF signal from the RF cavities is down converted to an intermediate frequency of 250 kHz and digitized on an in-house developed ADC board. The data are transmitted to a commercially available Digital Signal Processor (DSP) carrier board prior to the reconversion of the digital control signal to an analog signal on the DAC board. The local oscillator (LO) signal is generated from the 1.3 GHz signal using a vector modulator which is driven by tables synchronized with the master oscillator. An IQ driver board with VME interface allows to set the tables through the TTF control system.

#### A. Hardware

##### 1) DSP System

The sampling rate of 1 MHz demands processors with high processing speed and high I/O capability in order to handle the high data rate. The DSP C40 (Texas Instruments' floating-point parallel Digital Signal Processor TMS320C40) with 32 bit address and data buses has been chosen. It provides six processor-to-processor communication interfaces, the so called communication ports. The DSP is mounted on a module following the TIM-40 norm. The carrier board DBV44 from Loughborough Sound Images (LSI) is a VME slave board with a modular architecture. Each DBV44 board can accommodate up to four modules. Three communication ports of each site are routed to front

panel connectors the others are on-board links. The module type which is used for the TESLA Test Facility is the single module MDC40S2-40 with 40 MHz clock rate. The data transfer of the 32-bit words between the three DSPs is performed through the on-board communication port links on a byte-to-byte basis at a maximum rate of 20 Mbyte/s. Data transmission is asynchronous due to FIFO (first-in-first-out) input/output buffers.

##### 2) IQ Driver

The IQ Driver is a universal programmable two channel functional generator with VME interface. Each of the channels has a 16 bit D/A converter receiving the digital input from two 32k RAM blocks. Both memory blocks are controlled by common address register operating at 10 MHz in increment mode. In our case the IQ-driver generates a 250 kHz bipolar step signal with  $\pm 5V$  amplitude to switch the LO phase in 90 degree increments.

##### 3) ADC and DAC Board

The ADC and DAC boards are in-house developed boards performed as 6U eurocards. Both of them have interfaces to the standard communication ports of Texas Instruments DSPs with handshake protocols.

The ADC board consists of four independent ADC channels with 14-bit A/D converters (Datel ADS 929, maximum sampling rate 2 MHz) operated at 1MHz sampling rate. Input amplifiers with a gain of 30 and a bandwidth of 9 MHz amplify the signal to the maximum sampling range of  $\pm 5V$  to get highest

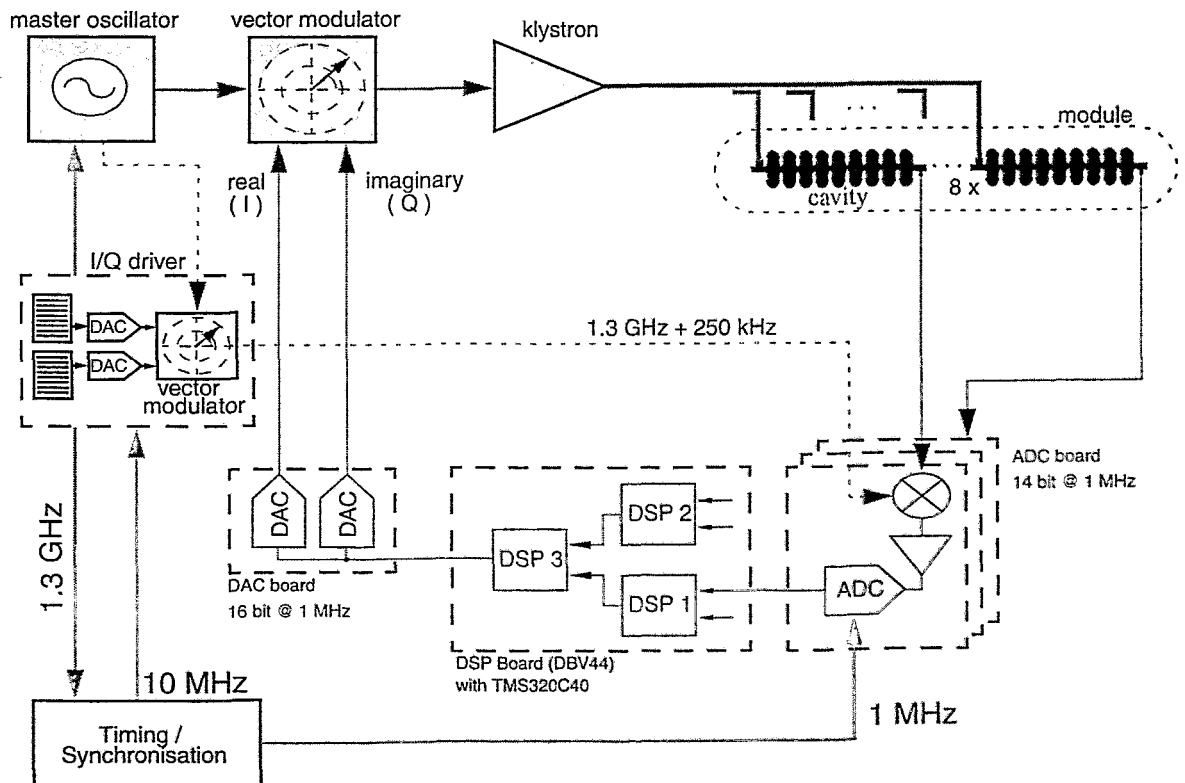


Figure 2: Overview of the TTF RF control system

resolution. Two ADCs transmit their data to a programmable logic device (PLD) respectively. This PLD is connected with the DSP through the communication port interface. Because of multiplexing data of two ADC channels only one communication port of the DSP is occupied. Therefore a total of six ADC channels could be connected to one DSP. To save conversion time from integer (ADC) to floating point (DSP) format this conversion is already performed in the PLD. The total delay time between ADC input and DSP input is approximately 900 ns.

The DAC board is a two channel board with 16-bit D/A converters (AD768). Similar as the ADC board it has a programmable logic device which is connected to the DSP through the standard communication port. The received floating point data from the DSP are back converted to integer format which is necessary for the DAC. Thereby valuable computing time is saved in the DSP again. Additionally the PLD logic checks the incoming data and limits it to the valid input range for the DAC. The delay time through the DAC board is about 500 ns.

### B. DSP Code

The TTF control algorithm has been implemented on the TMS320C40 parallel processor system and distributed over 3 DSPs (fig. 2). The C40 internal communication ports are used to send signals among this group of processors. DSPs #1 and #2 read cavity data from the A/D converters with sampling period 1  $\mu$ s, perform multiplication of the I/Q vector with the rotation matrix and calculate the vector-sum for 4 cavities. A more extensive set of computations are carried out in the DSP #3 which receives partial vector-sums from two DSPs and executes the feedback algorithm. The present feedback algorithm applies proportional gain to error signal and uses a digital low-pass filter to reduce the sensor noise. Finally the amplified errors for I and Q values are calculated and sent to the D/A converter.

All calculations must be done during a time shorter than the sampling period. This is possible for 40MHz DSP board which executes 20-40 instructions per 1  $\mu$ s since multiplication and addition can be done simultaneously in a single 50 ns cycle. The interrupt service routines were implemented in all DSPs to read data from the communication ports thus allowing to scale and rotate matrices between pulses, correct DC offsets for the feed forward table and vary the length of the pulse. Due to time critical requirements all programs were developed in C4x assembly language to increase performance. The internal DSP timer was used in all DSPs to scale and rotate matrices in case of failure of the TTF timing system. Computation delay including ADC and DAC conversion is 4.2  $\mu$ s.

## IV. INTEGRATION WITH RF CONTROL SYSTEM

The TTF RF System is completely integrated in the Distributed Object Oriented Control System (DOOCS) to provide remote access to all RF data, parameters and controls. The architecture of DOOCS is based on an object oriented client/server model [3]. The whole system was designed as a set of reusable objects in shared libraries written in C++ programming language and is realized on Sun SPARC platforms in SunOS

4.\*, SunOS 5.\* and LINUX running on PCs environments. These libraries are used by the DOOCS servers and client applications and provide the tools to integrate the different subsystems into the whole control system. The RF front-end system consists of a few DOOCS servers: a server process to control the DSP hardware, a server to read fast ADCs for the measurement of the RF amplitudes and phases and servers to control the timing and local oscillators (fig. 3). The servers are stand-alone processes to control individual subsystems. Since data and commands are transferred in a standard way between clients and servers, the configuration and complexity are hidden from the user. The Low Level RF Real Time Digital System layout is described in a configuration file for the DSP server. When the DSP server starts it reads this configuration file and sets all required server data structures to customize the real system configuration. Control system developers can use the symbolic names of the DSP data in the clients applications to get/set data from/to the DSPs. The server allows to load required data structures and DSP programs into DSPs, start these programs and communicate with the DSPs via the Link Interface Adaptor (LIA) and common regions of DSP memory. Several client applications devoted to the RF system control were developed and realized for the users. These client applications communicate with the DOOCS servers over Ethernet and are used by the RF experts to control and investigate the system. These includes:

- ADC RF measurement tools for an on-line analysis of the RF behaviour,
- LabVIEW VIs provide the control over the Low Level Real Time Digital RF Control System,
- MatLab tools for
  - loop phase measurement and adjustment,
  - measuring indirect parameters for cavities,
  - saving and restoring system setup parameters,
  - feed forward table generation for optimal control,
  - calibration of gradient and phase measurement.
- software for operator knobs control.

The LabVIEW makes use of Virtual Instruments which implements the access to the DOOCS server parameters and commands [4]. MatLab applications call external functions which were developed to send DOOCS requests to the servers.

## V. RF SYSTEM PERFORMANCE

Fig. 4 and 5 show the acceleration gradient per cavity and the phase with respect to the beam during one RF pulse while no control loop is closed (e.g. constant RF klystron power). With closed feedback loop and a gain of 30 the rms error in gradient is about 4‰ and 0.2° in phase (fig. 6 and 7 respectively). Due to the high reproducibility of the cavity field without beam from pulse to pulse adaptive feed forward is able to reduce the remaining error further. The gradient is regulated to an rms amplitude fluctuation of less than 0.5‰ during the flat top. The pulse-to-pulse stability is better than 0.2‰. The according rms

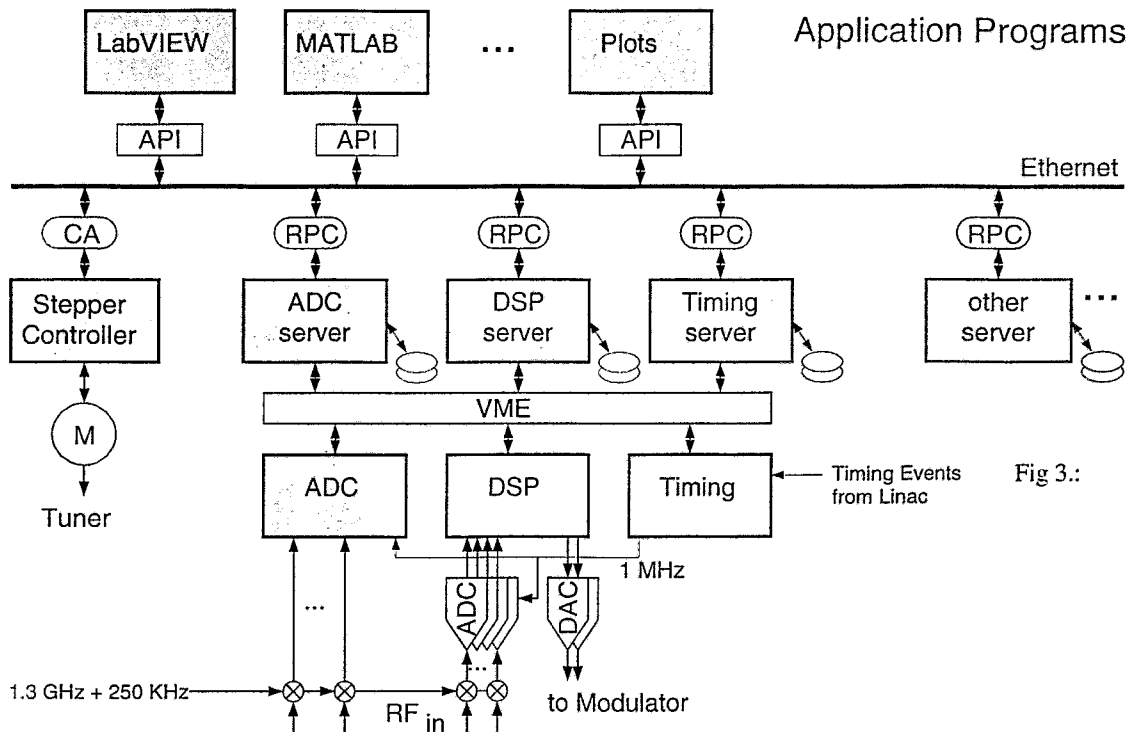


Figure 3: RF control system integration

error in phase of the accelerating field is less than  $0.03^\circ$ . The pulse-to-pulse phase stability is better than  $0.02^\circ$ .

## VI. FUTURE PLANS

In 1998 two more accelerating modules will be installed in the TTF linac. Therefore the RF control system has to control 24 cavities instead of 8. The existing DSP modules will be replaced by the faster Texas Instruments TMS320C40 - 60 MHz modules. The new DSP configuration will consist of an array of 9 DSPs. This includes DSPs used for Kalman filtering of the measured data, DSPs which provide the basis for more complex feedback algorithms and time-optimal control and DSPs for ex-

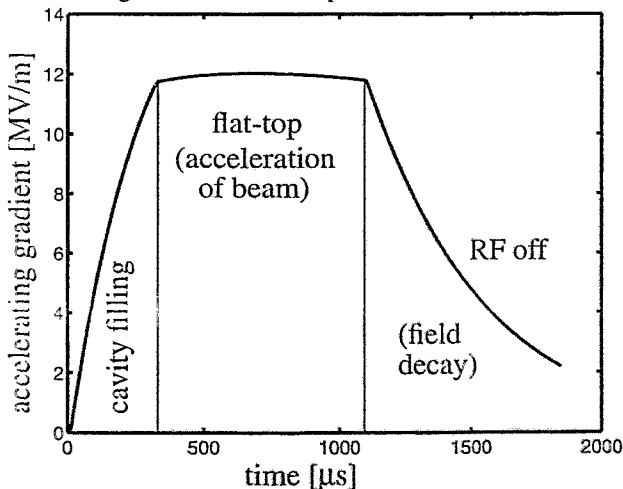


Figure 4: Accelerating gradient per cavity with constant forward power during 'flat-top' (open feedback loop).

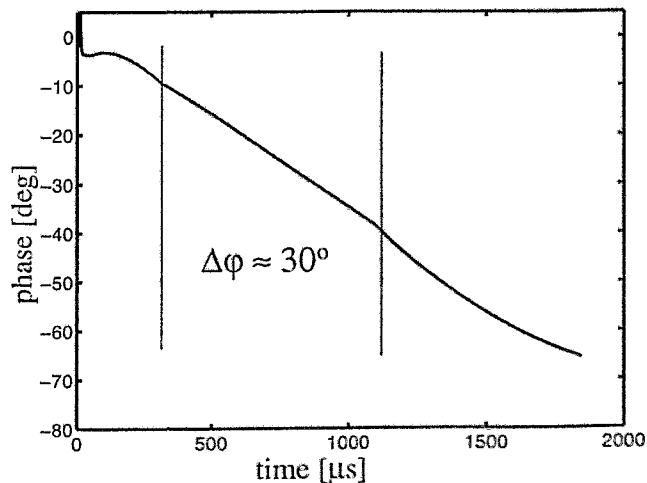


Figure 5: RF phase with constant forward power during 'flat-top' (open feedback loop)

ception handling as part of a fast security system. Sophisticated algorithms demand significant computation time. More studies in detail will answer the question of optimizing the control algorithm versus computational delay.

## VII. CONCLUSIONS

The RF control system for the TTF requires tight control of the vector-sum of the accelerating fields in an ensemble of up to 32 cavities driven by one common klystron. The requirements for precise adjustment and calibration of the vector-sum, the long time constant of the cavities of several hundred microsec-

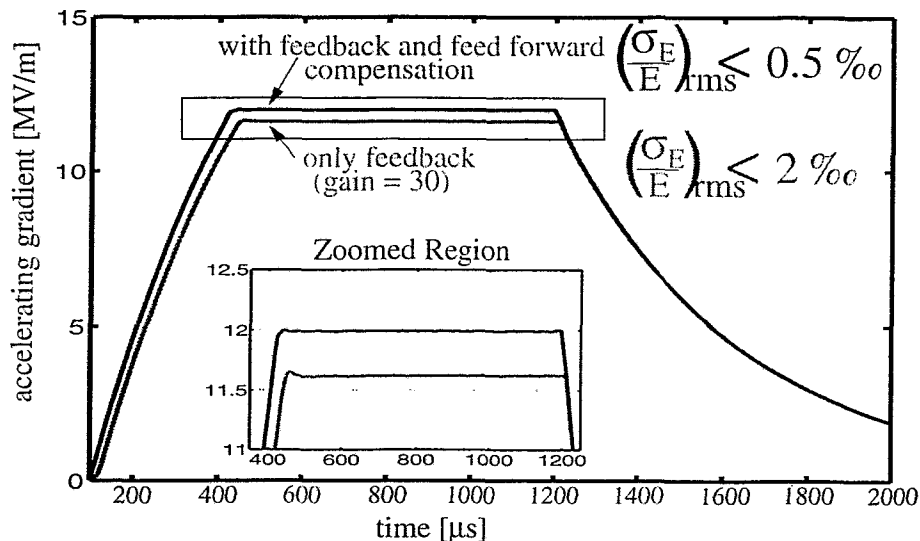


Figure 6: Accelerating gradient per cavity with feedback and with feed forward respectively

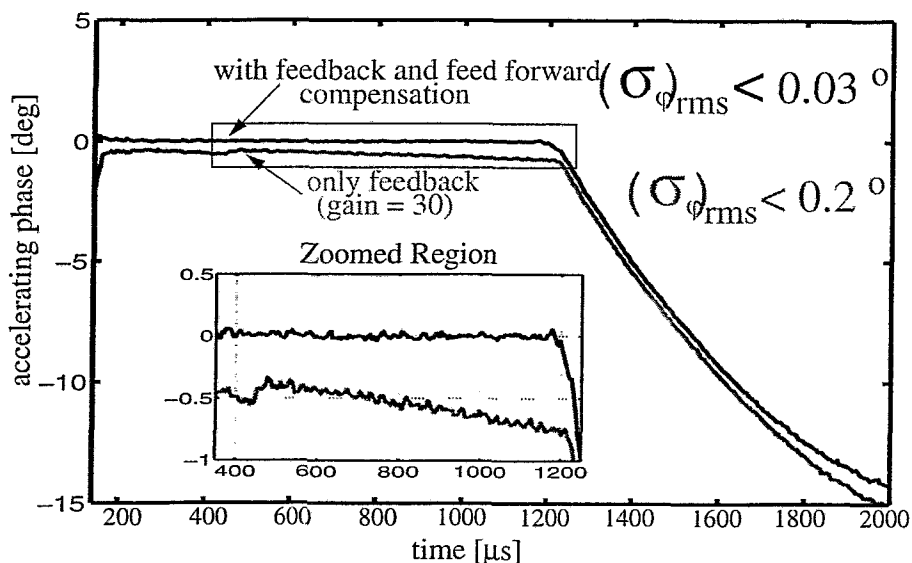


Figure 7: Phase stability of vector-sum of the first cryomodule with feedback and with feed forward respectively (5 cavities operational)

onds, and repetitive perturbations due to the pulsed operation favoured a completely digital approach for the design of the RF control.

So far the controller for 8 cavities has been implemented and proven to be successful. Within a few hours after turning the system on for the first time the beam has been accelerated at average gradients exceeding 15 MV/m. By now the cavity field has been stabilized to 0.5‰ in amplitude and 0.03 degree in phase respectively thereby exceeding the requirements. The extensive build-in diagnostics have greatly enhanced the operability of the system which includes adjustment of loop phase, calibration of the vector-sum, correction of the phases of the incident waves, and adaptive adjustment of the feed forward tables. Also the reproducibility and reliability of the system is remarkable.

## VIII. REFERENCES

- [1] D.A. Edwards, "TESLA Test Facility Linac - Design Report", *DESY-Print*, March 1995.
- [2] S.N. Simrock, I. Altmann, K. Rehlich, T. Schilcher, "Design of the Digital RF Control System for the TESLA Test Facility". *European Particle Accelerator Conference EPAC 96*, Sitges (Barcelona), Spain, June 10-14, 1996, p. 349.
- [3] G.Grygiel, O.Hensler, K. Rehlich, "DOOCS: A Distributed Object Oriented Control System on PC's and Workstations", *Trans. of PCaPAC conference*, 1996.
- [4] S.Goloborodko, O.Hensler, K. Rehlich, "Integration of LabVIEW into TTF Control System", *Proceedings of the XV Workshop on charged particle accelerators*, Protvino 1996.

# Modulares Meßdatenerfassungssystem mit DSPs und FPGAs

E. Zimmermann, G.Brandenburg, W. Glaas, K. P. Pelzer, H. Halling

Zentrallabor für Elektronik  
Forschungszentrum-Jülich GmbH  
52425 Jülich

## Einleitung

Bei modernen Meßgeräten wird zur Steigerung der Präzision und Leistungsfähigkeit die Verarbeitung der Signale zunehmend digital durchgeführt. Für die schnelle Signalverarbeitung werden hierfür in der Regel digitale Signalprozessoren (DSPs) verwendet, mit Signalverarbeitungsraten bis zu einigen MHz. Im kommerziellen Bereich werden für diese schnellen meßtechnischen Anwendungen bei großen Stückzahlen optimierte Platinen mit angepaßtem Analog-Interface und ausgewählten DSPs hergestellt. Für die spezielle Meßtechnik in der Forschung mit kleineren Stückzahlen ist die Entwicklung dieser optimierten Platinen jedoch zu aufwendig. Kommerzielle DSP-Karten mit integrierten Analog- und Digital- Schnittstellen sind für diese Anwendungen meist nicht verfügbar. Sinnvoll sind daher DSP-Karten mit analogen- und digitalen-Schnittstellenmodulen. Diese Schnittstellenmodule können für jedes Meßproblem speziell angepaßt und optimiert werden. Da jeder DSP nur bei speziellen Algorithmen seine optimale Rechenleistung erreicht und zudem laufend neue DSPs mit höherer Rechenleistung hergestellt werden, sind Träger-Karten mit austauschbaren DSP-Modulen sinnvoll. Für Vielkanal Anwendungen mit mehreren DSPs ist zudem ein Bussystem zur Kommunikation erforderlich. Moderne leistungsfähige DSPs beinhalten hierfür Kommunikationsports, die jedoch herstellerabhängig - und bei preiswerteren DSPs nicht verfügbar sind. Wünschenswert ist daher zusätzlich ein universelles, DSP-Typ unabhängiges einfaches Bussystem. Da kein kommerzielles System zur Erfüllung dieser Anforderung verfügbar war, wurde dieses modulare Meßdatenerfassungssystem entwickelt.

## Anforderungen an das Meßsystem

Aufgrund der geplanten Anwendungen (s.u.) und mit dem Ziel ein universelles (modular), optimales und kompaktes Meßsystem zu entwickeln, gelten folgende Anforderungen.

- Aufsteckbare Analog-Module zur optimalen Anpassung an das Meßproblem
- Aufsteckbare DSP-Module zur optimalen Anpassung der erforderlichen Rechenleistung
- Eigenständiger Betrieb der einzelnen Signalverarbeitungskarten für einfache Anwendungen möglich
- Simultane Datenerfassung und Steuerung
- Schnelle galvanisch getrennte Verbindung zum PC
- Schnelle Echtzeit-Signalverarbeitung
- Kompakte Bauweise
- Einheitliche modulare Software

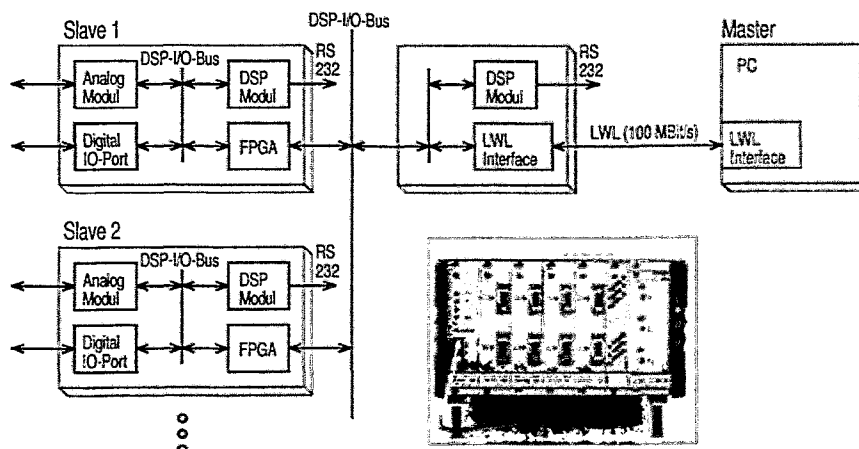


Abb. 1: Meßsystem

## Meßsystem

Die Basis des Meßsystems sind die universellen Signalverarbeitungskarten (Slave 1..N) mit Analog- und DSP-Modulen und einem Feld-Programmierbaren-Gate-Array (FPGA) als universelles Businterface und optionales Rechen- und Steuerwerk. Die Signalverarbeitungskarten werden entweder als Mehrkanalsystem (Abb.1) mit zusätzlichen Lichtwellenleiter-Interfacekarten zur Kommunikation mit einem PC oder als eigenständiges System mit RS232-Interface betrieben.

Die schnelle digitale Signalverarbeitung wird von den kommerziellen DSP-Modulen (Abb. 2) mit TMS oder Analog-Device Prozessoren (electronic tools) auf der Signalverarbeitungskarten übernommen. Für die Kommunikation wird ausschließlich der normierte MiniBus (DSP-I/O-Bus) und der serielle RS232-Bus verwendet, so daß alle Module untereinander austauschbar sind.

Abhängig vom Meßproblem werden angepaßte Analog-Module eingesetzt

(z.B.: Modul1: 2\*ADC/12Bit,1MHz, 8 DAC/12Bit/200kHz; Modul2: 4 ADC/16Bit/100kHz).

Die Lichtwellenleiterstrecke (LWL) und die LWL-Interface-Karten auf der DSP- und PC-Seite (Abb. 4) ermöglichte eine schnelle (100Mbit/s) galvanisch getrennte Kommunikation.

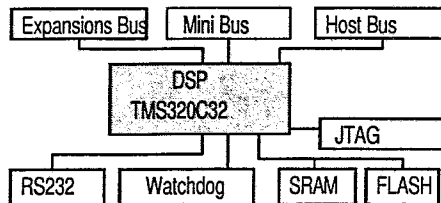


Abb.2: DSP-Modul

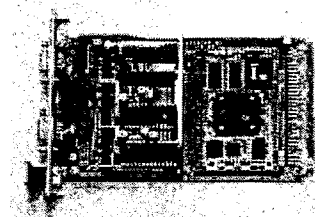


Abb. 3: Signalverarbeitungskarte

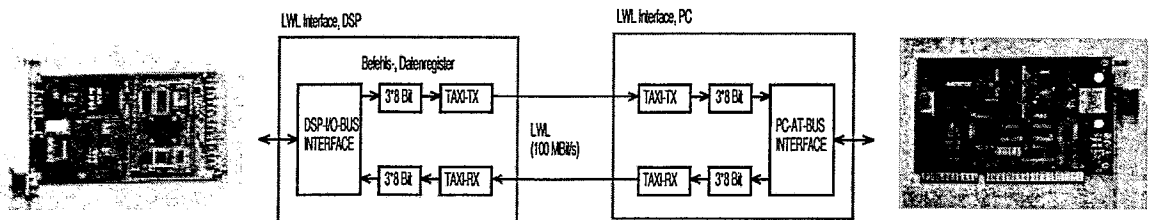


Abb. 4: Lichtwellenleiterinterface

Das Bus-Interface (Abb. 5) zur Kopplung der Signalverarbeitungskarten mit der LWL-Interface-Karte wird mit einem FPGA (z.B. XILINX XC4010E) realisiert. Als programmierbare logische Schaltung, mit einer großen Anzahl von Gattern, ist es in der Lage leistungsfähige Interfaceaufgaben zu übernehmen. Es wird hierfür als bidirektionales passives paralleles 16 Bit Interface mit Registern für Daten, Befehle und Statusinformationen programmiert. Aufgrund der Flexibilität ermöglicht dieses FPGA bei Bedarf ohne Änderung der Hardware die Anpassung der Signalverarbeitungskarten an weiter serielle oder parallele Bussysteme.

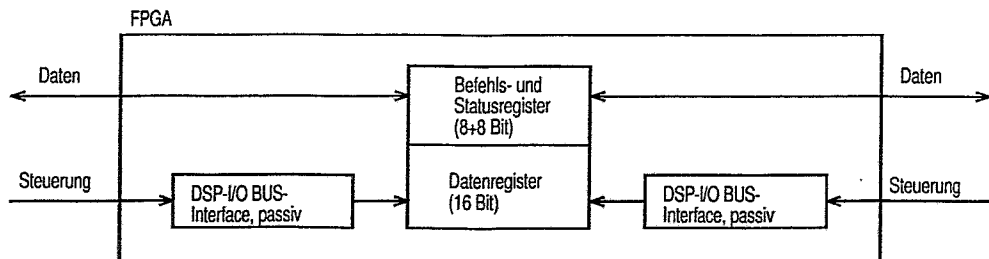


Abb. 5: DSP-I/O-Bus Interface mit FPGA

Die Einsatzfähigkeit der FPGAs für die digitale Signalverarbeitung wird derzeit für eine Reihe von Anwendungen untersucht. Hierbei werden zusätzlich zu den Interface Aufgaben Algorithmen im FPGA ausgeführt. Im Gegensatz zum DSP können das Einlesen und Auslesen der Wandler, sowie die Berechnungen, parallel durchgeführt werden. Die Parallelverarbeitung von Daten ermöglichen hierbei eine Steigerung der Signalverarbeitungsraten.

Die simultane Erfassung und Steuerung der Daten wird durch eine Synchronisationsleitung des DSP-I/O-Busses und einer Interruptprogrammierung der DSPs (b.z.w. FPGA) für die Datenerfassung und - Steuerung gewährleistet.

Eine hochmodulare Softwarestruktur (mit DLLs) ermöglicht die Bedienung der unterschiedlichen Systemkonfigurationen mit einer PC-Oberfläche, bzw. die Verwendung von höheren Programmiersprachen (Matlab, LabView) zur Bedienung des Systems.

### Anwendungen des Meßsystems

Die ersten Anwendungen des Systems liegen bei der Magnetfeldmeßtechnik mit SQUID-Sensoren (Superconducting Quantum Interference Device - Sensoren). Hierbei werden digitale Methoden zur Steigerung der Dynamik auf Werte von 140 - 190 dB [1] verwendet. Eingesetzt werden Einkanal und Mehrkanalsysteme mit serieller Kommunikation über RS232 oder Lichtwellenleiter. Speziell für die Inspektion von Bauwerken [2] mit magnetischen Methoden wurde ein Mehrkanalsystem mit 4 SQUID-Sensoren, 4 Hall-Sensoren und weiteren diversen Eingängen erstellt.

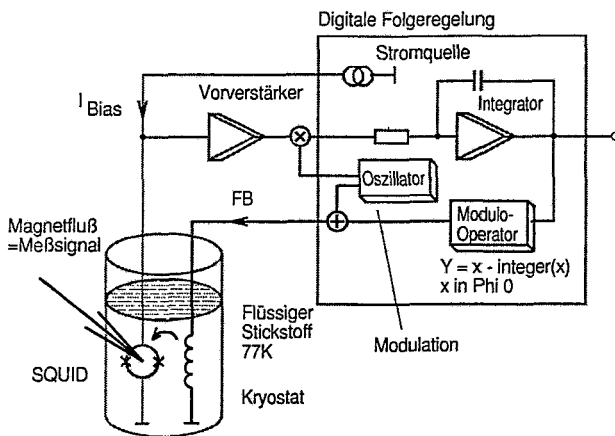


Abb. 6 Berechnungen im DSP und FPGA für Anwendungen mit SQUID-Sensoren  
Die periodische SQUID-Charakteristik (Periodenlänge = 1 Flußquant) erlaubt eine Folgeregelung mit eingeschränktem Kompensationsbereich von einem Flußquant und einem Zähler für die ganzzahligen Flußquanten. Durch diese Methode (mit Flußquantenzähler) ist die Gesamtdynamik wesentlich größer (32 Bit) als die Dynamik des DA-Umformers und der analogen Gegenkopplungsstrecke. Zusätzlich wird zur Unterdrückung niederfrequenter Rauschsignale eine Modulationstechnik eingesetzt.

Weiterhin soll das System für die industrielle Präzisions-Temperaturmeßtechnik mittels Rauschthermometer eingesetzt werden. Die Signalverarbeitungskarte übernimmt die Echtzeit-Analyse der thermischen Rauschspannungen des Sensors (ohmscher Widerstand) und die Berechnung der daraus resultieren Temperatur.

Weitere geplante Anwendungen liegen in der Spektroskopie und Mikroskopie, wo galvanische Entkopplungen und Störunterdrückung von Bedeutung sind .

### Zusammenfassung

Für die simultane Erfassung und Vorverarbeitung von Signalen, sowie für die Steuerung von Prozessen, wurde ein modulares Datenerfassungssystem mit mehreren DSPs entwickelt.

Ein frei konfigurierbarer paralleler Bus nach dem Master-Slave-Prinzip ermöglicht den Einsatz von DSPs verschiedener Hersteller. Für eine optimale Anpassung der Hardware an das Meßproblem wurde die Slave-Baugruppe (Signalverarbeitungskarte) als Trägerkarte mit aufsteckbarem Analog-Interface-Modulen und DSP-Modulen realisiert. Ein FPGA auf der Trägerplatine bildet das Businterface und übernimmt optional zeitkritische Meß- und Steueraufgaben des DSPs. Eine schnelle und störsichere LWL-Strecke zwischen PC und Meßsystem sorgt für den Datenaustausch. Das gesamte System wird vom PC aus durch Laden der DSP- und FPGA- Programme konfiguriert. Angewendet wird das System erstmalig bei der zerstörungsfreien hochsensitiven Werkstoffprüfung mit SQUID-Sensoren.

### Literatur

- [1] E. Zimmermann, G. Brandenburg, U. Clemens, M. Bode, and H. Halling, K.-D. Husemann, A Modular Control System for HTS SQUID Sensors, Proceedings of 6th International Superconductive Electronics Conference (ISEC'97), S36, 25.-28. June 1997, Berlin, Germany.
- [2] Mobiles SQUID-Meßsystem zur Bauwerksinspektion, Teilvorhaben: SQUID-Arrays  
Hans-Joachim Krause, (Institut für Schicht- und Ionentechnik (ISI), Forschungszentrum Jülich GmbH, 52425 Jülich

# Ein optisches Übertragungssystem zur Meßdatenauslese

Mathias Reinecke <sup>1</sup>

*Deutsches Elektronen-Synchrotron DESY, 22607 Hamburg*

## 1 Einleitung

Bei der Realisierung eines Silizium-Multielement-Driftdetektorsystems für die Röntgenspektroskopie wird pro Detektorpixel eine Auflösung von 12 Bit sowie eine Abtastrate von 1 MS/s angestrebt. In zukünftigen Ausbaustufen mit bis zu 900 Bildelementen werden unter Berücksichtigung von zusätzlich 30 Prozent Steuerinformationen Meßdaten in der Größenordnung von 14 GBit/s erzeugt, die über etwa 50 Meter zu einer Auswertelektronik übertragen werden müssen. Die optische Übertragung zeichnet sich gegenüber der elektrischen Übertragung durch deutlich geringere Verluste, geringstem Übersprechen und größter Stabilität gegenüber Störeinflüssen aus, sowie durch höhere Flexibilität bezüglich der Übertragungstrecke und Datenrate. Mit einem digitalen optischen Übertragungskonzept lassen sich gegenüber der analogen Übertragung eine höhere Zuverlässigkeit und Datenrate realisieren, da durch den Rauschabstand eine höhere Störsicherheit gegenüber Pegelschwankungen und Nichtlinearitäten der Laserdiode erzielt werden kann [1].

Die Orientierung am SDH STM-16 Standard mit einer Übertragungsrate von 2,488 GBit/s garantiert eine hohe Verfügbarkeit von kommerziellen Einzelkomponenten. Im Zuge der fortschreitenden Technologie kann das System durch die Anlehnung an einen etablierten Standard unkompliziert auf höhere Datenraten erweitert werden. Die moderate Taktfrequenz von 155 MHz der Kontrollbereiche und Schnittstellen am Ein- und Ausgang des Systems ermöglicht den Einsatz von FPGA-Bausteinen als Steuer- und Kodierelemente. Auf diese Weise können Prototypen schneller realisiert und Konzeptergänzungen einfacher umgesetzt werden. Sender und Empfänger des Übertragungssystems werden als VME Module realisiert.

Die optoelektronischen Komponenten weisen eine starke Abhängigkeit von den äußeren Betriebsbedingungen auf und nehmen so wesentlichen Einfluß auf Systemeigenschaften wie die Bitfehlerrate und Patterneffekte. Der Schritt zu höheren Integrationsdichten durch die Verwendung von Laserarrays führt ebenso wie die Verwendung von ungekühlten Lasermodulen zu komplizierten Temperaturwechselwirkungen zwischen den einzelnen Dioden eines Arrays oder mit benachbarten elektrischen Komponenten. Dies erfordert die Simulierbarkeit der Systemeigenschaften unter Berücksichtigung der Einsatzumgebung. Es wurde ein theoretisches Modell der optoelektronischen und optischen Komponenten erstellt, anhand dessen die Beeinflussung der Systemcharakteristik durch Änderungen der Betriebsbedingungen auch unter Berücksichtigung von parasitären Elementen simuliert werden kann. Die Modelle können auch für weitere Systemsimulationen unter Miteinbeziehung schneller elektrischer Komponenten verwendet werden.

## 2 Systemaufbau

Das Blockschaltbild des Übertragungssystems ist in Bild 1 dargestellt. Die Schnittstellen zum Übertragungssystem werden durch 12 parallele Datenkanäle mit einer Datenrate

<sup>1</sup>Abt. FEC, email : [reinecke@feccad.desy.de](mailto:reinecke@feccad.desy.de)



von je 155 MBit/s am Ein- und Ausgang gebildet. Die Leitungskodierung/Dekodierung erfolgt durch 4 parallele 3b/4b-Kodierer, bzw. Dekodierer. Nach einem zweistufigen Multiplexvorgang auf der Sendeseite von 16 parallelen Kanälen auf eine serielle Leitung wird das Datensignal von einer Laserdiode in ein optisches Zeitmultiplexsignal gewandelt und kann durch eine Singlemode Faser über mehrere 10 km übertragen werden.

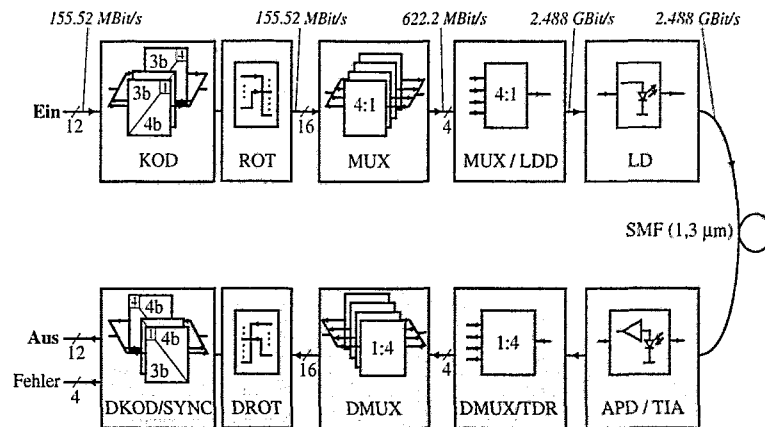


Fig. 1 : Blockschaltbild des Übertragungssystems

Auf der Empfangsseite wird nach einer Takt- und Datenrückgewinnung der serielle Datenstrom auf die ursprünglichen 16 Leitungen parallelisiert und die Daten nach einer Synchronisation des Empfängers und der Dekodierung ausgegeben. Die Kanalrotationsstufen (ROT, DROT) passen die 16-Bit Datenvektoren an das jeweilige Multiplexschema an.

Bild 2 verdeutlicht die Notwendigkeit einer leistungsstarken Leitungskodierung.

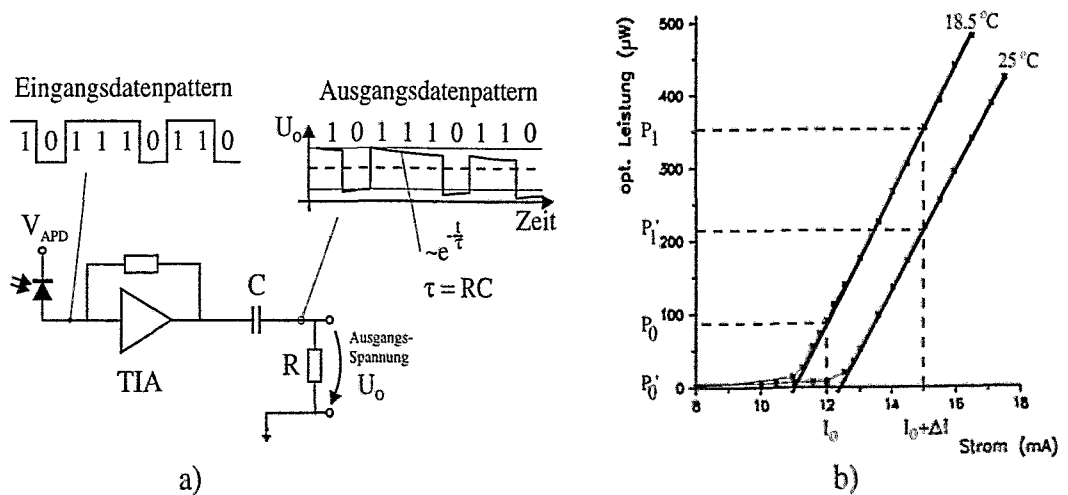


Fig. 2a) : Hochpaßverhalten bei unausgeglichenen Bistromen ; b) Temperaturabhängigkeit der optischen Ausgangsleistung von Laserdioden.

Bild 2a) stellt den Verlauf der Ausgangsspannung eines AC-gekoppelten Transimpedanzverstärkers (TIA) bei der Übertragung eines unausgeglichenen Bitstromes dar. Während der häufiger auftretenden logischen Einsen entlädt sich die Kapazität  $C$  über den Widerstand  $R$  und der Hochpegel nähert sich immer weiter der Entscheidungsschwelle (gestrichelt). Durch den so verminderten Störabstand wird die Zuverlässigkeit des Übertragungssystems beeinträchtigt. In Bild 2b) ist die  $P(I)$ -Kennlinie der von uns verwendeten Laserdiode für zwei Betriebstemperaturen dargestellt. Ein Anstieg der Temperatur von  $18,5$  °Celsius auf  $25$  °Celsius hat bei unveränderter Aussteuerung ( $I_o$ ) eine Verminderung der optischen Ausgangsleistung von  $P_1$  auf  $P_1'$  bei einer übertragenen logischen Eins, bzw. von  $P_0$  auf  $P_0'$  bei einer logischen Null zur Folge. Temperaturschwankungen werden beispielsweise durch unausgeglichene Bitströme verursacht (betriebsbedingt). Die Leitungskodierung muß dementsprechend folgende Anforderungen erfüllen : 1. Im Bitstrom muß ausreichend Taktinformation, d.h. es müssen häufige Zustandswechsel im Bitstrom enthalten sein. 2. Der Bitstrom muß ausgeglichen, d.h. die Anzahl der übertragenen Einsen muß gleich der Anzahl der Nullen sein. Die Kodierung muß die Anzahl der benachbarten Bits gleichen Zustands auf der seriellen Leitung minimieren. 3. Es dürfen keine Beschränkungen für die Eingangsdaten des Übertragungssystems bestehen, damit die Punkte 1. und 2. erfüllt sind. 4. Die Effizienz des Kodierers , d.h. der effektive Datendurchsatz des Systems muß möglichst hoch sein. Diese Forderungen werden insgesamt am besten von der 3b/4b-Kodierung erfüllt, da diese eine deutlich höhere Effizienz als die 1b/2b-Kodierung (Manchester Kodierung) aufweist (75 % statt 50 %). Im Vergleich zur 7b/8b-Kodierung können nur vier statt sechs benachbarte Bits gleichen Zustands auftreten. Darüber hinaus ist die technische Realisierung des 7b/8b-Kodierers wesentlich komplexer und folglich mit einem erhöhten Schaltungsaufwand und Leistungsverbrauch verbunden. Kodierungen, die Eingangsworte in Ausgangsworte mit einer ungeraden Anzahl von Bits wandeln wie z.B. die 4b/5b-Kodierung, weisen eine deutlich schlechtere Statistik bezüglich der Ausgeglichenheit des Bitstroms auf.

### 3 Systemmodell

Die Laserdiode und die Lawinenphotodiode mit TIA stellen die kritischsten Systemkomponenten dar. Einerseits weil sie bei der höchsten Datenrate von  $2,488$  GBit/s betrieben werden, andererseits weil sie die größte Nichtlinearität und Abhängigkeit von der Temperatur aufweisen. Um einen hohen Extinktionskoeffizienten zu erzielen, wird die Laserdiode oft nur knapp oberhalb der Schwelle betrieben. In diesem Bereich ist die Abhängigkeit der Temperatur in der aktiven Schicht von der Statistik des Bitstroms besonders hoch und die Simulierbarkeit der Verhältnisse entsprechend wichtig. Ein elektrisches Ersatzschaltbild der aktiven Schicht der Laserdiode kann aus den Bilanzgleichungen abgeleitet werden [2]. Dieses Modell wurde noch durch parasitäre Elemente, insbesondere Serienwiderstände, Zuleitungsinduktivitäten und Gehäusekapazitäten, erweitert. Von der Singlemode-Faser wurde nur die Dämpfung berücksichtigt, da die Dispersion von Quarzglasfasern bei der gewählten Übertragungswellenlänge von  $1310$  nm verschwindet gering ist. Das Modell der Lawinenphotodiode umfaßt Photo- und Dunkelstrom, sowie Sperrschichtkapazität und -widerstand. Der TIA wurde mit Eingangs- und Ausgangsimpedanz ( $R$  und  $C$ ), einer gesteuerten Quelle zwischen Eingangs- und Ausgangskreis sowie einem Rückkoppelwiderstand modelliert. Auch hier wurden parasitäre Elemente berücksichtigt. Bild 3 zeigt

Messung und Simulation eines Augendiagramms der entsprechenden Komponenten bei der Datenrate von 2,488 GBit/s im Vergleich.

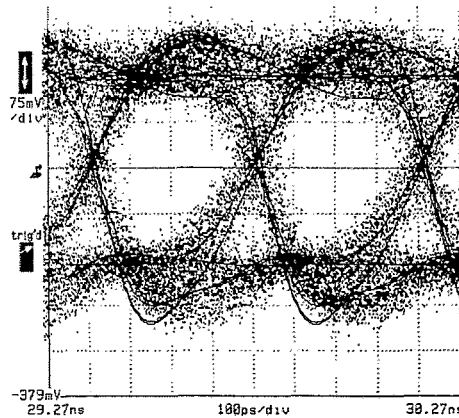


Fig. 3 : Messung (gepunktet) und Simulation (Linien) eines Augendiagramms der Übertragungsstrecke (LD, Faser, APD und TIA) bei einer Aussteuerung der Laserdiode 9% oberhalb der Schwelle (PRBS  $2^{16} - 1$ ).

Simulation und Messung wurden unter Berücksichtigung der 3b/4b-Kodierung durchgeführt. Es konnte für Aussteuerungen der Laserdiode von der Schwelle bis knapp 20 % oberhalb der Schwelle gute Übereinstimmung von Messung und Simulation erzielt werden. Dieses Ergebnis dokumentiert die Simulierbarkeit des Systems unter verschiedenen Betriebsbedingungen und den Nutzen eines Modells bei der Definition von Betriebsparametern. Abschätzungen der Bitfehlerrate aus dem Augendiagramm ergaben Werte zwischen  $10^{-11}$  und  $10^{-14}$ .

## Literatur

- [1] M. Reinecke, K. Hansen : Nucl. Instr. Meth., **A391** (3), 1997 (452)
- [2] R. S. Tucker et al. : IEEE J. Lightwave Technol., **LT-2** (4), 1984 (385)

# Die Ausregelung mechanischer Oszillationen

Gerd Nowack

Lehrstuhl für Datenverarbeitung, Ruhr-Universität-Bochum, 44780 BOCHUM

## Motivation

Die Schwierigkeiten der Ausregelung mechanischer Oszillationen ergaben sich bei dem Aufbau eines preiswerten Strömungssensors. Dabei befindet sich ein kugelförmiger, leichter Körper, der an einer dünnen Blattfeder, die seitlich durch einen Schlitz des Strömungskanals ragt, befestigt ist in der Strömung. Die Auslenkung der Kugel infolge des Strömungswiderstandes der Kugel wird nun einerseits mit einem induktiven Abstandsmeßsystem erfaßt, aber andererseits durch die Kraftwirkung eines Magnetfeldes auf einen an der Blattfeder befestigten gepolten Ferrits kompensiert, so daß der Strömungskörper aufgrund der Regelung ortsfest bleiben soll. Der dazu notwendige Spulenstrom ist ein über einen großen Dynamikbereich lineares Maß für die Strömungsgeschwindigkeit des Mediums.

Der Experimentaufbau ist für das Medium Luft geeignet. Er soll bei einer „idealen Heizungssteuerung“ zum Einsatz kommen, bei der zunächst die im Raum benötigte Wärmeenergie gezielt aus einer Wärmequelle (Speicherofen oder Infrarotstrahler) an die Raumluft abgegeben werden soll, bevor die eigentliche (aus Stabilitätsgründen, also aufgrund der Totzeit langsame) Regelung der Temperatur einsetzt.

Als ein **alternativer Strömungssensor** wurde ein thermischer Strömungssensor getestet, bei dem ein Heizelement so geregelt wird, daß eine konstante Temperaturdifferenz zur Temperatur des Mediums erreicht wird. Der Heizstrom ist hierbei ein Maß für die Strömungsgeschwindigkeit. Die Wärmeabgabe im Bereich mittlerer Geschwindigkeiten (1 -10 m/s) hängt berechenbar gut von der Strömungsgeschwindigkeit ab. Im Bereich kleinster Geschwindigkeit ist die Empfindlichkeit sogar sehr hoch, aber die Wärmequelle im Sensor beeinflusst nun stark durch Schwerkrafteffekte die Strömung des Mediums.

Der **realisierte Sensor** ist nicht nur besonders für kleine Geschwindigkeiten sehr gut geeignet, sondern er mißt nur eine, durch den Aufbau festgelegte Strömungskomponente, so daß er gegen Strömungsturbulenzen und Wirbel sehr unempfindlich ist.

## Das Problem

Der Sensor wurde in einem Strömungskanal von insgesamt 1,5m Länge auf 1m Abstand vom Eintritt der Luft eingebaut (s. **Abb. 1**). Die Luftgeschwindigkeit wurde durch einen Gerätelüfter am Ende des Kanals eingestellt. Aufgrund statistischer Schwankungen in der Luftströmung wird das Feder/Masse-System auf der Eigenresonanz (etwa 1 Hz) zu Schwingungen angeregt, die als Störgröße durch den elektrischen Regler unterdrückt werden sollten (aktive Dämpfung). Der aufgebaute Proportionalregler hat aber im Gegenteil die Schwingungen erhöht (entdämpft). Die Begrenzung der Reglerbandbreite auf einen Wert unterhalb der Sensorresonanzfrequenz hat zwar die Stabilität des Reglers hergestellt, die Eigenresonanz des Sensors (die wichtigste Störgröße) dann aber folglich nicht mehr unterdrücken können. Also mußte die Gesamtanordnung, inclusive des Resonanzverhaltens der Regelstrecke, nach den Gesetzen der Stabilität gegengekoppelter Systeme untersucht werden.

## Die Ringverstärkung

Die Betriebsverstärkung gegengekoppelter Systeme berechnet sich nach der

Formel (1):

$$v = A \frac{v}{1 - kv} = A \frac{v}{1 - v_R} = -\frac{A}{k} \frac{1}{1 - \frac{1}{v_R}} = v_{ideal} \frac{1}{1 - \frac{1}{v_R}} = v_{ideal} FT$$

Die reale Betriebsverstärkung ist also das Produkt aus der idealen (gewünschten) Betriebsverstärkung und dem Fehlerterm FT, der seinerseits nur eine Funktion der Ringverstärkung ist. Im Falle des Regelkreises nach **Abb. 2** gilt für die Ringverstärkung die Formel (2):

$$v_R = v_{PID} KF_{1,U \rightarrow \varphi} KF_{2,\varphi \rightarrow U} k$$

„Im Kreis“ treten also die Verstärkung des PID-Reglers auf, sowie die Konversionsfaktoren KF des Stell- und des Meßgliedes, als auch der Rückkopplungsfaktor k. Ist die Ringverstärkung groß, so folgt nach (1): FT=1. Ist die komplexe Ringverstärkung dagegen +1, dann ist der Regler instabil. Dies bedeutet, daß bei der Transitfrequenz der Ringverstärkung die Phasendrehung der Ringverstärkung die für niedrige Frequenzen „verdrahtete“ Gegenkopplung nicht durch eine Phasendrehung von 180° wieder aufheben können darf.

Durch das Resonanzverhalten des Stellgliedes tritt dieser Fall jedoch bei der gegebenen Meßanordnung auf. Das zeigt die gemessene Ringverstärkung in **Abb. 3**. Bei der Frequenz der Resonanzüberhöhung des Betrages der Ringverstärkung tritt eine Phasendrehung um 180° auf. Dies wurde für den Fall gemessen, daß die D- und I-Anteile des Reglers unwirksam sind, d.h. der Regler als reiner Verstärker frequenzunabhängig arbeitet.

## Der PID-Regler

Die schaltungstechnischen Maßnahmen zur Einstellung eines optimalen Verhaltens der Meßeinrichtung lassen sich folgendermaßen zusammenfassen: (a) zum Proportionalanteil des Reglers wird ein Differentialanteil zur Sicherstellung der Stabilität und (b) zusätzlich ein Integralanteil zur Verkleinerung des Proportionalitätsfehlers hinzugefügt.

**Abb. 4** zeigt das Schaltbild der Gesamtanordnung.

(a) Ein Sinusgenerator mit Stromausgang wird auf einen Parallelkreis mit der Meßinduktivität (von der Sensorauslenkung abhängig) geschaltet. Die Arbeitsfrequenz liegt dabei immer im kapazitiven Teil der Resonanzkennlinie.

(b) Das Signal wird gleichgerichtet und einem Differenzverstärker zugeführt, an dessen zweitem Eingang der Sollwert des Reglers (hier eine DC-Spannung) angelegt werden kann.

(c) Es folgt der PID-Regler, dessen D-Anteil an P<sub>2</sub>, I-Anteil an P<sub>3</sub> und P-Anteil an P<sub>4</sub> eingestellt werden können.

(d) Die anschließende Endstufe treibt die Induktivität L<sub>2</sub>, die je nach Sollwert die Ruhelage des Sensors bestimmt. Der Strom ist proportional zur gesuchten Strömungsgeschwindigkeit. Seine Größe wird am Meßwiderstand R<sub>20</sub> als Spannung abgegriffen.

## Die optimale Einstellung

Die optimale Einstellung des Reglers liegt bei:

$$|v_R| = 3,5 \quad \text{und:} \quad f_{T, D\text{-Anteil}} = 1,81 \text{ Hz} \quad f_{T, I\text{-Anteil}} = 1,5 \text{ Hz}$$

Dies sind die Transitfrequenzen des Differenzierers und Integrierers.

Die Sprungantwort des optimal eingestellten Systems nach einem Sollwertsprung hat ein gewünschtes Überschwingen von 10 %.

## Danksagung

Dieser Text entstand auf der Grundlage einer Examensarbeit von Herrn Dietmar Kaiser: *Empfindliches Strömungsmeßgerät mit Auslenkungsregelung*. Ich danke ihm und Herrn Prof. Dr.-Ing. Wolfgang Weber, der die Meßdatenerfassung und -verarbeitung seit Jahren intensiv unterstützt.

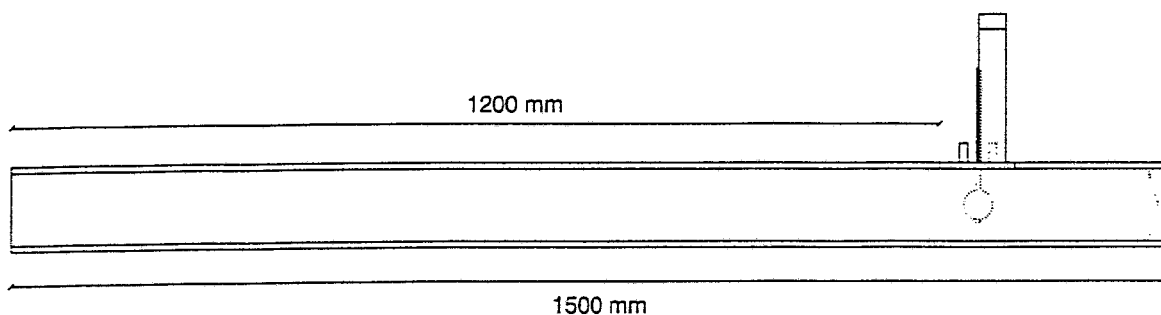


Abb. 1: Experimentaufbau: Strömungskanal

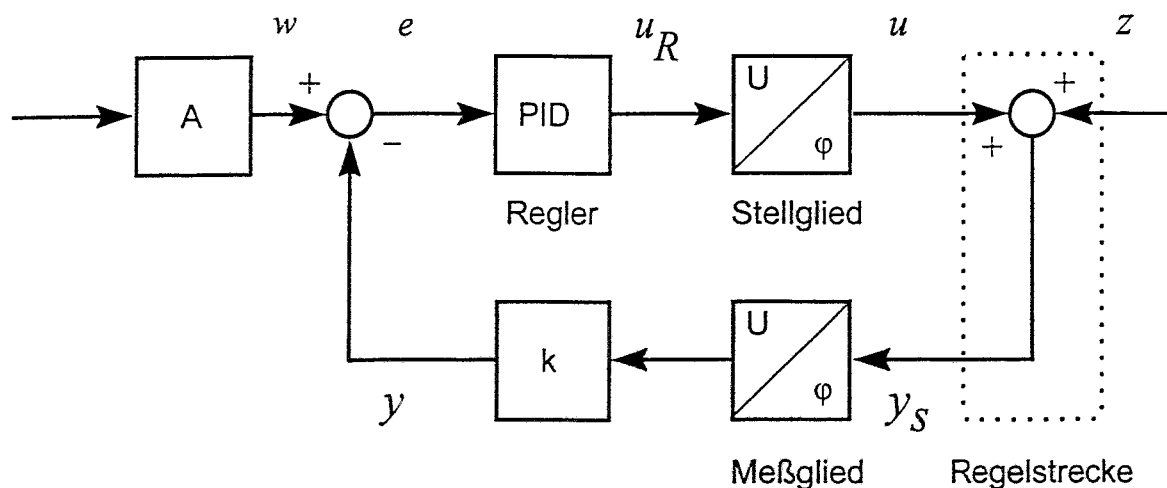


Abb. 2: Blockschaftbild des aufgebauten Regelkreises

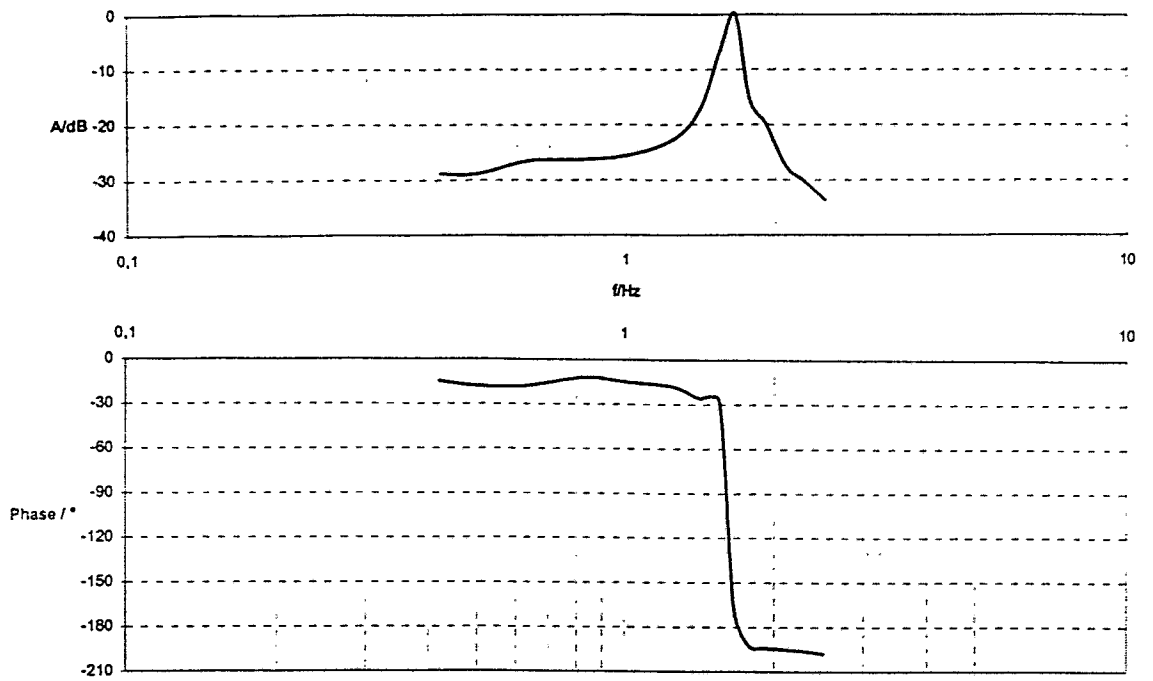


Abb. 3: Messung der Ringverstärkung

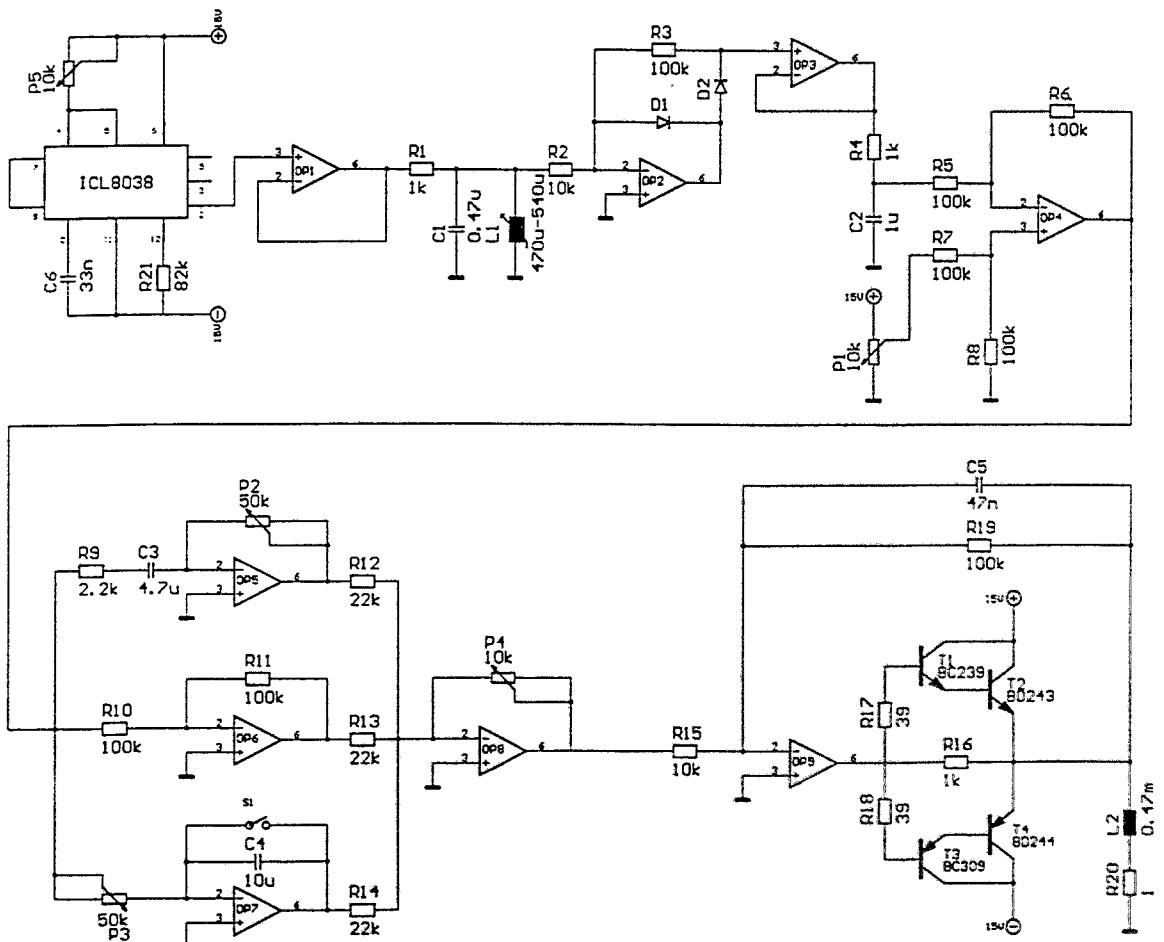


Abb. 4: Schaltbild der Elektronik

EUROPEAN COMMISSION

JOINT RESEARCH CENTRE  
Institute for Reference Materials and Measurements

Geel, Belgium

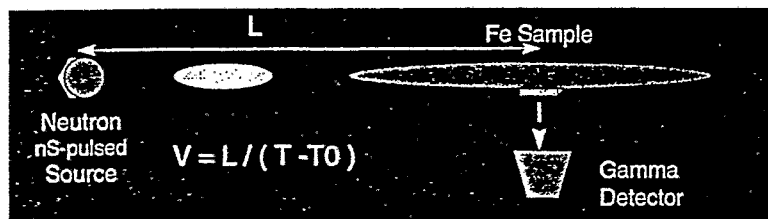
## Multiparametric event list processing: from C to JAVA

C. Bastian, A. Panagopoulou

### Abstract:

The migration of a family of utilities used in multiparametric analysis of from the C and X-windows environment to the JAVA object-oriented approach is presented. It is specially intended for low energy physics measurements on neutron induced nuclear reactions.

### Neutron TOF spectroscopy

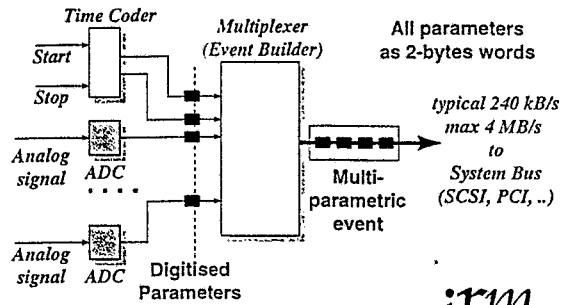


- Fe56 (n, gamma) , energy dependent
- Time Of Flight  $\leftrightarrow$  neutron energy
- Det. Pulse Height  $\leftrightarrow$  gamma energy

In IRMM most cross-sections of neutron induced nuclear reactions are measured by the neutron time-of-flight method. Short pulses (0.2 ns) of neutrons with a broad energy spectrum (0.1 eV to 5MeV) irradiate the material sample under study. The time difference between the emission of the pulse and the detection of a reaction product allows to measure the velocity, hence the energy of the neutron which caused the reaction. This time difference is digitised as two words of 16 bits by a time coder device. It is a measured parameter of the reaction, on the same level as pulse amplitudes of other detector signals.



## Data acq. devices in neutron TOF

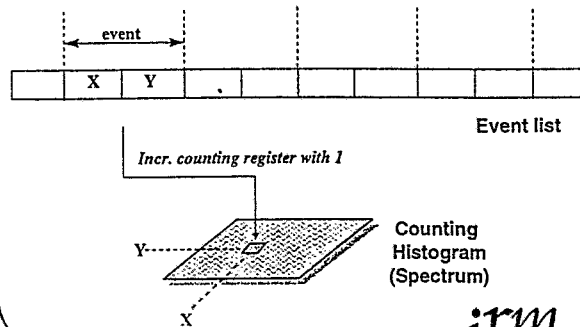


*irm*

For every reaction detected a set of words representing the parameters is produced. This set is commonly called an event, and it is built as a sequence of 16 bit words by a special device. Because the input of these words is parallel during a prescribed coincidence interval, and the output is serial, the event builder device is also termed a multiplexer.

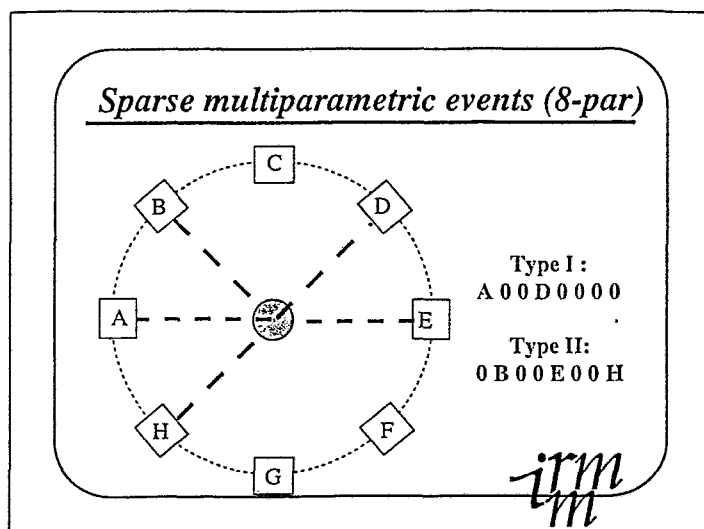
Experimental setups around the pulsed neutron source GELINA of Geel rarely produce events with more than 16 parameters with count rates over 10,000 events/second. Accordingly, the data output of these detection systems is smaller by many orders of magnitude than those produced by the detector setups in high energy physics.

## Event sorting (simple biparametric)

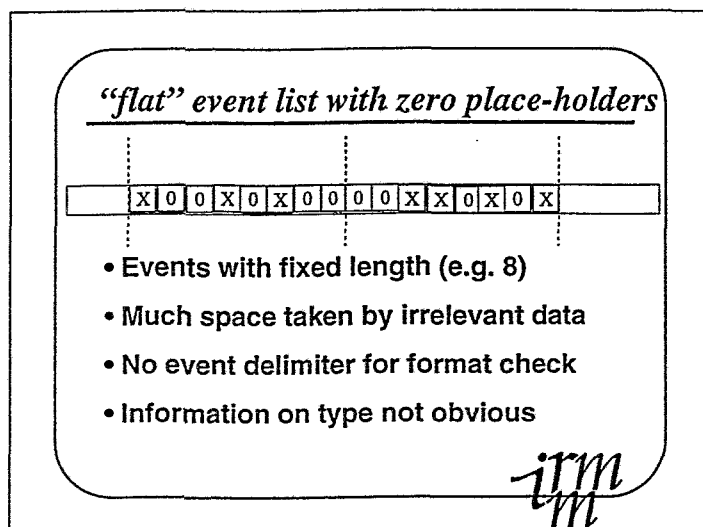


*irm*

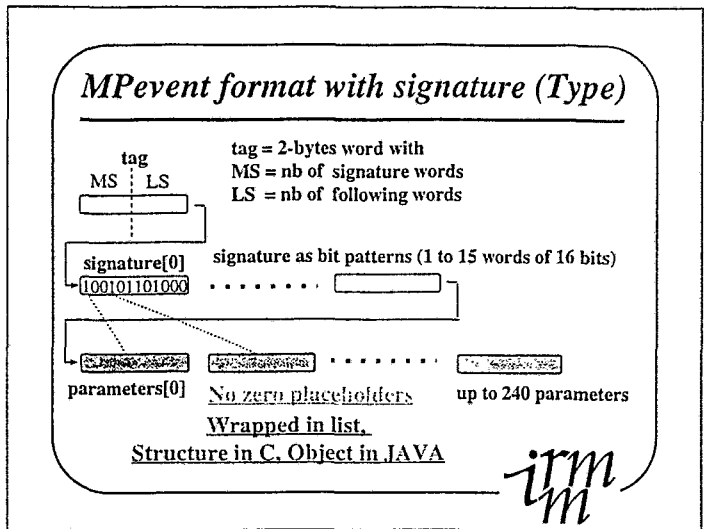
In low-energy neutron cross-section measurements, most of the events recorded are of interest. In general, the distribution of the events according to one or two of their parameters is accumulated in a one or two dimensional histogram, as shown in the above figure for the (unrealistic) case of a list of events with only two parameters.



This figure presents the more realistic case of a measurement where the sample is surrounded by a battery of 8 detectors, every of which produces a signal corresponding to a parameter of the reaction (e.g. the energy of the reaction product). It is never the case that all detectors fire simultaneously, On the contrary, the coincidence pattern of those who participate in the event can be used to specify the type of the event recorded.

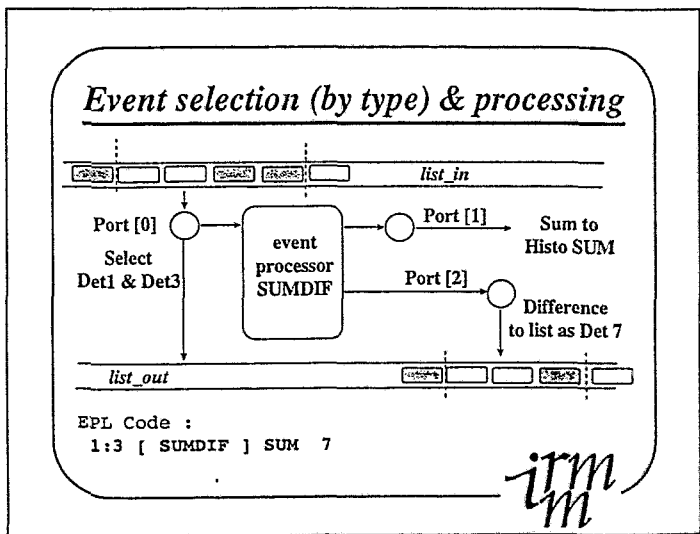


The most obvious format for a list of events with at most 8 parameters is represented on the top line of the above figure. Its only advantage is simplicity, however it has a number of drawbacks.



The Mpevent format as represented above was designed specially for our type of few parameter events. It is a sequence of 16 bits words with variable length, where the significant parameters are preceded by the signature of the event as a bit pattern in one to 15 words. The first word in the sequence contains the length of the signature and the total length of the event. This allows efficient on-line format checks and an easy sorting by type of the events in a list.

This format with 16-bits words is theoretically limited to 240 parameters. The redundancy of the signature information is compensated by the absence of zero placeholders as in the flat format of the preceding slide. Practice has shown that the Mpevent format uses less space than the flat one when the average number of parameters is above 3.



Our acquisition programs enables the user to monitor on line the distribution of a certain type of event of his choice, and even to process some combinations of the raw measured parameters to the more physical parameters of the nuclear reaction. For that purpose the user is required to design a small piece of software called an event processor describing the treatment to be given to a certain type of event. Moreover, he has to implement the event processor by a line of EPL code defining the type of event to be selected from the input list buffer and what has to be done with the event processor outputs - either use them to increment a counting histogram or save them in an output list buffer.

## Implementing a sorting task in EPL

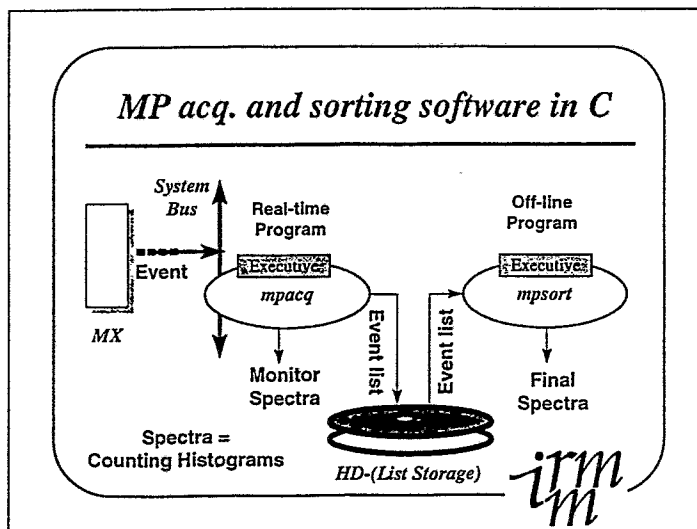
- EPL (Event Processing Language) is specific of MP utilities
- Source \*.EPL = description of the task by statements
 

```
DEF_H EAST, WEST /NCHAN=4k /NROWS=64,16
2:3 [MYPROC] EAST 10:11
6:7 [MYPROC] WEST 14:15
```
- Source compiled with mpmake to Executive \*.EPX  
i.e. a sequence of Mpcodes (2bytes)
- Executive implemented by MP acq./sorting utilities  
as a series of processors linked by MPlist buffers

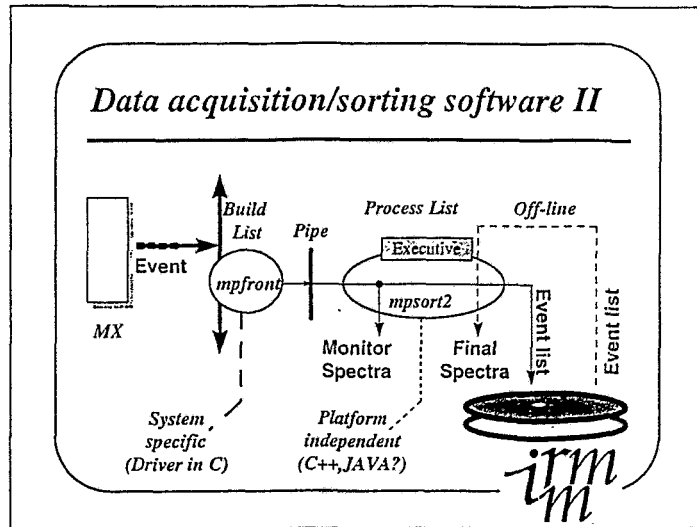
*irm*

The implementation of an event list processing task tailored to the specific needs of the measurement is prepared in a source text defining the histograms to be built, the type of events to be selected, the event processors to be used, etc. This source is checked and compiled to a binary executive in principle very similar to the binary file produced by a JAVA compiler

## MP acq. and sorting software in C



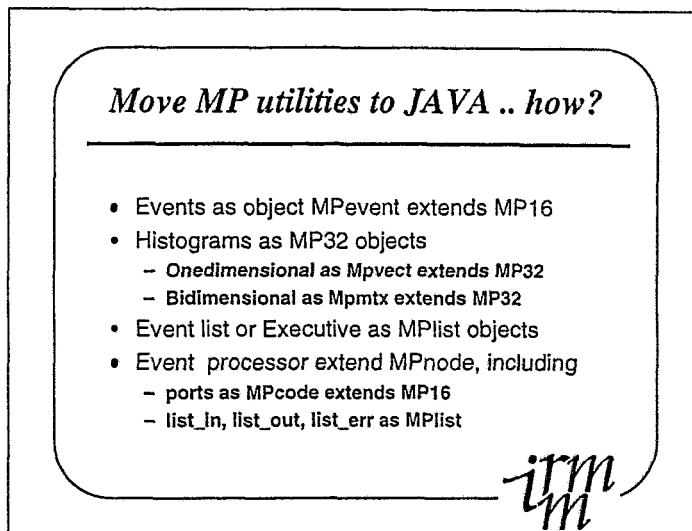
In its original form, the package of MP utilities consists of a real-time program *mpacq* producing live monitors of the event production and a list file to be used for refined list analysis by an off-line program *mpsort*. Both programs operate following executives designed by the users and compiled with *mpmake* as introduced before.



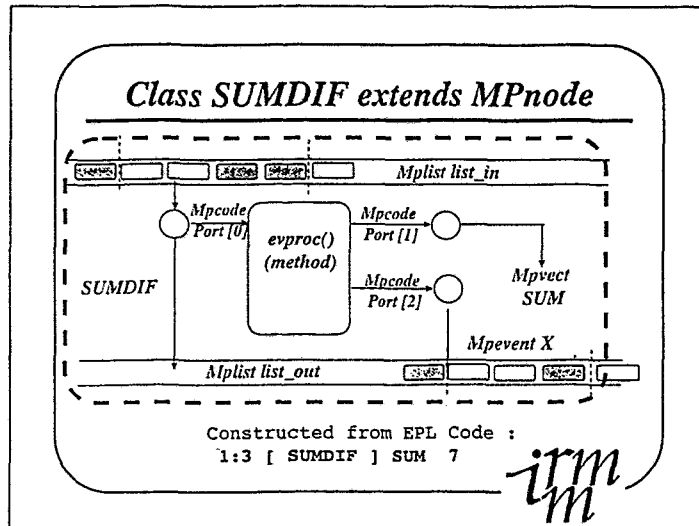
In the newer form of the MP utility package the acquisition is redistributed between two programs. The first *mpfront* only formats event list buffers and sends them through a pipe in the sense of UNIX to the second *mports2*.

*mports2* is in its function similar to the *mports* of the preceding slide and can be used as well for on-line analysis. As a file-to-file program it may be upgraded to a platform independent version in JAVA.

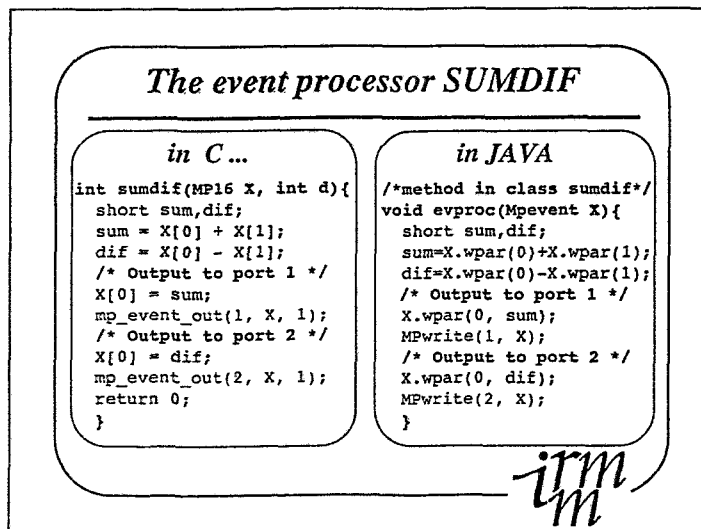
On the other hand the program *mpfront* may be designed in different versions corresponding to the bus of the acquisition system and the actual event format delivered by the multiplexer. The present version for a UNIX system fed by Transputer Multiplexers is written in ANSI C. The next version for a modern multiplexer will also be written in C.



The above slide shows our migration strategy for the MP utilities from a series of C-Code to a hierarchy of JAVA classes. starting from arrays of 16bit words for the event parameters and arrays of 32 bit words for the histograms.



The above slide shows the organisation of the object *Mnode*. An event processing utility like *mpsort* relies on an array of subclasses of *Mnode* communicating via their *list\_in* and *list\_out* objects and via ports to an array of MP32 histogram objects. The nodes differ from another by a specific method *evproc* which is declared abstract in the superclass.



There are no essential differences in the implementation of an event processor in C and the corresponding *evproc* method in JAVA.

### *Design issues for speed*

---

- Write device -specific "driver" mpfront in ANSI-C
- Transfer list data from C-mpfront to JAVA-mpsort only as MPlist buffers
- Avoid creation of MPevent objects in inner loop (better : copy list data into existing objects)
- Refresh graphic display only at the end of a full buffer processing (future)

The logo consists of the lowercase letters 'irm' in a stylized, handwritten font. The 'i' and 'r' are connected, and the 'm' is positioned below them.

There are well-known pitfalls in the transfer of a real time application from C to JAVA. The above prescriptions will have to be kept in the upgrade, keeping in mind that the issue of speed and processing power overhead is vital in this sort of application.

### *Further developments .. on-going*

---

- Portable graphic functionalities
  - Live histogram display MP32.draw()
  - Executive design by GUI-mpmake
- Serialise Histograms to file the results
- Run MPutilities in a Web browser

The logo consists of the lowercase letters 'irm' in a stylized, handwritten font. The 'i' and 'r' are connected, and the 'm' is positioned below them.

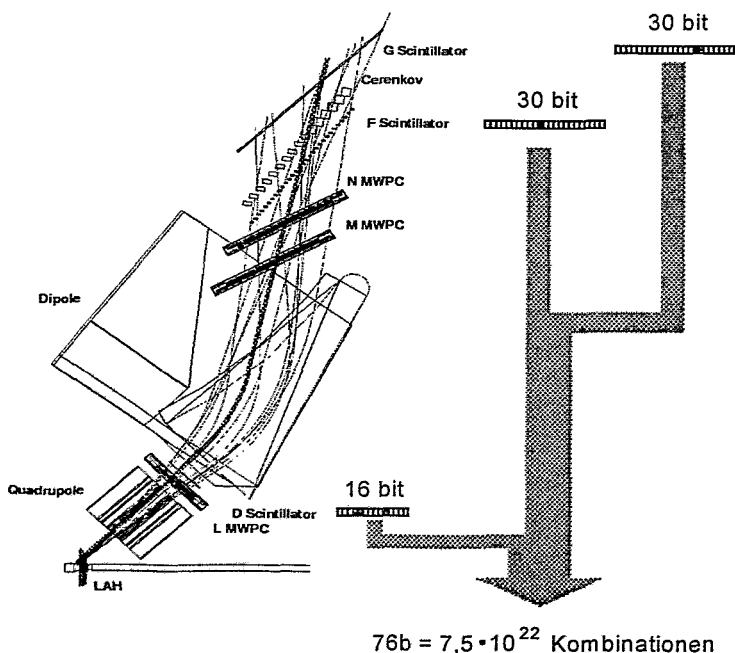
We expect the migration of the MP utilities partly to JAVA to solve the problems of real-time graphic display and communication between programs independently of the operating system(s) used for real-time acquisition and processing of multiparametric events representing the measured nuclear reactions.

# Schnelle Mustererkennung als Trigger für das Kaon Spektrometer

M.Menzel, M. Born, I.M.Böttcher, B.Kohlmeyer, F.Pühlhofer  
 Fachbereich Physik, Universität Marburg

Das Kaon-Spektrometer (KaoS) das am SIS (GSI) aufgebaut ist, wurde konstruiert, um die seltenen Kaonen, die bei Schwerionenstößen (z.B. Ni+Ni) entstehen, zu messen. Die besondere Problematik ergibt sich daraus, daß neben den Kaonen auch andere Teilchensorten, wie Pionen und Protonen in den Reaktionen freigesetzt werden und zwar in einem Verhältnis von einem Kaon auf typisch 10.000 Pionen und 100.000 Protonen.

Das Kaon Spektrometer (Abb.1) besteht im wesentlichen aus einem ca. 100 t schweren Dipol Magneten und einem davor befindlichen Quadrupol, der die vom Target emittierten Teilchen in den Dipol fokussiert. Zwischen Dipol und Quadrupol befindet sich, der aus 16 Szintillationsdetektoren zusammengesetzte D-Detektor. In der Fokalebene des Dipol ist der sogenannte F-Detektor montiert, der wie der dahinter aufgebaute G-Detektor, aus 30 Einzeldetektoren besteht. Die Flugzeitmessung zwischen D- und F-Detektor dient als Trigger für die Datenaufnahme, der es ermöglicht, die Pionen- und Protonen-Zählrate, relativ zur Kaonenzählrate, um ein bis zwei Größenordnungen zu reduzieren. Weitere Detektorsysteme dienen vornehmlich der Offline-Auswertung.

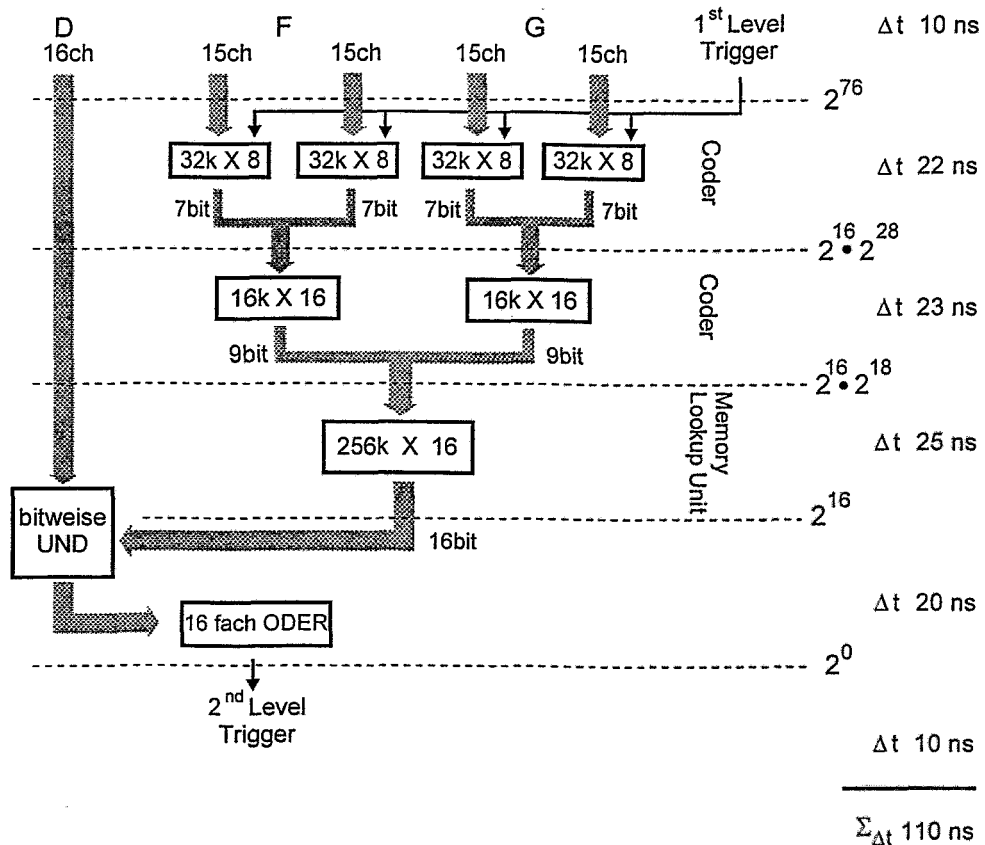




Der hier vorgestellte 2<sup>nd</sup>-Level-Trigger wurde entwickelt, um die anstehenden Intensitätserhöhungen am Darmstädter SIS voll auszunutzen zu können, ohne die Totzeit der Datenaquisition steigern zu müssen. Dazu bewertet der 2<sup>nd</sup>-Level-Trigger in 110 ns, anhand der von den Teilchen im D-, F- und G-Detektor hinterlassenen Treffer-Mustern die Flugbahn der Teilchen durch das Spektrometer.

Das sehr enge Trigger-Timing am Experiment erfordert ein Konzept, das in maximal 150 ns aus den Treffer-Informationen der 76 Einzeldetektoren, mit theoretisch  $2^{76} = 7,5 \cdot 10^{22}$  verschiedenen Eingangskonfigurationen, eine Entscheidung über die Gültigkeit eines 1<sup>st</sup>-Level-Triggers generieren kann. Da Pro Event im F- und G-Detektor zu 90% nur ein oder zwei Einzeldetektoren getroffen werden, reduziert sich die Zahl, der zu bewertenden, Muster-Kombinationen auf einige tausend, wenn man Events mit mehr als zwei ansprechenden Einzeldetektoren in einem Detektor unbewehrt läßt.

Die in Abb. 2 zu sehende Logik ermöglicht es, in dem gesetzten Zeitrahmen die gemessenen Teilchenspuren mit theoretischen zu vergleichen:



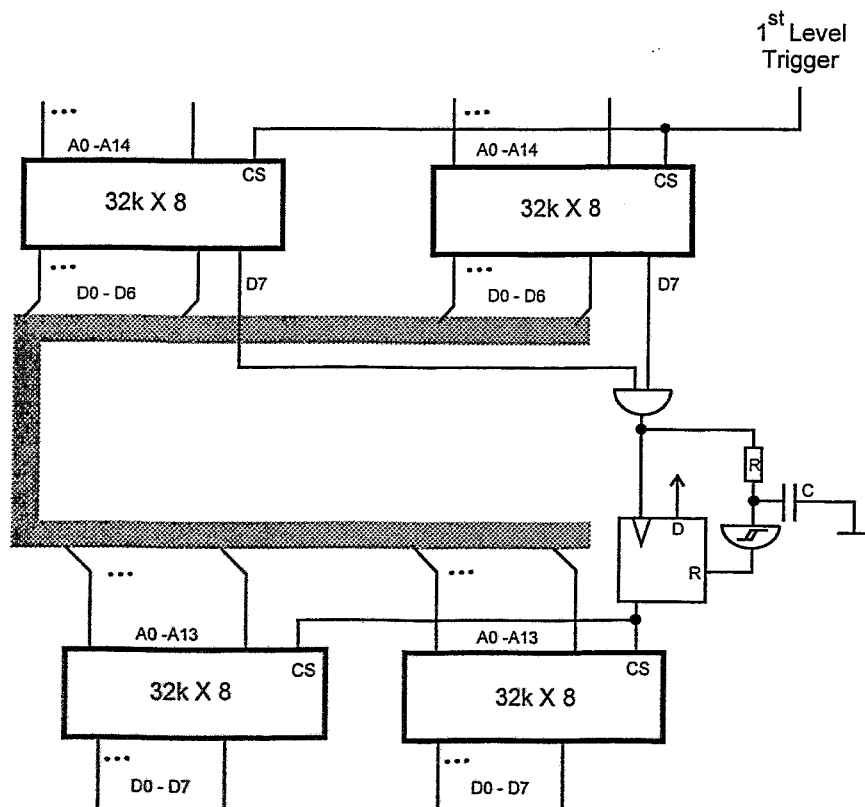
Das Treffer-Muster des F- und G- Detektors wird jeweils in zwei 15-bit breite Daten-Worte aufgespalten, die als Adresse an jeweils einem 32k X 8 bit RAM anliegen. Der Daten-Output der RAMs, der vom 1<sup>st</sup>-Level-Trigger veranlaßt wird, besteht aus einer, für das jeweilige Input-Muster, charakteristischen Zahl, die vor Beginn des Experimentes unter der jeweilige Adresse gespeichert wurde. Die Anzahl der möglichen Muster-Kombinationen wird durch diesen Schritt von  $2^{60}$  auf  $2^{28}$  reduziert. Die zweite Stufe, bei der die Teilinformationen der einzelnen Detektoren zusammengefaßt werden, funktioniert auf die gleiche Weise, wobei die Anzahl der möglichen

Adressen auf  $2^{18}$  reduziert wird. Das 18-bit breite Ausgabeworte der zweiten Stufe kodiert eindeutig alle möglichen 1- und 2-Treffer-Muster. Diese Zahl wird wieder als Adresse auf eine 256k X 16 bit Memory-Lookup-Unit (MLU) gegeben, die als Ausgabe das aus der Kenntnis der F- und G-Muster zu erwartende Treffer-Muster des D-Detektor liefert. Die Ausgabe der MLU wird dann mit dem gemessenen Muster über ein bitweises AND verglichen. Für den Fall, daß eine Übereinstimmung gefunden wurde, wird ein 2<sup>nd</sup>-Level-Signal generiert.

Diese Logik wurde zusammen mit der notwendigen Unterstützungs Logik in TTL-Technik (F,ACT) in einem 3-fach-CAMAC-Modul realisiert. Da die Detektor-Informationen als differentielle ECL Signale vorliegen, mußten ECL-TTL Converter für 76 Kanäle vorgesehen werden, die auf 2 Extraplatininen ausgelagert wurden. Alle RAM-Arrays sind aus Standard SRAM ICs, die jeweils eine Zugriffszeit von 15 ns haben, aufgebaut und auf einer 4-lagigen Platine, die in 10 mil geroutet wurde, untergebracht. Die Programmierung der RAMs erfolgt über den CAMAC- Dataway. Die Leistungsaufnahme des Moduls beträgt weniger als 10 W, wobei alleine die ECL-TTL Converter mehr als 5 W verbrauchen. Die Durchlaufverzögerung, gerechnet vom Eintreffen des 1<sup>st</sup>-Level-Triggers bis zum Auslösen eines 2<sup>nd</sup>-Level-Triggers ist unabhängig von der Eingangssituation und beträgt 110 ns.

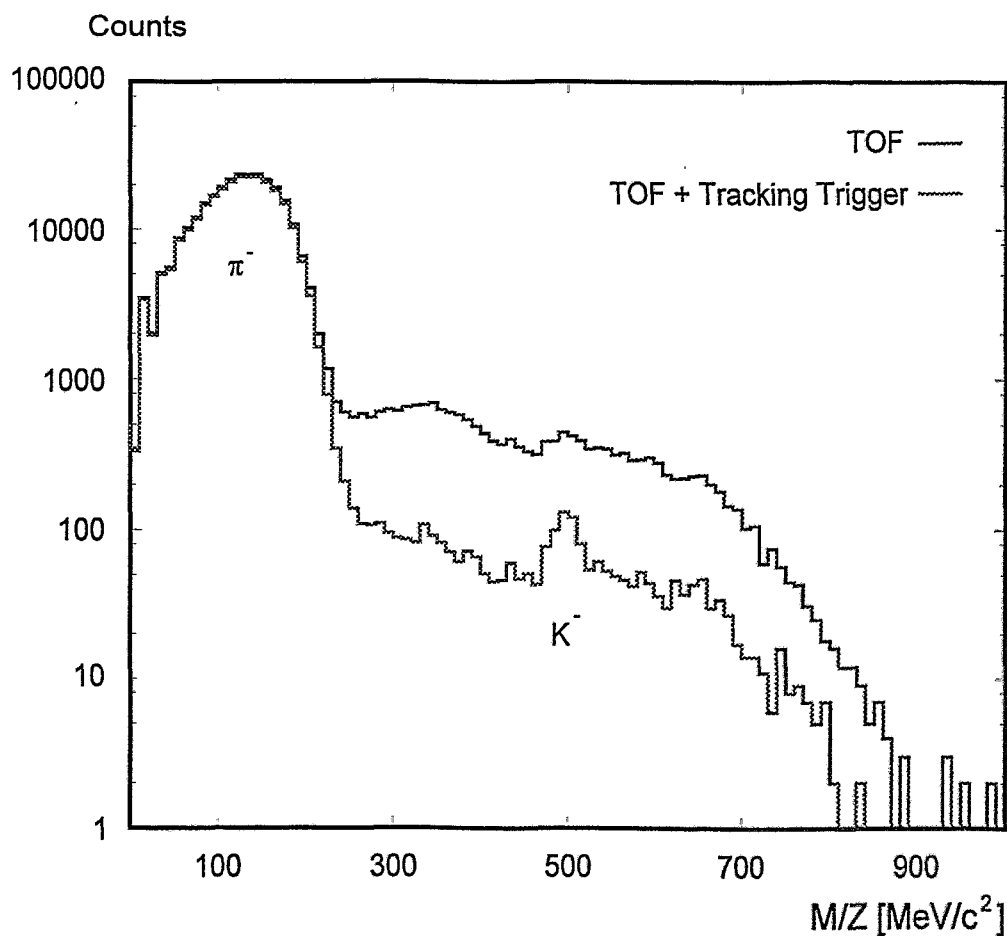
Ein wichtiges Argument gegen den Aufbau der oben beschriebenen Logik mit kommerziell erhältlichen MLU's (z.B. LeCroy 2373), war der Preis, der mit ca. 50.000,- DM zu kalkulieren wäre; die beschriebene Lösung hat lediglich 5.000,- DM gekostet und wurde in nur 3 Monaten geplant und gebaut.

Ein interessantes Detail der Konstruktion, findet man in der Weitergabe des Triggers von einer RAM-Stufe zur nächsten : (Abb. 3)



Um zu gewährleisten, daß alle Adressleitungen an der nächsten Stufe stabil anstehen, wenn der Trigger der für die nächste Stufe startet, wird in jedem verwendeten RAM-IC das MSB fest auf "1" programmiert. Die MSB der ICs die zusammen eine Adresse bilden sollen, werden über ein AND verknüpft und unabhängig von Timing-Differenzen zwischen den Ausgaben der einzelnen ICs wird der Trigger für die nächste Stufe erst dann durch ein FlipFlop generiert, wenn beide MSBs anliegen. Über eine Tiefpass/Schmitt-Trigger Kombination, die ein Delay von 50 ns bewirkt, wird das FlipFlop zurückgesetzt, wodurch eine definierte Triggerlänge für die zweite Stufe garantiert ist.

Die Funktion des Triggers im Experiment wurde im November 1997 in einer Strahlzeit erfolgreich getestet, wobei die RAMs so programmiert wurden, daß für "echte" Teilchen eine Triggereffizienz von 95% erreicht wurde. Mit dieser Vorgabe wurde das Peak/Background Verhältnis um bis zu eine Größenordnung verbessert (Abb. 4).



# Demonstration flexibler FPGA basierender VME Elektronik an Hand der SIS72xx/7600 Scaler/Latch Familie

von M. Kirsch  
Struck Innovative Systeme GmbH  
Langenharmer Weg 65d  
22844 Norderstedt

## ZUSAMMENFASSUNG

Die Elektronikentwicklung für die Teilchenphysik hat im Falle kleinerer Experimente oft die Problematik sehr spezieller Anforderungen bei geringem Stückzahlbedarf. Durch die gesteigerten Möglichkeiten von FPGAs ist es für eine Anzahl von Anwendungen möglich geworden, verschiedene Anforderungen mit der gleichen Hardware durch den Einsatz von spezieller Firmware abzudecken. Eine Entwicklung die dieses Konzept verfolgt ist die SIS72xx/7600 Zähler/Latch Familie. Sie umfaßt den „klassischen“ 32 Kanal 200 MHz 32-bit SIS7200 Zähler, den SIS7201 als Multi Channel Version und den SIS7202 8 Kanal Prescaler. Als 32-bit Latch ist das SIS7600 ebenfalls der Familie zugehörig. Weitere Module auf der Basis der gleichen Mutterplatine sind angedacht.

## EINLEITUNG

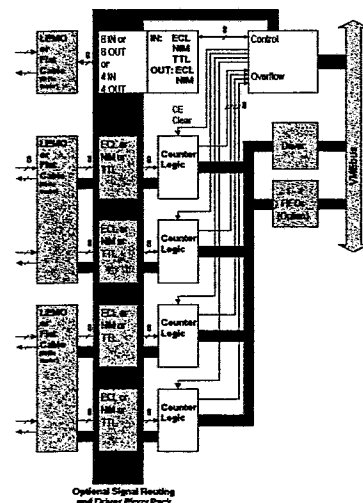
Zähler sind wichtige Bestandteile einer Vielzahl von Experimenten aus der Physik und benachbarten Disziplinen. Die Anforderungen reichen dabei von einigen Kanälen bis zu einigen Hundert Kanälen, die Anforderungen an die maximale mögliche Zählrate vom sub Hertz bis zum 100 Megahertz Bereich. In den letzten Jahren hat sich bei den meisten namhaften Labors und Forschungseinrichtungen der Trend zur VME [1,2] Instrumentierung beim Aufbau von neuen Experimenten durchgesetzt. Gleichzeitig stieg die Taktgeschwindigkeit von FPGAs und ihre Gatteranzahl in den letzten Jahren stetig an, so daß heute der Aufbau von bis vor kurzem mit dieser Technik noch unvorstellbaren Schaltungen und Logik auf der Basis von FPGAs in den Bereich des technischen Standards gerückt ist.

Die SIS72xx/7600 Familie von VME Karten im 6U Format nutzt diese Möglichkeiten um, ausgehend von einer gemeinsamen Platine, durch flexible Firmware und Beschaltung die Bedürfnisse einer Vielzahl von Zähler- und Latchanwendungen abzudecken.

## KONZEPT/DIE BASISPLATINE

Bei der Basisplatine handelt es sich um eine Karte im Doppel Europa Format (6U VME). Das Herzstück des Moduls stellen 6 Xilinx Bausteine dar. In vier der Bausteine ist die jeweilige Zähler oder Latchlogik in 8-Kanalgruppen implementiert, ein Baustein ist für die Kontrolllogik zuständig, im letzten Xilinx befindet sich das VME slave Interface, welches über A16/A24 und A32, sowie D16/D32 und BLT32 Fähigkeiten verfügt. Die Xilinx Bausteine werden von einem Flash-PROM geladen, dabei besteht die Möglichkeit über ein Jumperarray unter verschiedenen Firmware Versionen zu wählen. Zur Frontplatte hin verfügt das Modul über ein

flexibles Feld, welches über Bestückungsvarianten den Bau von Geräten mit NIM, ECL und TTL Pegeln zuläßt. Um den hohen möglichen Frequenzen gerecht zu werden, wird von einer Bestückung mit Sockeln an dieser Stelle abgesehen. Über eine optionale Signal Routing und Treiberplatine besteht die Möglichkeit Signale zwischen den Xilinx Bausteinen und den Steckern auf „langsameren“ Geräten, wie dem Prescaler, umzurouten. In der Abbildung unten ist das Blockdiagramm der Basisplatine dargestellt.



SIS72xx/7600 block diagram

Ein optionales FIFO ermöglicht die Realisierung von Geräten mit VME-seitiger Buffermöglichkeit, wie z.B. Multichannel Zählern. Bei der Entwicklung der Basisplatine wurde auch besonderes Augenmerk darauf gerichtet, daß die Module in einem Standard VME System ohne Erweiterungen betrieben werden können. Insbesondere werden die für Treiber erforderlichen -5 V durch einen DC/DC Wandler auf der Karte erzeugt.

### *SIS7200 32 Kanal 32-bit 200 MHz Scaler*

Der SIS7200 ist das "klassische Zählerdesign" mit 32-bit Kanaltiefe, 32 Kanälen und einer maximalen Zählrate von 200 MHz für NIM und ECL Versionen und 100 MHz für die TTL Version. In dieser Firmware Version verfügt der SIS72xx über 8 Kontrolleingänge, die je nach Modus unterschiedliche Funktion haben. Es besteht über die Kontrolleingänge, ebenso wie über den VMEbus, die Möglichkeit die Zählerkanäle entweder in 8er Gruppen oder alle Kanäle gleichzeitig zu löschen. Wie alle SIS72xx/7600 verfügt das Modul über eine gelbe LED, welche den VME Zugriff signalisiert. Das Modul unterstützt read on the fly, dabei ist der Zustand der niederwertigsten 6 Bits undefiniert, dh. das Zählergebnis ist dabei Modulo 64 bekannt. Wenn eine totzeitfreie Auslese von Interesse ist, ist diese mit dem SIS7202 erreichbar.

### *SIS7201 32 Kanal 24/32-bit 200 MHz Multiscaler*

Das SIS7201 Design ist die Multichannel Version des SIS7200. Sie wurde mit dem Hinblick auf nahezu totzeitfreie Auslese und die Messung von sich, auf einer für die VME Performance in einem Gesamtaufbau bezogenen eher kleinen Zeitskala, verändernden Zählraten, entwickelt. Das Modul hat ebenfalls 32 Kanäle und eine maximale Zählrate von 200 MHz. Für die Kanaltiefe stehen die Varianten 24 und 32-bit zur Verfügung. Das Multiscaling ist über zwei Zählerbänke implementiert, die abwechselnd aktiv sind. Beim Bankwechsel, also dem Start einer neuen Zeitscheibe, ist für die Bankwechselzeit von maximal 5 ns nicht definiert, ob ein Count noch in die alte oder schon in die neue Bank gezählt wird, es tritt jedoch kein Verlust auf. Die minimale Fortschaltzeit (dwell time) ist durch die Zeit gegeben, die erforderlich ist, die Daten aus der inaktiven Zählerbank in das FIFO (bis zu 4\*64K\*16-bit groß) zu kopieren. Der Kopiervorgang dauert ca. 100 ns pro Zählerwert, so daß ein Modul bei dem alle 32 Kanäle aktiv sind eine minimale dwell time von kleiner 4 µs erreicht werden kann. Die Dauer des Kopiervorgangs kann über den copy in progress (CIP) Frontplattenausgang abgegriffen werden. Bei der 24-bit Version des SIS7201 werden die oberen 8 bit dazu genutzt die Kanalnummer (0-31), die jeweils aktuelle Zählerbank (0,1) und zwei über die Frontplatte setzbare Benutzer Bits in das Datenwort zu packen. Die Nutzer definierten Bits wurden mit Hinblick auf Anwender eingeführt, welche eine veränderliche externe Bedingung, wie z.B. Chopper auf/zu, mit in den Datenstrom einbringen wollen.

### *SIS7202 8 Channel 50 MHz Prescaler*

Die Firmware für den SIS7202 wurde im Hinblick auf Experimente entwickelt, die unter Programmkontrolle den Vorteiler z.B. verschiedener Trigger steuern wollen. Bei diesem Design finden nur zwei Prescaler Kanäle Platz in jedem Counter FPGA, somit hat das Modul 8 Kanäle mit einem 32-bit Prescale Faktor. Das Timing zwischen Eingangs- und Ausgangssignal ist dabei vom Prescale Faktor unabhängig. Über die optionale Signal Routing und Treiber

Platine ist es möglich einem Eingang mehrere Ausgänge zuzuweisen, und das Modul somit gleichzeitig als Fan Out für die vorgeteilten Signale zu verwenden. Die Designregeln ergeben für das Modul eine maximale Eingangsfrequenz von 33 MHz, unter Laborbedingungen hat sich jedoch gezeigt, daß die Module bis 50 MHz Eingangsfrequenz zuverlässig arbeiten.

### *SIS7600 32-bit Latch*

Das SIS7600 Design ist eine Multi Event fähige Latchimplementierung auf der Basis der SIS72xx/7600 Mutterplatine. In der Standardversion können bis zu 32K Ereignisse gepuffert werden, mit den größten derzeit in der erforderlichen Bauform erhältlichen synchronen FIFO Bausteinen ist eine Kapazität von 32K\*4 Ereignissen erreichbar. Das Latch kann im Strobed und Koinzidenz Modus betrieben werden. Für Triggeranwendungen ist ein schneller OR Ausgang implementiert, durch einen über Software ansteuerbaren Ausgang ist die Wechselwirkung mit externer Trigger- oder Totzeitlogik möglich. Mit Hilfe des SIS7600 ist es in gewissem Umfang möglich ECL, TTL oder NIM Datenströme aufzunehmen (Betrieb als VME FIFO), die erreichbare Datenrate ist in diesem Fall größer als ein Langwort/200 ns oder 20 MB/s.

### AUSBLICK

Für eine Anzahl von Anwendungen in der Synchrotronstrahlungs- oder Neutronenforschung ist nur eine begrenzte Zahl von Zählerkanälen erforderlich. Um auch diese Bedürfnisse mit der gleichen Mutterplatine abdecken zu können, sind abgespeckte Bestückungsvarianten geplant. Durch Weglassen von Treiber/Puffer Komponenten und FPGAs soll der SIS7203 als 16 Kanal und der SIS7204 als 8 Kanal Zähler entstehen. Beide Module sind zunächst in der 32-bit 200 MHz Version geplant, ein weiterer Gedanke liegt in der Verwendung langsamerer und preisgünstigerer Xilinx Chips für Varianten mit niedrigeren Anforderungen an die maximale Zählrate.

### ZUSAMMENFASSUNG

Durch die Verwendung von flexibler auf FPGA basierender Elektronik lassen sich bei entsprechender Planung einer Grundplatine Layout und Einmalkosten für verwandte Module einsparen, ohne schlechtere Eigenschaften der Geräte in Kauf nehmen zu müssen. Dieser Aspekt kann auch für Elektronik Pools oder kleinere Experimente von Vorteil sein, da eine Grundplatine, je nach gewählter Firmware, verschiedene Aufgaben erfüllen kann, und somit die Bevorratung und Ersatzteilhaltung gestrafft werden kann.

### REFERENZEN

- [1] VMEbus Specification, IEEE1014-1987
- [2] Towards a Single Standard for Modular Electronics, CERN EPAC (1996), Geneva, Switzerland

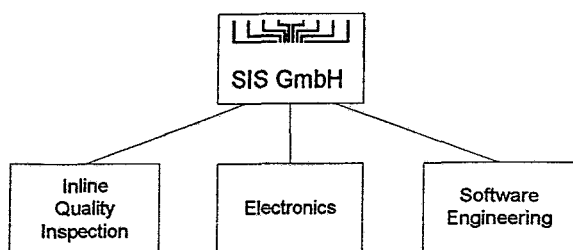
## Company Profile

### Introduction

The shares of the company Struck Innovative Systeme GmbH are equally divided among Tino Häupke, Dr. Matthias Kirsch and Ronald Ölschläger, former leading employees of the firm Dr. Bernd Struck, which went out of business on the end of March '98. The background of this group is in soft- and hardware development and sales. The residence of the company is Norderstedt, a city with some 70.000 inhabitants on the outskirts of Hamburg (Germany). From 1<sup>st</sup> of April on the SIS GmbH is in full operation in the fields Inline Quality Inspection, Design and Production of Electronics and Software Engineering.

### Fields of Operation

SIS will focus on three fields:



### Inline Quality Inspection

In this sector, SIS has the know how to provide state of the art inline inspection systems with up to 100% production coverage at full production speed in the fields:

- Pinhole detection for rolled products
- Rollmark detection for rolled products
- Seam Control for canning facilities
- Porosity Monitoring for tipping paper

### Electronics

Electronics development and production comprises the sectors physics instrumentation and industry systems. Modules designed mainly with the physics market in mind comprise:

- VME Scalers/Counters (up to 200 MHz)
- Interfaces (VME/VSB VME/Fastbus)
- Transient Recorders/ADCs
- Custom designs

For industry applications the developments cover interfaces and boards needed to equip the SIS quality inspection systems as well as modules needed by third parties for system integration.

### Software Engineering

Like in the electronics field, part of the software engineering work force is devoted to the SIS inspection systems. The activities span the development of high level language software as well as the assembly language programming for a variety of platforms and operating systems. The programming of micro-controllers and DSPs is as well an objective as the generation of user interfaces on PCs or workstations. Special know how for realtime programming and system integration of complex systems completes our scope of activities.

### Staff

The staff at startup will consist of Ronald Ölschläger (Senior electronics engineer, sales, system design), Tino Häupke (Senior electronics engineer, hardware design) and Dr. Matthias Kirsch (Physicist, system integration, software, documentation and sales). Two employees will join to cover the fields software, production, service and commissioning shortly after the startup phase. In case of peak work load or the need for special skills and know how, the SIS will have the possibility to co-operate with independent workers, which are known for their reliability from earlier business.

### Production

As SIS is a fairly small unit at present, the company relies heavily on outsourcing of production with final in house assembly and acceptance tests. We will focus on a limited number of local (where available) providers to guarantee an optimum relationship for the sake of an efficient high quality production of our components and systems.

## Alliances

SIS has the core know how and man power to guarantee the reliable design and production of systems and electronics and the service and maintenance of installed systems. To complete the competence and to be able to furnish turn key systems, we have a close co-operation and partnership with local companies. At present the partners and their fields are:

- Syscoms (Realtime Software)
- Wiese Signalverarbeitung, (DSP boards)
- KEK (Mechanics, EMC)

We distribute products from:

- Wiese Signalverarbeitung, (DSP boards)
- Industrial Inspection International I3L, GB  
(Camera based surface inspection systems)

## Customers/References

The SIS sales and project crew has strong personal contacts to many major players in various fields of industry, we expect to see fruitful business and co-operation for all involved parties to grow in the near future.

SIS also has excellent contacts to most particle and high energy physics research labs world wide for historic reasons.

Due to the short time on the market we can reference a small number of customers, who have placed orders with SIS so far. In our branches quality assurance and software engineering this is AVL Zöllner GmbH (Kiel), in the High Energy Physics Sector we will have a maintenance contract with the DESY/HERMES experiment.

## VME-Crate-Interface-Anpassung an unterschiedliche CAN-Protokolle

Im folgenden Beitrag werden die markanten Merkmale des Controller Area Network kurz beschrieben. Durch die Verwendung von verschiedenen höheren Protokollen (Layer 7 des ISO-OSI-Modells) ergibt sich für die Implementierung im Gerät die Problematik der Anpassung. Es wird eine Lösung dargestellt, die den Einsatz eines FLASH-EPROMs im Interface vorsieht. Abschließend folgt die Vorgehensweise für einen Download der Interface-Software über CAN.

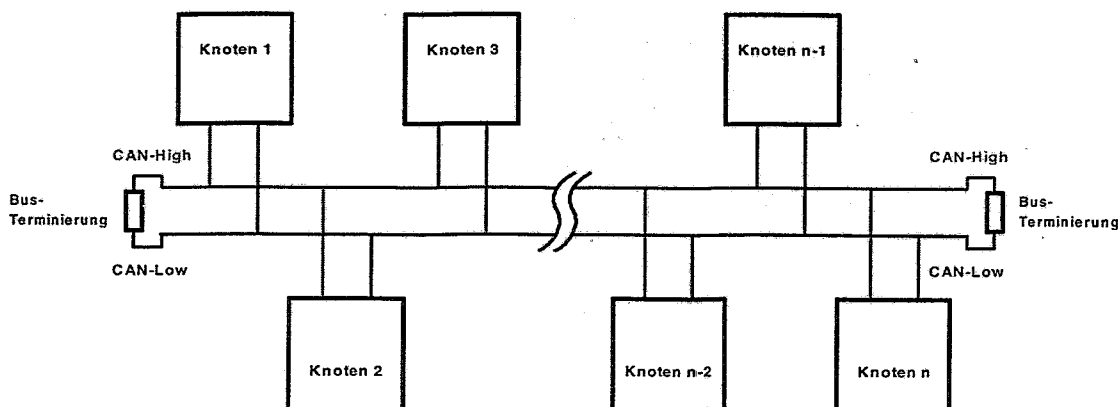
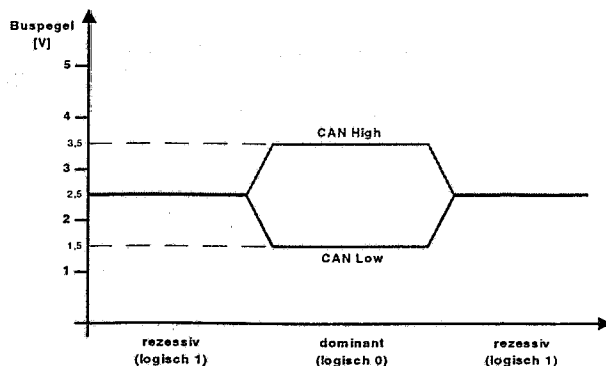
### CAN - Controller Area Network

Das Controller Area Network wurde in den achtziger Jahren von der Firma Bosch zur Vernetzung von Komponenten im Automobil entwickelt. Mittlerweile findet CAN auch in industriellen Applikationen eine sehr hohe Verbreitung.

Die Netzwerkeigenschaften für den CAN-High-Speed Standard (ISO-DIS 11898):

- linienförmige Topologie, d.h. ein Strang, an dem die Knoten hängen
- die Anzahl der Netz-Teilnehmer ist nicht durch das Protokoll begrenzt

- die Teilnehmer-Anzahl ist nur abhängig von den physikalischen Eigenschaften der Treiberbausteine (z.B. Phillips 82C250, garantiert 30 Knoten)
- die Netzausdehnung ist abhängig von der Bitrate: bis zu 1000m bei 80kBit/s, 1MBit/s bei maximal 40m
- Symmetrische Signalübertragung über Zweidrahtleitung mit gemeinsamen Rückleiter (CAN-High, CAN-Low, GND), Terminierung 120Ohm



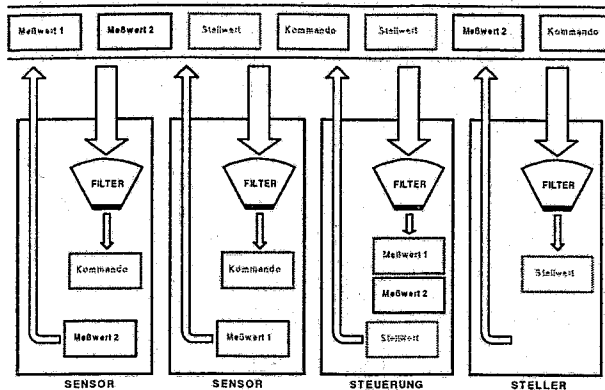
maximale Bitrate bei 40m Netzausdehnung: 1MBit/s  
 maximale Netzausdehnung bei 80kBit/s: 1000m



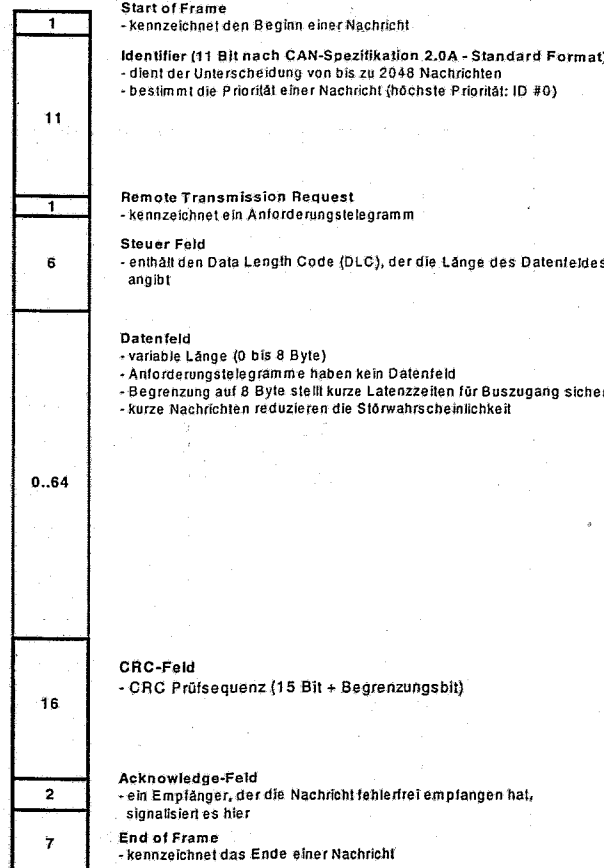
Das CAN-Protokoll ist nachrichtenorientiert, d.h. es findet keine Adressierung von Sender und Empfänger einer Nachricht statt. Vielmehr wird jede Nachricht durch einen Identifier gekennzeichnet. Damit wird die Art der Nachricht (Administration, Alarmmeldung, Daten, Konfiguration...) bzw. die Bedeutung der in ihr transportierten Daten (z.B. Meßwert: Temperatur von Sensor X). festgelegt.

Jeder Knoten kann unaufgefordert eine Nachricht senden (Multi-Master-System), alle Knoten können jede Nachricht auf dem Bus empfangen. Sie müssen dann die für sie relevanten Nachrichten herausfiltern (Akzeptanzfilterung). Dieses Verfahren ermöglicht Broadcasting und Multicasting-Protokolle.

Damit es nicht zur Kollision kommt, wenn mehrere Knoten gleichzeitig eine Nachricht senden, erfolgt der Buszugriff bitweise und verlustlos (d.h. mindestens ein Knoten kann seine Nachricht ohne Wiederholung absetzen) nach dem CSMA/CA-Prinzip (carrier sense multiple access / collision avoidance). Die Priorität einer Nachricht wird dabei durch den Identifier festgelegt. Je kleiner der Wert des Identifiers, desto höher die Priorität der Nachricht.



Die folgende Abbildung zeigt den Aufbau einer Nachricht im Standard Format (CAN Spezifikation 2.0A):



## CAN und das ISO-OSI-Schichtenmodell

Das ISO-OSI-Referenzmodell (open systems interconnection) beschreibt 7 Protokoll-Schichten eines Kommunikationssystems. CAN entspricht dabei weitgehend dem Layer 2 (Data Link Layer) dieses Modells.

verschiedene Definitionen	Layer 7 Application
Zur Erhöhung der Effizienz bei Feldbusssystemen werden Funktionen aus diesen Layern auf die vorhandenen verteilt.	Layer 6 Presentation
	Layer 5 Session
	Layer 4 Transport
	Layer 3 Network
<ul style="list-style-type: none"> <li>• Akzeptanzfilter</li> <li>• Überlast-Erkennung</li> <li>• Nachrichtenframe</li> <li>• Bit-Stuffing</li> <li>• Bus-Zugriff</li> <li>• Fehlererkennung</li> <li>• Fehlersignalisierung</li> <li>• Acknowledge</li> </ul>	Layer 2 Datalink
<ul style="list-style-type: none"> <li>• Bit-Kodierung</li> <li>• Bit-Timing</li> <li>• Synchronisation</li> <li>• Treiber-Kenndaten</li> <li>• Stecker</li> </ul>	Layer 1 Physical

Der Layer 1 definiert alle für die physikalische Übertragung des Bitstroms notwendigen Parameter. Dazu gehört das Übertragungsmedium für den Bitstrom, die Synchronisation der Knoten auf den Bitstrom, das Bit-Timing sowie die Bit-Kodierung. Auch die verwendeten Steckverbindungen und Belegungen werden hier definiert.

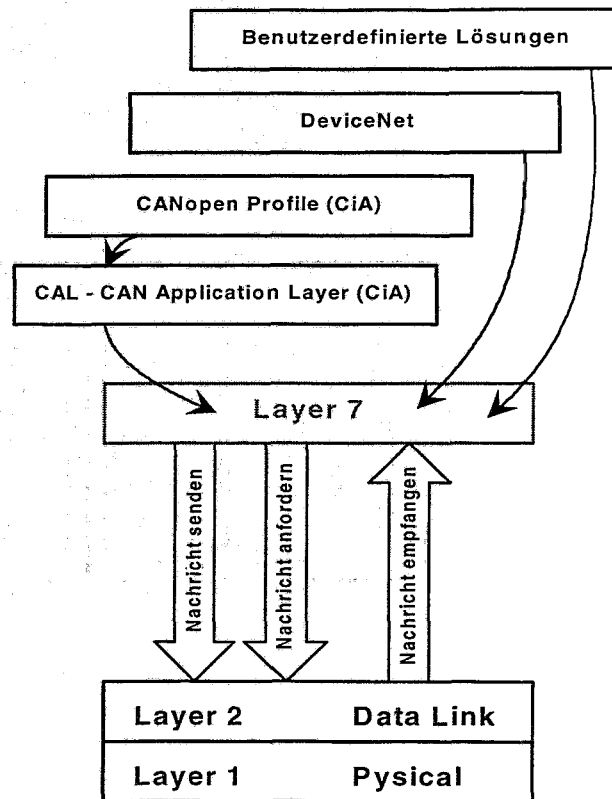
Die Datenübertragung, d.h. der Aufbau einer Nachricht, die Regelung des Buszugriffs, Bestätigungs-

regeln, Fehlererkennung und -signalisierung sind im Layer 2 beschrieben.

Bei CAN Implementierungen sind die Layer 1 und Layer 2 in der Regel bereits in die Hardware der Interface-Bausteine gegossen. Solche CAN-Controller stellen dem Anwender die drei grundlegenden Dienste zur Verfügung:

- Nachricht senden
- Nachricht empfangen
- Nachricht anfordern

Für den Layer 7, die höhere Protokollschicht, gibt es verschiedene Lösungen, die nebeneinander existieren. Einige Beispiele sind in der Abbildung aufgeführt.



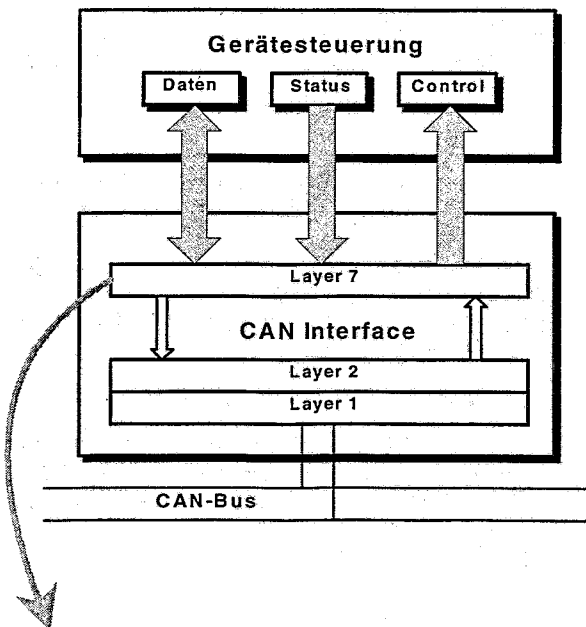
Benutzerdefinierte Lösungen für Layer 7 haben den Vorteil, dass der administrative Overhead verringert wird. Sie kommen meist in geschlossenen Systemen zum Einsatz.

Sobald jedoch die Komponenten herstellerunabhängig austauschbar sein sollen, ist es unumgänglich, ein offenes Protokoll zu definieren. Ein bekannter Vertreter ist CAL (CAN Application Layer). CAL ist zwar recht komplex, aber sehr flexibel. Es werden z.B. Dienste für Ereignisse, Variablen, gemultiplexte Variablen, Transfer von Dateien und Synchronisationsmechanismen zur Verfügung gestellt. Über Administrationsdienste wird die Parametrierung über CAN (Bitrate, Bittiming..) ermöglicht.

CANopen verwendet eine Untermenge von CAL. Hier werden feste Definitionen für Geräteklassen getroffen (sogenannte Profile).

## Implementierung des CAN-Interface

Für die folgenden Betrachtungen werden Gerätesteuerung und CAN-Interface als getrennte Komponenten betrachtet, auch wenn nicht ausgeschlossen ist, daß z.B. ein Mikrocontroller beide Aufgaben übernimmt, so ist zumindest davon auszugehen, daß in der Software eine logische Trennung vorgenommen wird:



Die Software des CAN Interface muß dabei folgende Aufgaben erfüllen:

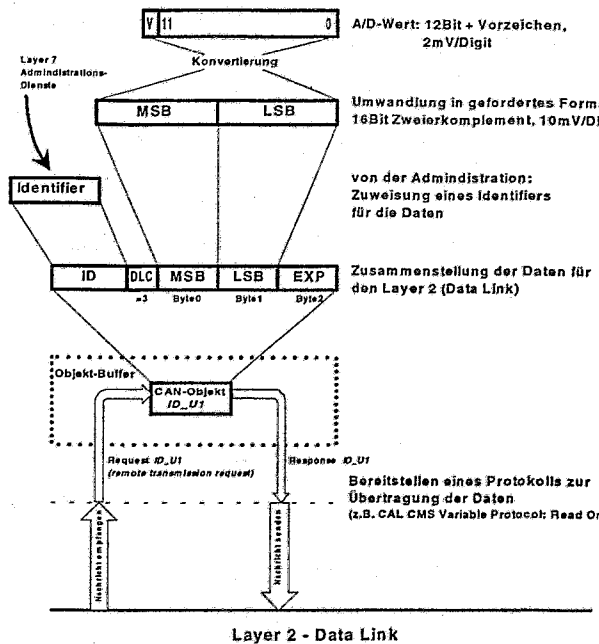
- Aufbereitung der Daten zum Versenden über CAN
- Umsetzung von Steuernachrichten in Steuersignale
- Zuordnung der CAN Identifier zu den Dateninhalten
- Einbettung der Daten in die Nachrichten
- Unterstützung von Administrations-Nachrichten

- Parametrierung des Interface (Bitrate, Knotenadresse)

Folgendes Beispiel stellt die Verarbeitung von Daten durch die Interface-Software dar:

Zur Übertragung soll ein Spannungswert mit folgendem Format bereitgestellt werden:

Mantisse: 16-Bit 2er Komplement; Exponent: 8-Bit 2er-Komplement; Einheit: Volt



## Variationsmöglichkeiten für den Anwender

Hat der Anwender sich erstmalig für ein Gerät entschieden, so gibt es immer mögliche Varianten, auf die das CAN Interface angepaßt werden muß. Zum Beispiel:

- ein anderes bzw. eigenes höheres Protokoll
- eine andere Darstellung der Daten in den Nachrichten, z.B. Word, Byte, mit Exponent, Vorzeichen
- eine andere Aufteilung der Daten auf die Nachrichten, z.B. für jeden Meßwert ein Identifier oder ein Array von Meßwerten pro Identifier
- Parametrierungsmöglichkeiten über CAN ("Mein Gerät steht 500m von meinem Host entfernt, wie kann ich die Bitrate ändern?")
- andere Möglichkeiten bezüglich der Datenübertragung, z.B. automatische Übertragung von

Meßwerten, wenn ein Grenzwert überschritten wird.

Der Hersteller sollte in der Lage sein, flexibel auf solche Änderungen zu reagieren, zumal dann, wenn bereits benutzerdefinierte Lösungen im Einsatz sind, die Geräte später jedoch an zukünftige Standards angepaßt werden sollen.

## Lösung des CAN-Interface-Problems durch Einsatz eines FLASH-EPROM

Durch Einsatz eines FLASH-EPROM im CAN-Interface kann die Problematik der verschiedenen höheren Protokolle gelöst werden. Die Interface-Software kann angepaßt werden, ohne daß das Gerät zum Austausch vom Komponenten (z.B. EPROM) auseinandergebaut werden muß. Es kann sogar in seiner Anwendung weiterarbeiten.

Die FLASH-Technologie hat folgende Vorteile:

- EPROM-Eigenschaften beim Lesen
- Löschen komplett oder blockweise (z.B. 16KByte) ohne zusätzliche Programmierspannung
- 100.000 bis 1.000.000 mal neu programmierbar
- schnelles Löschen: typ. 2..3 sec
- sehr schnelles Programmieren: typ. 0,3sec für 16KByte

Als Nachteil muß gewertet werden:

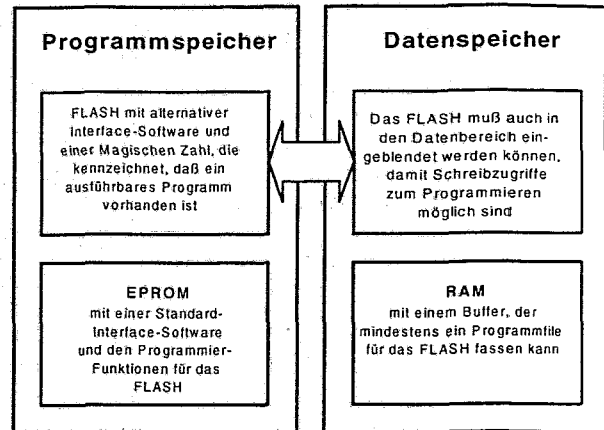
Die Daten eines FLASH können nicht gelesen werden während ein Block gelöscht oder programmiert wird. Folge: Löschen und Programmieralgorithmen müssen weiterhin in einem EPROM stehen.

Es stellen sich nun die folgenden Fragen:

- Wie sorgt man dafür, daß zu jeder Zeit ein funktionstüchtiges Gerät existiert ?
- Wie transportiert man ein Datenfile über CAN ?

## Speicherstruktur eines downloadfähigen CAN-Interface

Ausgehend davon, daß der im Interface verwendete Mikrocontroller zwischen Programmspeicher und Datenspeicher trennt, ist die folgende Speicherstruktur sinnvoll:



Prinzipiell wird nun folgendermaßen vorgegangen:

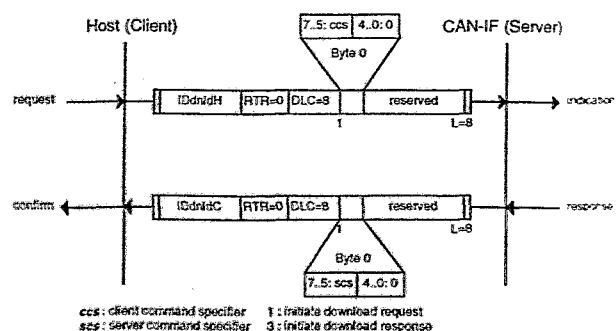
- Download des Programmfiles über CAN und Ablegen im RAM.
- Sicherheitsüberprüfungen (Prüfsumme, Test auf ausführbares Programmfile anhand eines Prüfstrings).
- Programmierung des FLASH mit den Programmdateien aus dem RAM.
- Programmierung der magischen Zahl, die ein ausführbares Programm im FLASH kennzeichnet.
- Neustart des Interface.

## Download des Programmfiles mittels 'Download Domain Protocol'

Das Download Domain Protokoll ist eine Spezifikation des CAL (CAN Application Layer) und dokumentiert in Ci/DS202-2 (CMS Protocol Specification).

### Initiate Download Domain Protocol:

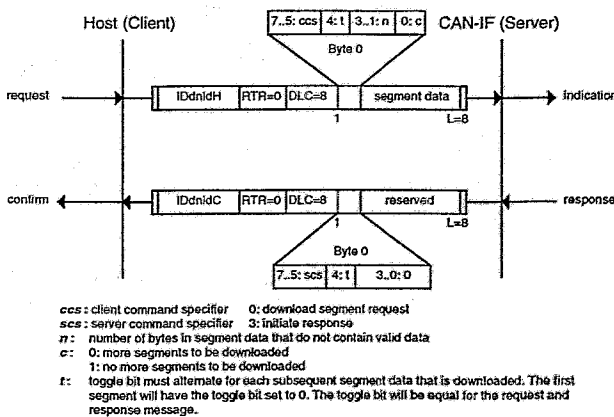
Mit dem *Initiate Download Domain Protokoll* wird eine Verbindung zwischen Host (PC) und einem Server (CAN-Interface des Gerätes) aufgebaut. Sie erlaubt die serielle Übertragung eines Files über CAN.



## Download Domain Segment Protocol:

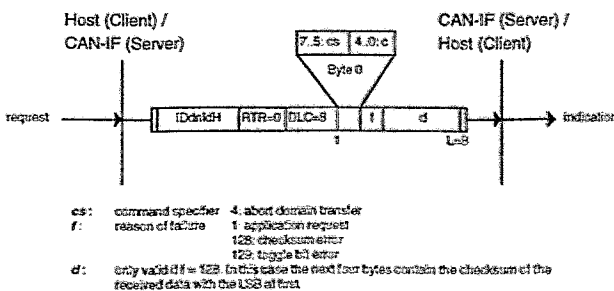
Mit dem *Download Domain Segment Protocol* erfolgt die eigentliche Übertragung der Daten:

- Das File wird in Segmente zu 7 Byte aufgeteilt
- Die Segmente werden sequentiell zum Server übertragen
- Das Toggle-Bit *t* wechselt seinen Zustand mit jedem neuen Segment
- Der Empfang jedes Segments wird vom Server quittiert indem er eine Nachricht zurücksendet, in der das Toggle-Bit den gleichen Zustand wie in der empfangenen Nachricht hat
- Das Ende-Bit *c* kennzeichnet das letzte Segment



## Abort Domain Transfer Protocol:

Mit dem *Abort Domain Transfer Protocol* wird die Übertragung im Fehlerfall unterbrochen.



## Abfangen von Fehlübertragungen

Im Folgenden werden mögliche Fehler bei der Übertragung des Programmfiles und die Gegenmaßnahmen beschrieben:

Fehler:

Störung der Übertragung durch äußere Einwirkungen auf den Bus.

Maßnahme:

CAN ansich bietet eine sehr hohe Übertragungssicherheit und Mechanismen zur Fehlererkennung und Korrektur, so daß von einer einwandfreien Übertragung eines Segments ausgegangen werden kann. Andernfalls kommt es zu einer Fehlermeldung.

Fehler:

Verlust von Segmenten durch zu schwache Performance des Empfängers (zu hohe Nachrichtenrate).

Maßnahme:

Kann der Empfänger die Menge der Nachrichten nicht verarbeiten, kommt es zum Verlust von Daten (Overload). Zwei Mechanismen ermöglichen die Erkennung solcher Fehler:

- jedes Segment muß quittiert werden,
- das Toggle-Bit muß mit jedem neuen Segment kippen.

Fehler:

Fehler die bei der Übertragung nicht entdeckt wurden oder vor der Übertragung entstehen (z.B. Datenträgerfehler des Host).

Maßnahme:

Obwohl höchst unwahrscheinlich, sorgt eine Prüfsumme am Ende des Files für zusätzliche Sicherheit.

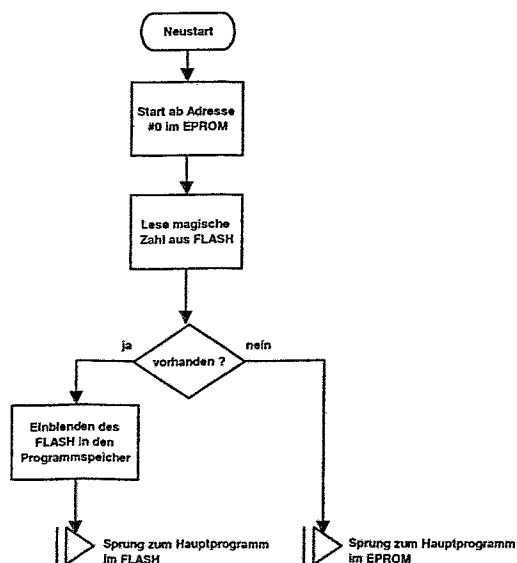
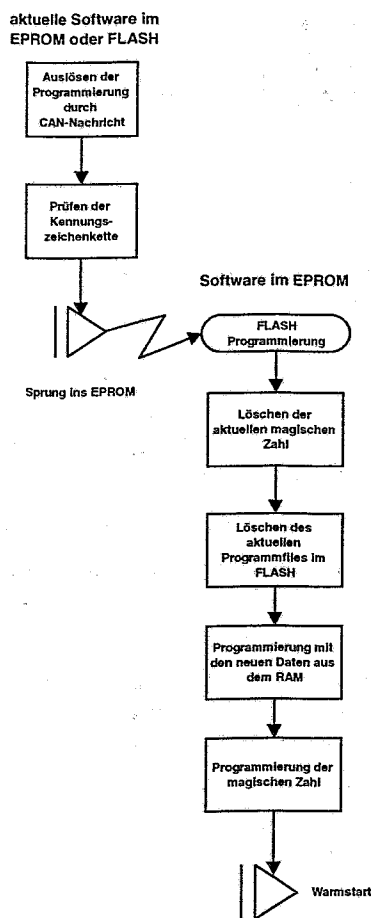
Fehler:

Das übertragene File ist kein ausführbarer Code für das CAN-Interface.

Maßnahme:

Eine Kennungszeichenkette im File bezeichnet ein für das CAN-Interface ausführbares Programm. Fehlt diese Kennung, kann die Programmierung des FLASH nicht ausgelöst werden.

## Ablaufdiagramme für die Programmierung und den Neustart des CAN-Interface



### Vorsicht Falle!

Die Software im FLASH muß auch wieder die Möglichkeit des Downloads zur Verfügung stellen, sonst hat man keine Möglichkeit mehr neue Software zu laden.

Falls der Benutzer mit der neuen Software gar nicht arbeiten will (z.B. aus Versehen ein falsches File geladen), sollte diese auch immer die Möglichkeit bieten sich selbst aus dem FLASH zu entfernen. Es wird dann die Defaultsoftware aus dem EPROM ausgeführt.

### Vorteile für den Anwender

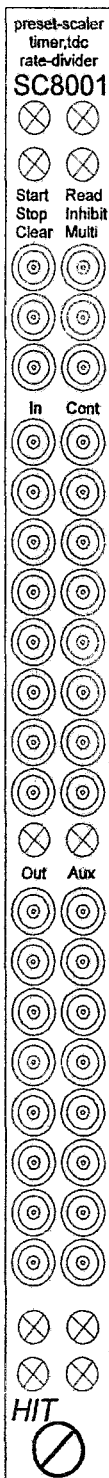
Für den Anwender entstehen durch die Möglichkeit, die Software des CAN-Interface durch Download anzupassen die folgenden Vorteile:

- Das Gerät bleibt verfügbar, d.h. es muß nicht wegen einer Softwareänderung eingeschickt werden.
- Das Gerät kann in der Anwendung verbleiben, d.h. auch wenn es unzugänglich ist, kann eine neue Software eingespielt werden.
- Spezielle Kundenwünsche können ohne großen Aufwand erfüllt werden (z.B. neues Programmfile aus dem Internet oder per e-mail). Gleiches gilt für verbesserte Softwareversionen.
- Das Gerät kann bereits verwendet werden, obwohl sich der Anwender noch nicht für ein endgültiges Schnittstellenprotokoll entschieden hat oder dieses noch nicht komplett definiert ist.
- Ohne Maintenance-Zeit kann das Gerät zwischen zwei Anwendungen mit verschiedenen Protokollen ausgetauscht werden. Der 'Umtausch' der Software kann im Betrieb erfolgen.

WES-Crates GmbH  
 Pattburger Bogen 33  
 D-24955 Harrislee-Flensburg

Telefon: 0461 - 7741 29  
 Telefax: 0461 - 7741 41  
 e-mail: sales@wes-crates.de  
 http://www.wes-crates.de

## CAMAC-Multifunktionsmodul für Zähler- und Triggeranwendungen



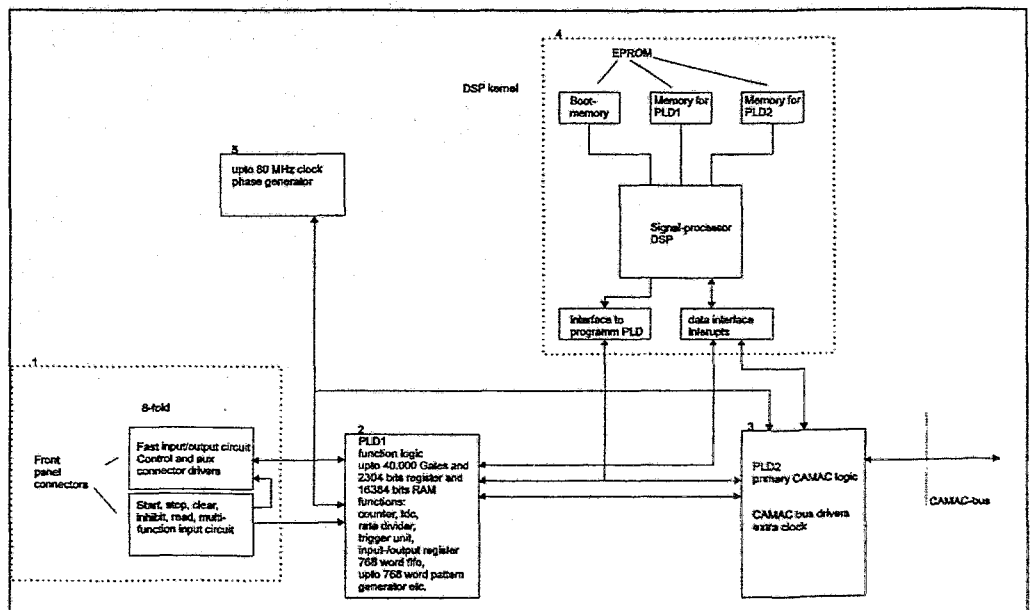
### Technische Details:

Das Modul SC8001 (8 channel skeleton for counter applications) ist ein CAMAC-Modul für Anwendungen als Zähler und im Trigger von Experimenten. Das Gerät verfügt über

- 16 universelle Eingänge (NIM),
- 16 universelle Ausgänge (NIM),
- 8 schnelle Ein-/Ausgangsverknüpfungen und
- 6 Steuereingänge (NIM).

Die Eingangsschaltung ist in ECL-Technik mit je 16 Ein- und Ausgängen (NIM-Standard) ausgeführt. Zusätzlich stehen 6 Steuereingänge (Start, Stop, Clear, Read, Inhibit, Multi(purpose)) zur Verfügung, die zum Teil (Start, Stop, Inhibit) direkt in die ECL-Eingangslatik eingreifen. Die Signale der Eingangslogik werden über Konverter mit der Front-End-Logik des Gerätes verbunden. Diese befindet sich in einem während des Betriebs (um-) programmierbaren Logikbaustein. Dieser Baustein der Familie Altera-FLEX-10K kann bis zu 40.000 logische Gatterfunktionen beinhalten und erreicht dabei Zählraten bis 100 MHz (16 Bit loadable counter).

Die Front-End-Logik ist über Steuerleitungen mit einem gleichartigen Baustein für die CAMAC-Bus-Ansteuerung und -Auslese verbunden. Außerdem ist die Front-End-Logik mit Steuer- und Datenleitungen an einen digitalen Signalprozessor (Typ Analog Devices ADSP-2101) angeschlossen. Dieser dient zur Programmierung der Logikbausteine sowie zur Steuerung der Betriebsmodi und Umsetzung komplexer Funktionen (Kaskadierung von Zählern auf 48 Bit Tiefe, Zählratenüberwachung, Selbsttest etc.).



Das CAMAC-Modul SC8001 besteht aus fünf wesentlichen Funktionseinheiten (s. Blockschaltbild):

- (1) Eingangslögitik in ECL-Technik mit ECL/TTL-Konvertern
- (2) Front-End-Logic in einem während des Betriebs programmierbaren Logikbaustein
- (3) CAMAC-Interface in einem während des Betriebs programmierbaren Logikbaustein
- (4) Signalprozessoreinheit zur Steuerung der Programmierung der Logikbausteine und zur Durchführung komplexer Funktionen und Speicher für bereitgestellte Funktionsprogramme
- (5) 80 MHz Phasen-Clock-Generator

Das Gerät kann im Betrieb mittels CAMAC-Ansteuerung seine Konfiguration ändern. So kann z.B. während der Inbetriebnahme des Systems der SC8001 als Ein-/Ausgaberegister oder 16-Bit FIFO arbeiten und anschließend während des Betriebs als Rate-Divider oder Zähler. Es kann, abhängig von der Komplexität des aufwendigsten Gerätes, eine von bis zu vier Gerätekonfigurationen ausgewählt werden, die in EPROM-Bausteinen abgespeichert sind. Die Bausteine sind austauschbar - ein Umbau der Geräte zu weiteren Konfigurationen ist einfach und schnell möglich.

Erwähnenswert ist außerdem noch eine separate X- und Q-Signalgeneratorlogik zur Statussignalerzeugung während der Umprogrammierung. Eine Watch-Dog-Funktion für den Signalprozessor macht das Gerät für sicherheitsrelevante Anwendungen interessant. Optional gibt es einen zusätzlichen Ausgang an der Rückseite des Gerätes z.B. für die Erzeugung von Synchronisationssignalen aus einer frei wählbaren Quelle.

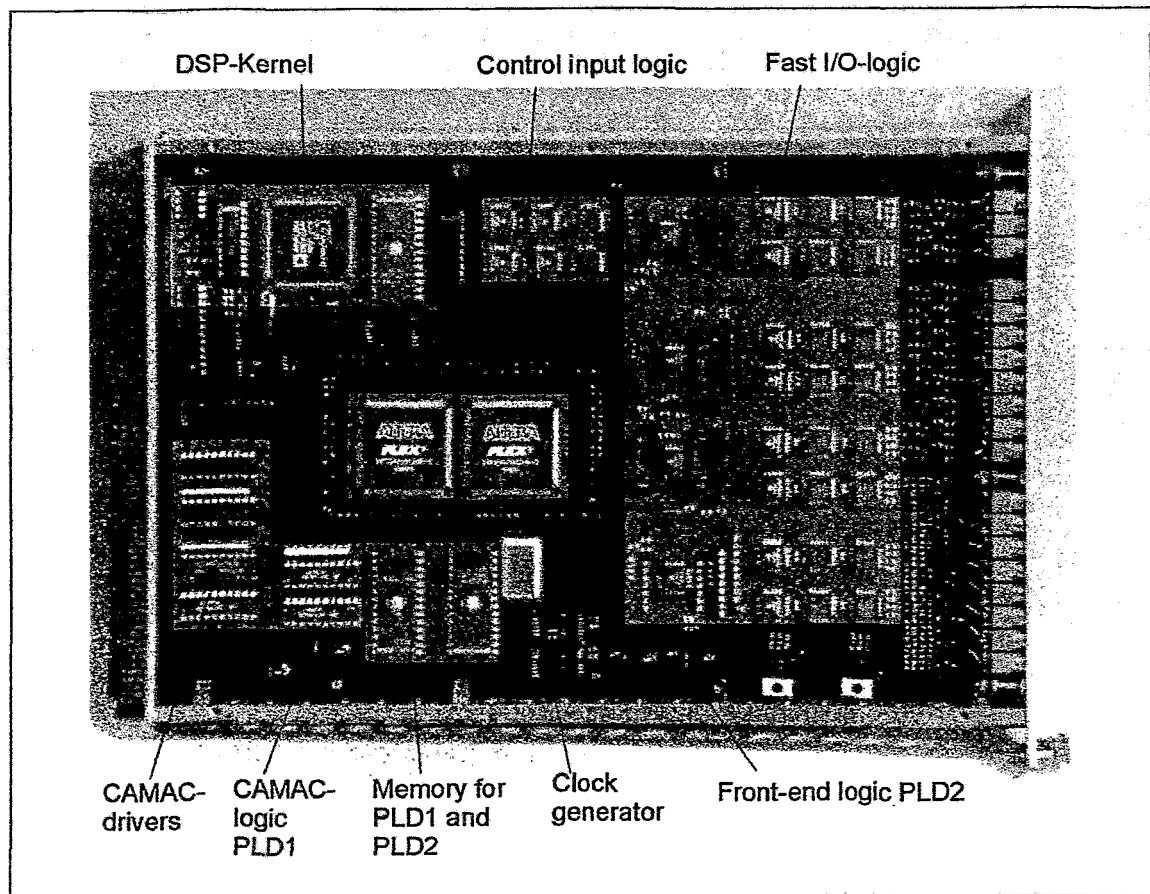


Abb.: geöffnetes SC8001-Modul mit Kennzeichnung der Funktionsgruppen



**Folgende Gerätekonfigurationen sind verfügbar:**

- ◆ 8 Kanal 48-Bit Scaler
- ◆ 6/8 Kanal 48 Bit Rate-Divider/Presetscaler
- ◆ 16 Kanal Input/Output-Register

**Gerätekonfigurationen in Vorbereitung:**

- ◆ 8 Kanal Triggereinheit mit jeweils 16-Bit programmierbarem Rate-Divider und drei getrennt steuerbaren 48-Bit Zählern pro Kanal
- ◆ 16 Kanal 256 Worte Input FIFO, 16-Kanal 256 Worte Pattern-Generator
- ◆ Logic unit mit 16 Eingängen und 16 Ausgängen und frei wählbaren über CAMAC programmierbaren Verknüpfungen mit Gate

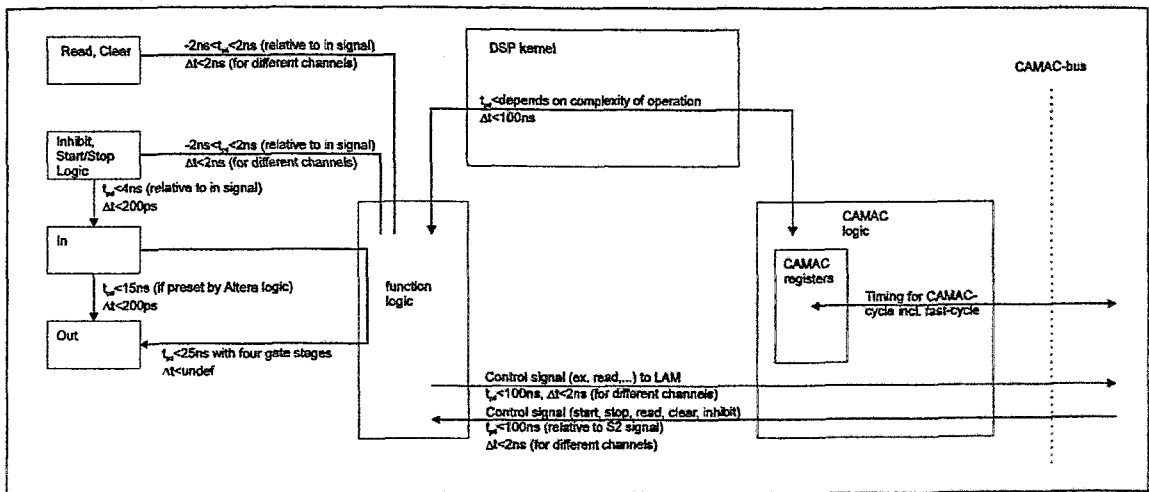
Weitere Konfigurationen werden nach Anwendervorstellungen entwickelt.

Zu jedem Gerät gehört neben der Hardware und der Hardwarebeschreibung ein kompletter Satz Unterlagen für die im Gerät enthaltenen Gerätekonfigurationen einschließlich der Programmierdateien für die EPROM-Bausteine und GAL-Bausteine auf Diskette. Mit diesen Daten können eventuell vorhandene Geräte mit einem einfachen EPROM- und GAL-Programmiergerät umprogrammiert werden.

Zu den Servicedienstleistungen gehört auch das Angebot, einfache Gerätekonfigurationsänderungen nach Zeitaufwand oder Geräteentwicklungen auf der Basis der SC8001-Hardware zu einem anrechenbaren Maximalaufwand von 40 Stunden durchzuführen.

Das Gerät ist so konzeptioniert, daß Logikoperationen in kurzer Durchlaufzeit durchgeführt werden (<25 ns) und übliche Echtzeitan Anschlüsse (z.B. LAM) in kurzer Bearbeitungszeit (<1 µs) möglich sind. Operationen, die meist mit geringer Rate erfolgen, wie z.B. die Komplettauslese von Zählern mit 8 x 48 Bit Länge, sind erst nach einer Zwischenbearbeitung durch den Signalprozessor zugreifbar. Diese werden durch einen CAMAC-Befehl zur Aktualisierung der CAMAC-Register angestoßen.

Bei Geräten oder Anwendungen, bei denen eine hohe Ausleserate erforderlich ist, kann die Funktionslogik für den CAMAC-Bus über den internen Datenbus transparent geschaltet werden, so daß



ein direkter Zugriff vom CAMAC-Bus auf den Funktionslogikbaustein möglich ist.

Abb.: Basic timing diagram

Die Fast I/O-logic gestattet mit der Control-Input-logic eine zeitscharfe Gate- und Start/Stop-Funktionalität einschließlich maskierbarem, vom CAMAC-Bus steuerbarem, Inhibit. Ebenso ist eine schnelle Durchschaltung von vorgesetzten Signalen (z.B. Preset-Scaler-Überlauf) möglich.

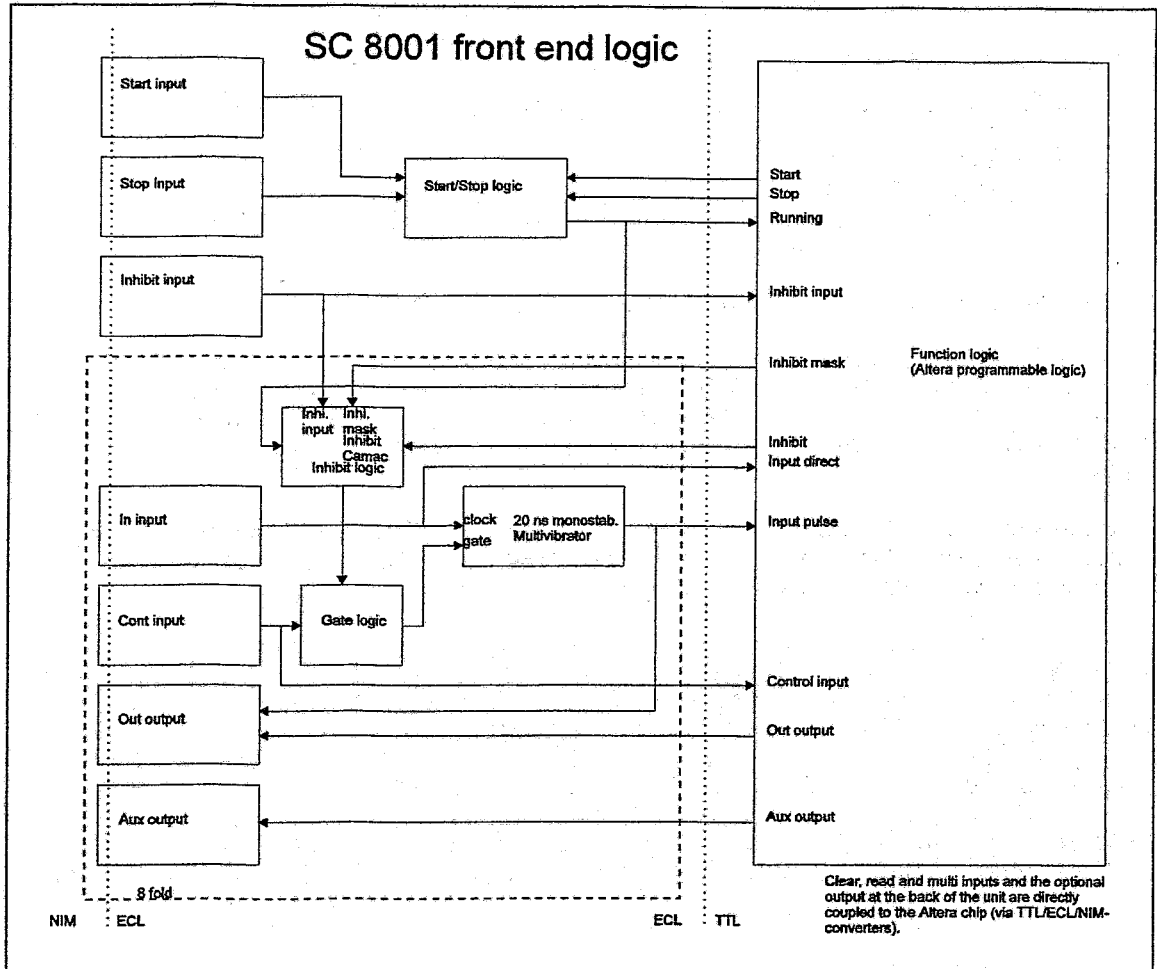


Abb.: Fast I/O-logic und Control-input-logic

## **Benefits of Long Memory in DSOs**

by

Peter Such

LeCroy Europe GmbH

Waldhofer Str. 104

D-69123 Heidelberg

A major parameter of the Digital Storage Oscilloscope (DSO) is the length of its acquisition memory, also called its record length. The amount of acquisition memory and how it is used will determine many of the DSO's operating characteristics and the ultimate utility of the instrument.

This contribution explains exactly why long acquisition memory is important and covers the benefits of long memory DSOs in Time-of-Flight Mass Spectroscopy.