

①9 **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENTAMT**

⑫ **Offenlegungsschrift**
⑩ **DE 43 16 086 A 1**

⑤1 Int. Cl.⁶:
H 01 L 21/335
G 01 N 27/414

⑳1 Aktenzeichen: P 43 16 086.7
⑳2 Anmeldetag: 13. 5. 93
⑳3 Offenlegungstag: 17. 11. 94

⑦1 Anmelder:

Forschungszentrum Rossendorf eV, 01474
Rossendorf, DE

⑦2 Erfinder:

Howitz, Steffen, Dr., 0-8019 Dresden, DE; Pham,
Minh Tan, Dr., 0-8051 Dresden, DE

⑤6 Für die Beurteilung der Patenffähigkeit
in Betracht zu ziehende Druckschriften:

JOSHI, Aniruddha;
KWONG, Dim-Lee: Excellent Immunity of GIDL to
Hot-Electron Stress in Reoxidized Nitrided Gate
Oxide MOSFET's. In: IEEE Electron Device Letters,
vol.13, No.1, Jan. 1992, S.47-49;
AHN, J.;
et.al.: Furnace Nitridation of thermal SiO₂ in Pure N₂O
Ambient for ULSI MOS Applications. In: IEEE Electron
Device
Letters, Vol.13, No.2, Feb. 1992, S.117-119;
LO, G. Q;

AHN, W. Ting;
KWON, Dim-Lee. P-Channel MOSFET's with Ultrat-
hin N₂O Gate Oxides. In:
IEEE Electron Device Let-
ters, Vol.13, No.2, Feb. 1992, S.111-113;
MA, Z. J.;
LAI, Pui T.;
CHENG, Y. C.: Oxide-Trap- Induced Instabili-
ty in GIDL of Thermally
Nitrided-Oxide N-MOSFET's Un-
der Stress. In: IEEE Electron Device Letters,
Vol.13, No.2, Feb. 1992, S.77-79;
CROSS, Y.;
et.al.: Study of PECVD Silicon Oxynitri-de Thin Lay-
ers as ISFET Sensitive
Insulator Sur- face for pH Detection. In: J. Electro-
chem. Soc.,
Vol.139, No.2, Feb. 1992, S.507-511;
Patents Abstracts of Japan: 1- 7814 0 A. P-896,
July 12, 1989, Vol.13, No.303;
1-250849 A. P-983, Dec. 25, 1989, Vol.13, No.587;

⑤4 Verfahren zur Herstellung eines ISFET mit Rückseitenmembran

⑦2 Die Erfindung betrifft ein Verfahren zur Herstellung eines ionensensitiven Feldeffekt-Transistors (ISFET) bei dem durch Verwendung der Implantationstechnik vergrabene und chemisch empfindliche Membranen, die gleichzeitig Isolatorschicht der ISFET-Struktur sind, ohne zusätzliche Schichtabscheidungsprozeduren erzeugt werden. Erfindungsgemäß erfolgt dies derart, daß ein (100)-p-Siliciumeinkristall im Energiebereich von 300 keV bis zu einigen MeV gestaffelt mit N⁺ - und O⁺ -Ionen beschossen und nachfolgend definierten Temper- und Diffusionsprozessen ausgesetzt wird. Dadurch wird eine Lagedefinition des Stapelisolators im Siliciumsubstrat, eine Lage- und Strukturdefinition innerhalb des Isolatorstapels SiO₂-Si_xO_xN_z-Si₂N₃ und die ideale Ausbildung des elektronischen Interfaces zwischen der einkristallinen (100)-p-Si-Deckschicht und dem Isolatorstapel erreicht. Nach dieser Isolatorvergrabung erfolgt in der einkristallinen Si-Deckschicht die vollständige ISFET-Präparation. Das Freilegen der chemisch empfindlichen Membran erfolgt im letzten Schritt durch simultanes anisotropes Ätzen im Full-Wafer-Prozeß, hierbei wirkt die Si₃N₄-Membranschicht als ideale Ätzstoppschicht, das Bauelement ist sofort einsetzbar.

Grundsätzlich wurde erstmals durch H.H. Vlekkert e.a. [A pH-ISFET and an Integrated pH-Pressure Sensor With Back-Side Contacts; Sensors & Actuators; 14 (1988) pp. 165-ff.] die strukturelle Trennung der Ebene für die chemisch empfindliche Membran und der Ebene zur Drain- Sourcekontaktierung erreicht. Es wurde ein Vorderseitenmembran-ISFET mit Drain-Source-Rückseitenkontakten entwickelt, die er durch Einsatz der anisotropen Siliciumätztechnik, der konventionellen Diffusions- und Beschichtungstechnik hergestellt wurden.

A. Griesel entwickelte etwa zeitgleich ein mit v.d. Vlekkert vergleichbares Konzept für die Trennung von Sensorelektronik- und Membranebene, auch er präparierte Drain- und Sourcekontakte unter Nutzung der anisotropen Siliciumstrukturierung von der Chiprückseite und separierte so die Vorderseitenmembran [Sensors and Actuators, 17(1989)285-295].

H. Yagi entwickelte 1991 einen Rückseitenmembran (RSM)-ISFET mit Hilfe einer 30 µm dicken p-Silicium Epitaxieschicht, welche auf einem oxydierten p-Silicium Wafer aufgebaut wurde [H. Yagi e.a.; Rear-Gate ISFET with a Membrane Locking Structure Using an Ultra High Concentration Selective Boron Diffusion Technique; Tech. Digest of the 4th. Int. Meet. Chemical Sensors; Tokyo; 13.-17.Sept.1992; pp. 252-255]. In diese Schichtfolge wird durch konventionelle Technologien eine konzentrische ISFET-Struktur realisiert, die die Oxidschicht des oxydierten p-Silicium-Wafer zur Basis der Rückseitenmembran benutzt. Zur Einstellung der gewünschten RSM-Eigenschaften, wird diese durch KOH-Ätzen freigelegte Oxidschicht mittels Siliciumnitrid-Beschichtung modifiziert.

Kunath u. a. präparieren ISFETs in SIMOX-Silicium-Wafern, die innerhalb einer sogenannten SIMOX-Implantation eine 500-800 nm tief vergrabene SiO₂-Isolatorschicht haben [Kunath, C.; u. a.; Patent der PhG-IMS-2, eingereicht 1992 in Deutschland]. Der Ausgangszustand des SIMOX-Siliciums besteht demnach aus einer 500-800 nm dicken einkristallinen Siliciumschicht, die durch eine etwa 500 nm dicke SiO₂-Isolatorschicht elektrisch isoliert vom Siliciumeinkristall-Basissubstrat vorliegt. Der SiO₂-Isolator wird von der Basissubstratseite durch anisotropes Ätzen freigelegt und bildet nach einer zusätzlichen Beschichtung die ionensensitive Rückseitenmembran, deren Drain-, Source- und Kanalgebiete in die Vorderseite diffundiert werden.

Sämtliche vorgeschlagenen Verfahren haben den Nachteil, daß die nach dem anisotropen Ätzen entstehenden sehr dünnen Flächenstrukturen der freitragenden Drain-Source- bzw. Gate-Gebiete durch anschließende Sputtertechniken oder LPCVD mit dem chemisch empfindlichen Gateisolator beschichtet werden müssen. Dieser Folgeschritt führt zu hohen Herstellungsrisiken, die aus der extrem verminderten mechanischen Stabilität resultieren.

Aufgabe der Erfindung ist es, durch Verwendung der Implantationstechnik vergrabene und chemisch empfindliche Membranen, die gleichzeitig Isolatorschicht der ISFET-Struktur sind, ohne zusätzliche Schichtabscheidungsprozeduren zu erzeugen.

Erfindungsgemäß wird dies dadurch gelöst, daß ein (100)-p-Siliciumeinkristall im Energiebereich von 300 keV bis zu einigen MeV gestaffelt mit N⁺- und O⁺-Ionen beschossen und nachfolgend definierten Temperatur- und Diffusionsprozessen ausgesetzt wird. Dadurch wird eine Lagedefinition des Stapelisolators im Silicium-

substrat, eine Lage- und Strukturdefinition innerhalb des Isolatorstapels SiO₂-Si_xO_xN-Si₂N₃ und die ideale Ausbildung des elektronischen Interfaces zwischen der einkristallinen (100)-p-Si-Deckschicht und dem Isolatorstapel erreicht. Nach dieser Isolatorvergrabung erfolgt in der einkristallinen Si-Deckschicht die vollständige ISFET-Präparation. Das Freilegen der chemisch empfindlichen Membran erfolgt im letzten Schritt durch simultanes anisotropes Ätzen im Full-Wafer-Prozeß, hierbei wirkt die Si₃N₄-Membranschicht als ideale Ätzstopp-schicht, das Bauelement ist sofort einsetzbar.

Nachfolgend wird die Erfindung an einem Ausführungsbeispiel weiter erläutert. Die Zeichnung zeigt die Struktur eines erfindungsgemäß hergestellten und in eine Si-Glas-Mikrokapillare integrierten Rückseitenmembran-ISFETs.

Zu dessen Herstellung wird ein p-Silicium-Wafer der Orientierung (100) in der Reihenfolge

1. ¹⁴N⁺ - 310 keV - 1,2 x 10¹⁸ At/cm²; Targettemperatur 500 °C
2. ¹⁶O⁺ - 250 keV - 1,0 x 10¹⁸ At/cm²; Targettemperatur 500 °C implantiert.

Im Anschluß an die Implantation erfolgt der Prozeß der Annealtemperatur über mindestens zwei Stunden bei 1300...1360 °C in Stickstoffatmosphäre. Hierbei wird das ca. 300 nm dicke Decksilicium (4) ausgeheilt, der 330 nm dicke Stapelisolator SiO₂-Si_xO_yN_z-Si₃N₄ (5) synthetisiert und die Interfaceanpassung an den Einkristall (4) organisiert. Der Prozeß der Isolatorvergrabung erfolgt über das gesamte Siliciumtarget, sein Abschluß ist Voraussetzung für den Beginn der sich anschließenden ISFET-Präparation in der Chipvorderseite. Diese Präparation beginnt mit der Verstärkung der Si-Deckschicht (4) auf 2...5 µm durch Si-Epitaxie (3). Die Einbringung der n⁺-Si-Drain-Source-Gebiete (2), der Kanalimplantation im Decksilicium (4) und die Aufbringung der Bondmetallisierungen (1) erfolgen in konventionellen Technologieschritten. Nach vollständig prozessierter Vorderseite wird mittels Dispensertechnik ein Epoxidharztropfen (9) zwecks mechanischer Stabilisierung des späteren Rückseitenmembranegebietes abgesetzt. Am so vorbereiteten Si-Wafer werden dann alle Rückseitenmembranegebiete (5 und 8) mittels anisotropen Ätzens in 30% KOH bei 80 °C freigelegt. Daran schließt sich das Vereinzeln und die Integration des Rückseitenmembran-ISFETs in eine Silicium (6)- Glas (7)-Mikrokapillare an.

Patentanspruch

Verfahren zur Herstellung eines ISFETs mit Rückseitenmembran, dessen chemisch empfindliche Membranoberfläche von der Chiprückseite, d.h. der den Drain- und Sourcekontakten der ISFET-Struktur gegenüberliegenden Chipseite, freigelegt werden, **dadurch gekennzeichnet**, daß die Rückseitenmembran als vergrabener Membranstapelisolator durch eine O⁺- N⁺- Hochenergiemischimplantation mehrere 100 nm tief im p-(100)-Silicium vergraben und danach mehrstündig bei 1300 °C in N₂-Atmosphäre getempert wird, woran sich ein Strukturierungsvorgang von der Rückseite zur Freilegung der dann sofort chemisch empfindlichen Membran anschließt.

